

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年6月5日現在

機関番号：14301

研究種目：基盤研究（B）

研究期間：2010～2012

課題番号：22360143

研究課題名（和文） モンテカルロ法にもとづくタイミング解析高速化の研究

研究課題名（英文） Acceleration of Timing Analysis using Monte Carlo Methods

研究代表者

佐藤 高史（SATO TAKASHI）

京都大学・大学院情報学研究科・教授

研究者番号：20431992

研究成果の概要（和文）：先端集積回路の設計における最も重要な目標仕様の一つであるタイミング解析をモンテカルロ法により高速化する方法について検討した。デバイスの微細化にともなって顕著となる特性ばらつきや特性劣化の影響をモデル化することにより、これらをタイミング解析において正確に考慮可能とした。さらに、任意分布を扱えるモンテカルロ法の利点を維持しながらアルゴリズムをハードウェア実現することにより、既存手法に対し10倍以上の高速化を実現した。

研究成果の概要（英文）：Timing constraint is one of the most important objectives in advanced integrated circuit design. In this project, acceleration of the timing analysis is studied. Based on the measurements on test-chips, variability- and degradation-aware device models have been first proposed to accurately handle timing information of miniaturized devices. A new algorithm of timing analysis has then been implemented on a hardware, through which by more than ten times acceleration has been achieved while maintaining advantages of Monte Carlo based methods that can handle arbitrary delay distribution.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2010年度	5,800,000	1,740,000	7,540,000
2011年度	4,400,000	1,320,000	5,720,000
2012年度	4,300,000	1,290,000	5,590,000
総計	14,500,000	4,350,000	18,850,000

研究分野：工学

科研費の分科・細目：電気電子工学 電子デバイス・電子機器

キーワード：集積回路設計技術，CAD，タイミング解析，モンテカルロ法

1. 研究開始当初の背景

タイミング解析は、現代の集積回路設計における最も重要な計算となっている。集積回路の設計工程を完了したと判断して、事後の修正が困難となる製造工程へ移行する最終判断を行うにあたり、タイミング解析は決定的な役割を果たす。事実上、タイミング解析

が、回路品質とその歩留りを決めるためである。一方、その重要性ゆえに、タイミング解析は既に確立された計算手法に強く依存し、挑戦的な手法がそれほど顧みられなかったのが現状である。製造プロセスの微細化につれて、特性ばらつきの増大や特性の長期的な変動など、タイミング設計とその解析はますます困難な作業となっており、新たな解析手

法が切に求められている。

現在のタイミング解析には、大きく次の二つの課題がある。

(1) 遅延時間の非線形性: システム・回路の低電力化が強くとめられており、今後、急速にすすめられる低電圧化(たとえば電源電圧 0.5V 動作)と、微細化に伴う特性ばらつき増大とから、従来手法である典型値近傍での線形近似に基づく遅延感度モデルでは、十分なタイミング解析精度を得られなくなっている。強い非線形性を、その原因となる物理現象に基づいて考慮しつつ、回路遅延特性を正確に再現できるモデルと高速な計算手法が求められている。

(2) ばらつきの正確な考慮: 従来のタイミング解析では、コーナー条件と呼ばれる、ばらつき変数のそれぞれが 3σ 等の極端な値をとる条件の組合せにより性能保証を行っている。微細化のさらなる進展によってチャンネル長等、さらに多くのばらつき変数を考える必要が生じているが、コーナー条件解析によれば、ばらつき空間の張る超立方体の各頂点で回路が設計制約を満たすかを確認することが必要となる。いま、ばらつき変数の同時確率を考えれば、超立方体頂点での解析は悲観的すぎ、実際にはより狭い超球の範囲を考慮すれば十分である。さらに、超球の境界すべてが必ずしも性能最悪値の候補にはならないため、最悪値を与える領域を重点的に探索することで、精度を保証しつつ解析時間を短縮する余地が残されている。

2. 研究の目的

本研究では、「モデル」「アルゴリズム」「ハードウェア」の連携により、従来の決定的なタイミング解析と比較し高精度かつ高速な計算結果を、解析時間に応じた精度で得る手法を確立することを目的とする。本研究では特に、モンテカルロ法を用いるタイミング解析に適用できるモデルの確立、高精度・高速なタイミング解析のアルゴリズム確立、およびそのハードウェア実現を目的とする。

まず、モデルに関しては、モンテカルロ法による解析に適合するタイミングモデルを実現する。微細化により増大するばらつき因子を、正確に取り扱えるモデルを作成する。また、回路の使用に伴ってデバイス特性が劣化する現象(バイアス・温度不安定性(NBTI))の考慮など、特性の時間的変化を伴うモデルについても検討を実施する。

モンテカルロ法を用いる場合、一般には、精度の高い解を得るまでに長い解析時間を要する。モデルのばらつき空間において、最終的な解の精度への寄与が大きい領域を適切に絞り、タイミング計算を効率化するアル

ゴリズムについても検討を行う。

さらに今後は、大規模な並列計算環境がソフトウェア・ハードウェアの両面から一般的となることが予想される。モンテカルロ法の並列性を最大限に生かすアルゴリズムとそのハードウェア実装方法について検討し、さらなる高速化を目指す。

3. 研究の方法

本研究では以下の検討、評価を行う。

(1) 非線形な遅延分布を忠実に扱い、並列化にも適するモンテカルロ解析アルゴリズムの確立。

(2) アルゴリズム内処理の SIMD/分散実行に対する適切な割当て方法の確立と、低価格・高並列効率なハードウェアアクセラレータのプロトタイプ実証。

(3) 実回路に搭載できる小面積オンチップ特性ばらつき計測回路 IP の開発、およびチップ試作による IP 動作・ばらつきモデルの相関検証。

4. 研究成果

平成 22 年度は主として、モンテカルロ法による統計的タイミング解析高速化の基盤となる、タイミング解析手法のアルゴリズム、およびばらつきモデルの基礎検討を行った。

(1) タイミング解析アルゴリズムとハードウェアに関しては、複数の実現手法を比較検討し、回路の最遅到着時間の伝搬を、ハードウェアアクセラレータ(FPGA)上にタイミンググラフの構造通りに実現してモンテカルロ法により解析する方法を考案しその性能を評価した。これは、タイミング解析をハードウェア上に実現し、高並列に実行するためのシンプルな実装方法の一つである。この実現方法では、線形・非線形を問わず、任意のタイミングモデルを柔軟に表現できる。さらにこの方法では、タイミンググラフ上を伝播させる最遅到着時間の計算が、グラフの各節点について並列に、かつパイプライン的に実行できる特長がある。この結果、小規模な回路では、ソフトウェア実装と比較して 87 倍の高速化が可能であるとの見込みを得た。一方でこの手法の評価を通じて、乱数発生器の実装が計算効率と解析可能な回路規模を制約する主要因であることが明らかとなった。ハードウェアの並列性を最大限に活用しつつ解析規模を拡大する手法を検討することが今後の重要な課題の一つであることを明らかとした。同時に、ハードウェア実装時の設計空間探索等についても基礎的な検討を行った。

(2) ばらつきモデルに関しては、トランジスタのしきい値等の特性ばらつき量を試作チップの測定により取得する方法について検討した。特に、本検討の過程で考案した複数のリングオシレータ回路を用いる測定方法は、デジタル回路のみを用いて面積効率よく特性ばらつきの測定が実現できることから、今後、多くの回路に組み込まれて、タイミング解析結果と合わせて回路性能の向上へ活用されていくことが期待される。また、温度変動など非理想的な環境要因がばらつき量の測定に与える影響を考慮して測定精度を向上する方法を提案し、またばらつきにより変化する回路のタイミングを、実測に基づいて確認するための基礎データを得た。

平成 23 年度は、昨年度に引き続いて、モンテカルロ法による統計的タイミング解析を高速化するための並列計算アルゴリズムの検討、および、時間的にパラメータが変動するばらつきモデルについての基礎検討を実施した。

(1) タイミング解析アルゴリズムに関しては、前年度に検討した回路の最遅到着時間の伝搬を FPGA 上にタイミンググラフの構造通りに実現する方法、を発展させ、汎用のタイミング計算専用演算器を新たに考案して、メモリに遅延時間を読み書きすることで解析を進める遅延計算専用プロセッサを提案し、これをハードウェア (FPGA) に実装する方法を検討した。このプロセッサ型の実装によれば、モンテカルロ試行を単位とする効率の良い並列化を実現できる。従来法に存在していた解析可能な回路規模の制約を無くし、大規模回路に対してもハードウェアにより効率よい解析が可能となるアルゴリズムであり、様々な回路に対して適用できる見通しを得ている。また、従来手法において、解析対象の回路が変わる度に実行する必要があった FPGA へのマッピング処理を不要とし、実質的な解析時間を大幅に低減できる見込みを得た。同時に、良質な乱数を多数同時に出力可能な乱数生成器を FPGA 上に実現することで、前年度に提案した解析規模が限定される従来手法から規模の限界を無くしたうえで、さらに従来と遜色の無いスループットが得られることを確認した。

(2) トランジスタの特性ばらつきは、チップ内の信号伝搬遅延時間に多大な影響を与える。近年になって、特にトランジスタのしきい値が回路の動作中、経時的に変動する NBTI や RTN 等の現象がタイミングに与える影響が大きくなってきている。これらの影響をタイミング解析において正確に考慮するため、チップ試作とその測定を行った。特性の時間的な変動に関するデータを取得した。その結果、チャンネル面積の小さい微細ト

ランジスタでは、特性の経時変化量やその進行速度がトランジスタ毎に必ずしも同一でなく、そのばらつきを考慮して扱っていく必要があることを実験的に明らかとした。

平成 24 年度は、タイミング解析に関連する統計的モデルの改善と、非線形モデルを扱うことのできる統計的タイミング解析のさらなる効率化に取り組んだ。

(1) 統計的モデルに関しては、低電源電圧環境において特にトランジスタの特性変動が大きくなり、結果としてタイミング等の回路特性が大きく変動する点に着目して、その安定的動作範囲の解析手法を開発した。単体デバイスと要素回路の統計的な特性変動を効率よく取得可能とする回路を新たに設計し、65nm プロセスを用いて試作することにより、回路の特性変動を具体的に求め、解析手法の有効性を実測データと照合することで検証した。回路中の基本論理素子であるフリップフロップ (FF) 回路が特にばらつきに弱いことに着目して考案した、FF の特性ばらつきから回路全体の特性を予測するモデルが、実測結果をよく説明することを示した。本検討により、今後、センサネットワーク等で広く使われる低電源電圧回路に対して、回路全体の特性を効率よく、かつ精度よく予測することが可能となった。

(2) 統計的タイミング解析の効率化に関しては、昨年度までに基本構想とその実装を完了していたモンテカルロ型解析手法のハードウェア実装についての性能評価を行い、初年度作成のハードウェア実装に対しても 10 倍以上の解析速度が実現できていることを確認した。また、任意遅延分布を正確に扱える自由度を残しつつさらなる高速化を狙い、遅延サンプルの頻度分布を伝搬させるヒストグラム伝搬方式のタイミング解析手法を開発した。テストプログラムを作成してその性能と精度を評価することにより、ヒストグラム伝搬方式では、回路トポロジー (分岐ノードと再収斂ノードの存在) により発生する遅延時間の相関を正確に考慮するためには、分岐ノード数の指数時間がかかる課題があることを明らかとした。一方で、現実的な計算時間で扱える分岐ノード数は高々数個であることを考慮して、最終的なタイミング分布に対する各分岐ノードの寄与度を近似的に評価する手法を開発した。本手法により、モンテカルロ法に対して、数%から 10% 程度の許容できる誤差に抑えつつ、さらなる高速化が可能である見通しを得た。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕 (計8件)

- ① Hiroshi Yuasa, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato: "Parallel Acceleration Scheme for Monte Carlo Based SSTA using Generalized STA Processing Element," IEICE Transactions on Electronics, Vol. E96-C, No. 4, pp. 473-481, 2013. DOI: 10.1587/transele. E96. C. 473
査読有
 - ② Michihiro Shintani and Takashi Sato: "Device-Parameter Estimation Through IDDQ Signatures," IEICE Transactions on Information and Systems, Vol. E96-D, No. 2, pp. 303-313, 2013. DOI: 10.1587/transinf. E96. D. 303
査読有
 - ③ Takashi Enami, Takashi Sato, and Masanori Hashimoto: "Power distribution network optimization for timing improvement with statistical noise model and timing analysis," IEICE Transactions of Fundamentals on Electronics, Communications and Computer Sciences, Vol. E95-A, No. 12, pp. 2261-2271, 2012. DOI: 10.1587/transfun. E95. A. 2261
査読有
 - ④ Hiromitsu Awano, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato: "Bayesian Estimation of Multi-Trap RTN Parameters using Markov Chain Monte Carlo Method," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E95-A, No. 12, pp. 2272-2283, 2012. DOI: 10.1587/transfun. E95. A. 2272
査読有
 - ⑤ Junya Kawashima, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato: "A Variability-Aware Energy-Minimization Strategy for Subthreshold Circuits," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E95-A, No. 12, pp. 2242-2250, 2012. DOI: 10.1587/transfun. E95. A. 2242
査読有
- 〔学会発表〕 (計47件)
- ① 藤田 隆史, 筒井 弘, 越智 裕之, 佐藤 高史: "回路構造の異なるラッチの消費エネルギーの比較", 電子情報通信学会総合大会 (岐阜大学, 岐阜市), 2013年3月19日.
 - ② Shiyi Zhang, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato: "Evaluation of dependent node selection of histogram propagation based statistical timing analysis", 電子情報通信学会 総合大会 (岐阜大学, 岐阜市), 2013年3月19日.
 - ③ Hiromitsu Awano, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato: "Multi-Trap RTN Parameter Extraction Based on Bayesian Inference," International Symposium on Quality Electrical Design (ISQED) (Techmart Center, Santa Clara, USA), Mar. 6, 2013.
 - ④ 新谷 道広, 佐藤 高史: "オンラインテストを指向したIDDQ電流しきい値決定手法の検討", 電子情報通信学会 VLSI設計技術研究会, (沖縄青年会館, 那覇市), 2013年3月4日
 - ⑤ Michihiro Shintani and Takashi Sato: "An Adaptive Current-Threshold Determination for IDDQ Testing Based on Bayesian Process Parameter Estimation," ACM/IEEE Asia South Pacific Design Automation Conference (ASP-DAC) (Pacifico Yokohama, Yokohama, Japan), Jan. 25, 2013.
 - ⑥ 川島 潤也, 筒井 弘, 越智 裕之, 佐藤 高史: "チップ試作による最小動作電圧予測手法の評価", 電子情報通信学会 ICD研究会 (東京工業大学大岡山キャンパス 東工大大蔵前会館ロイヤルブルーホール, 東京都), 2012年12月17日.
 - ⑦ Zhi Li, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato: "Accurate I/O Buffer Impedance Self-Adjustment using Vth and Temperature Sensors", デザインガイア (九州大学医学部百年講堂, 福岡市), 2012年11月27日.
 - ⑧ Jyothi Bhaskarr Velamala, Ketul B. Sutarra, Hirofumi Shimizu, Hiromitsu Awano, Takashi Sato, and Yu Cao: "Statistical Aging Under Dynamic Voltage Scaling: a Logarithmic Model Approach," IEEE Custom Integrated Circuits Conference (CICC) (DoubleTree Hotel, San Jose, USA), Sep. 9-12, 2012.
 - ⑨ 清水 裕史, 筒井 弘, 越智 裕之, 佐藤 高史: "情報量規準を用いるRTNモデルパラメータ推定の自動化", DAシンポジウム (ホテル下呂温泉水明館, 下呂市), 2012年8月29日.
 - ⑩ 川島 潤也, 越智 裕之, 筒井 弘, 佐藤 高史: "回路の最小動作電圧改善とその予測精度向上の一検討", 第25回 回路

- とシステムワークショップ (淡路夢舞台国際会議場, 淡路市), 2012年7月31日.
- ⑪ Jyothi B. Velamala, Ketul B. Sutaria, Takashi Sato, and Yu Cao: "Physics Matters: Statistical Aging Prediction Under Trapping/detrapping," ACM/IEEE Design Automation Conference (DAC) (Moscone Center, San Francisco, USA), June 5, 2012.
- ⑫ Michihiro Shintani and Takashi Sato: "A Bayesian-Based Process Parameter Estimation using IDDQ Current Signature," IEEE VLSI Test Symposium (VTS) (Hyatt Maui, Hawaii, USA), Apr. 23, 2012.
- ⑬ Jyothi B. Velamala, Ketul B. Sutaria, Takashi Sato, and Yu Cao: "Aging Statistics Based on Trapping/detrapping: Silicon Evidence, Modeling and Prediction," IEEE International Reliability Physics Symposium (Hyatt Regency Orange County, Anaheim, USA), Apr. 15-19, 2012.
- ⑭ Hiroshi Yuasa, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato: "Acceleration Scheme for Monte Carlo Based SSTA using Generalized STA Processing Element," ACM/IEEE International Workshop on Timing Issues (TAU) (National Taiwan University, Taipei, Taiwan), Jan. 18, 2012.
- ⑮ Jyothi Bhaskarr Velamala, Takashi Sato, and Yu Cao: "Statistical Aging Prediction and Characterization using Trapping/detrapping Based NBTI Models," Workshop on Variability Modeling and Characterization (VMC) (DoubleTree Hotel, San Jose, USA), Nov. 10, 2011.
- ⑯ Junya Kawashima, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato: "A Design Strategy for Sub-Threshold Circuits Considering Energy-Minimization and Yield-Maximization," IEEE International SOC Conference (SOCC) (Grand Hotel, Taipei, Taiwan), Sep. 26, 2011.
- ⑰ 清水 裕史, 筒井 弘, 越智 裕之, 佐藤 高史: "EM法によるMOSデバイス界面状態数の自動推定", 電子情報通信学会 ソサイエティ大会 (北海道大学, 札幌市), 2011年9月13日.
- ⑱ Takashi Sato, Tadamichi Kozaki, Takumi Uezono, Hiroshi Tsutsui, and Hiroyuki Ochi: "A Device Array for Efficient Bias-Temperature Instability Measurements," European Solid-State Device Research Conference (ESSDERC) (Finlandia Hall, Helsinki, Finland), Sep. 13, 2011.
- ⑲ 川島 潤也, 越智 裕之, 筒井 弘, 佐藤 高史: "エネルギー最小化と動作保証を考慮したサブスレッショルド回路の設計指針の検討", 第24回 回路とシステムワークショップ (淡路夢舞台国際会議場, 淡路市), 2011年8月2日.
- ⑳ Takashi Sato, Tadamichi Kozaki, Takumi Uezono, Hiroshi Tsutsui, and Hiroyuki Ochi: "A Stress-Parallelized Device Array for Efficient Bias-Temperature Stability Measurements," IEEE International Workshop on Design for Manufacturability and Yield 2011 (DFM&Y) (San Diego Convention Center, San Diego, USA), Jun. 6, 2011.
- ㉑ Hiroshi Yuasa, Hiroshi Tsutsui, Hiroyuki Ochi, and Takashi Sato: "A fully pipelined implementation of Monte Carlo based SSTA on FPGAs," International Symposium on Quality Electrical Design (ISQED) (Techmart Center, Santa Clara, USA), Mar. 16, 2011.
- ㉒ Takumi Uezono, Tadamichi Kozaki, Hiroyuki Ochi, and Takashi Sato: "A transistor-array for parallel BTI-effects measurements," Workshop on Variability Modeling and Characterization (VMC) (DoubleTree Hotel, San Jose, USA), Nov. 11, 2010.

6. 研究組織

(1) 研究代表者

佐藤 高史 (SATO TAKASHI)
 京都大学・大学院情報学研究科・教授
 研究者番号：20431992

(2) 研究分担者

越智 裕之 (OCHI HIROYUKI)
 京都大学・大学院情報学研究科・准教授
 研究者番号：40264957
 筒井 弘 (TSUTSUI HIROSHI)
 京都大学・大学院情報学研究科・助教
 研究者番号：30402803

(3) 連携研究者

()

研究者番号：