

## 科学研究費助成事業 研究成果報告書

平成 26 年 6 月 10 日現在

機関番号：34315

研究種目：基盤研究(B)

研究期間：2011～2013

課題番号：23300015

研究課題名(和文)大規模恒久保存基盤システムの構成方式の検討

研究課題名(英文)Architecture for Large-scale Long-term Digital Storage System

研究代表者

越智 裕之(Ochi, Hiroyuki)

立命館大学・情報理工学部・教授

研究者番号：40264957

交付決定額(研究期間全体)：(直接経費) 14,600,000円、(間接経費) 4,380,000円

研究成果の概要(和文)：長寿命なデジタル記憶システムの実現に向け、長期安定性に優れるマスクROMの実装されたシリコンウエハ全体を完全に絶縁層で封止し、非接触で電源供給や相互通信を行うための構成方式の検討を行った。非接触電源供給技術としてオンチップ太陽電池に注目し、ブーストインターリーブ太陽電池を提案した。非接触相互通信技術としてオンチップダイポールアンテナに注目し、低消費電力な送受信回路を提案した。高集積、超低電圧動作が可能なNAND型マスクROMの特性を明らかにした。これらを総合して恒久保存メディアのアーキテクチャ検討を行い、待機時消費電力を極限まで削減する階層的なパワーゲーティング手法の有用性を示した。

研究成果の概要(英文)：To realize digital data storage systems of extremely long lifetime, architecture for sealed wafer-scale mask ROM that is capable of contactless power delivery and contactless mutual communication has been investigated in order to enhance robustness of mask ROM device. As for contactless power delivery, on-chip solar cell has been investigated, and "boost interleaved solar cell" has been proposed. As for contactless mutual communication, low power Tx/Rx circuits to utilize on-chip dipole antenna. NAND-type high-density low operating voltage mask ROM has been designed and evaluated. Finally, hierarchical architecture with aggressive power-gating feature has been developed.

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：非接触通信 非接触電源供給 オンチップ太陽電池 長期信頼性 マスクROM アドホックネットワーク

### 1. 研究開始当初の背景

人類がこれまでアナログメディアで蓄積してきた書物、音楽、映像等の文化遺産のデジタル化や、今後増加するオンラインコンテンツの散逸防止、及びこれらを広く利用に供することの重要性が指摘されており、先進諸国の国会図書館等がデジタルアーカイブ化に取り組みつつある[1]。しかし、既存の光ディスクやハードディスク、フラッシュメモリ等は情報保持の仕組み(磁気、電荷)や耐久性(機械的損傷、腐食)に問題があり、寿命は数10年と言われている[2, 3]。更に既存メディアは気温や湿度の管理と定期的複製が不可欠であり、ランニングコストが大きい。

研究代表者らは、長寿命なデジタル記憶メディアとしてマスクROMに注目した。マスクROMは地球上で極めて安定な物質であるSi及びSiO<sub>2</sub>と、その中に埋設されたメタル配線からなり、その構造(ビア穴の有無等)によってデータを保持している。磁気や電荷等の減衰しやすい物理量に依存せず、ディスクのように回転させなくてもよい。製造コストに関しては、マスクコストを低減できるEB直描技術が有望であり、廉価なガラス基盤LSIも視野に入る[4]。更に研究代表者らはマスクROMの長期信頼性を一層高める方策として、マスクROMの実装されたシリコンチップ全体を完全に絶縁層(SiO<sub>2</sub>等)で封止し、エネルギー供給や外界とのデータのやり取りを全て非接触で行うことを考えた[5]。これにより、百~千年のスパンでの劣化要因と考えられる端子の腐食や磨耗、ボンディング部のボイド発生等を排除できる。この恒久保存メディアの実現例として、研究代表者らはデータ送受と電源供給を電磁誘導結合で行うチップを試作している[6]。

記憶メディア自体を集積回路路上に実現することで、従来の記憶メディアにはなかった様々な付加機能を持たせることも可能になる。各記憶メディアに相互通信する機構を持たせることで可能となる大規模アーカイブシステムの実現例を図1に示す[7]。図中の各メディアは自律的にアドホックネットワークを形成し、メディアを順不同で図中のメディアラックに挿入するだけで、サーバからアクセス可能な状態となる。これにより高いスケーラビリティを有する大規模アーカイブシステムを容易に構築できる。

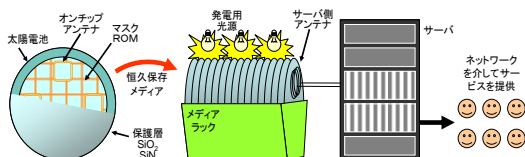


図1: 恒久保存メディアを用いたスケラブルな大規模アーカイブシステムの実現例[7]

### 2. 研究の目的

本研究は、千年以上の寿命と高いアクセス性を兼ね備えたデジタル記憶メディアを開発して大規模アーカイブシステムを実現す

ることを目的とする。提案システムが実現されれば、貴重な文化遺産を閲覧に供しながら千年のスパンで保存することが可能となり、情報学の様々な分野や、ひいては人類の文化に大きなインパクトがあると考えられる。

### 3. 研究の方法

提案する恒久保存メディアやシステムを実現するためには、様々な要素技術を改良、ないしは新規開発し、取捨選択の上、性能とコストのトレードオフが最適となるようシステムを詳細化することが必要である。まず、非接触電源供給技術、非接触通信技術、および超低電圧動作可能なマスクROMについて予備検討を行い、これらを総合して恒久保存メディアのアーキテクチャ詳細化を行う。

### 4. 研究成果

#### (1) オンチップ非接触電源供給技術

##### ①背景

ここでは、オンチップ非接触電源供給の手段としてオンチップ太陽電池を取り上げ、ここから高い電圧を取り出すためのスイッチ付き太陽電池の回路方式について述べる。

太陽電池は機械部品を用いない単純な構造からなり、単位面積当たりのエネルギー生成量も比較的多い。また一般的なCMOSプロセスのシリコン基板上に容易に実装できる。しかしLSI用のシリコン単結晶の場合、単一のPN接合ダイオードでは解放時電圧が0.5V程度にとどまる[8]。更に大きな電位差を得るためには複数の太陽電池を直列接続すれば良いが、通常のCMOSプロセスでは複数のダイオードがP基板を介して短絡してしまうことに注意しなければならない(図2)。

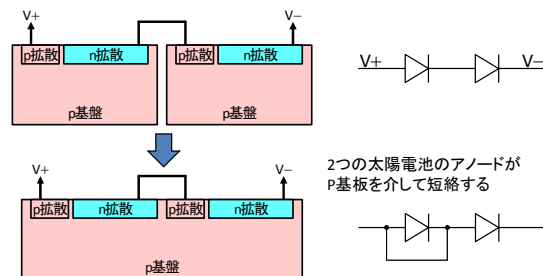
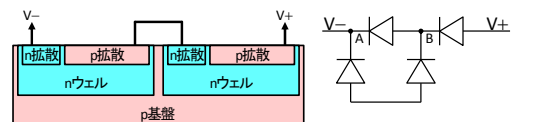


図2: P基板による短絡

文献[9]は、複数のNウェル領域をP基板で隔離することで素子分離を試みたが、損失が大きかったと報告している(図3)。



●2つの寄生ダイオードのアノードがP基板を介して短絡する  
●2つの寄生ダイオードにも光が当たって発電し、AとBを等電位にしようと働く  
図3: 寄生太陽電池による短絡

文献[10-12]はP拡散-NウェルダイオードとP基板-N拡散ダイオードを直列接続することを提案したものである(図4)。これはP基板-Nウェル間の寄生ダイオードをメタル配

線で短絡して無効化するものと期待されたが、やはり損失が大きい旨報告されている。これは右側に上からP-N-Pの構造があり、これが寄生バイポーラトランジスタ（上からE-B-C）として働くためであると考えられる。

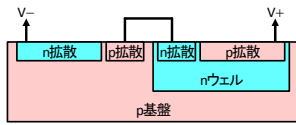
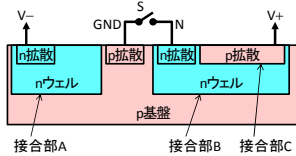


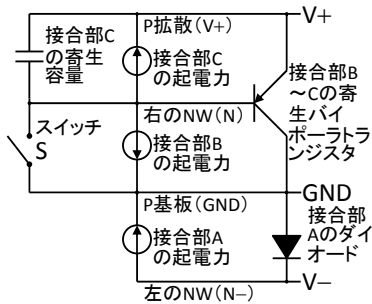
図4: 異種ダイオード2個の直列回路

### ②スイッチ付き太陽電池

研究代表者らは、太陽電池の寄生容量を利用してチャージポンプを実現する回路方式を考案した。図5(a)は最も基本的な構造であり、図5(b)はその等価回路である。説明の都合上、図5ではスイッチSが使われているが、実際はPMOSトランジスタ等で実現する。



(a) 構造



(b) 等価回路

図5: スwitch付き太陽電池

この回路の動作は以下の通りである。

- (1) スwitch Sを開放した状態で光を照射すると、図5(b)に電流源で示した起電力が生じる。GND (P基板)の電位を0Vとしたとき、Nの電位は-0.5V程度、V+の電位は0V程度となり、接合部Cの寄生容量が充電される。なお、接合部B~Cの寄生バイポーラトランジスタはコレクタ電位がエミッタ電位と同程度のため、コレクタ電流が流れることはない。
- (2) 光を照射したままSを閉じると、Nの電位が約-0.5Vから0Vまで上昇し、V+の電位は約0Vから約+0.5Vまで上昇する。
- (3) Sを閉じた状態を維持すると、接合部B~Cの寄生バイポーラトランジスタおよびV+に外付けされた負荷を介して接合部Cの寄生容量が放電され、V+の電位が減少する（無負荷の場合は、接合部Cの起電力が寄生バイポーラトランジスタのリーク電流を上回るため、[10~12]で報告されているようにV+の電位は高いまま保たれる）。
- (4) V+の電位がある程度下がったらSを開放する。これにより寄生バイポーラトラン

ジスタはOFFになる。またV+の電位は一旦GNDよりも低くなるが、接合部Cの起電力により接合部Cの寄生容量が充電され、(1)の状態まで回復する。以下、(2)~(4)を繰り返す。

実際にはスwitch Sの役割を果たすPMOSトランジスタの他に、出力V+の電位が高い時だけV+を負荷と接続するPMOSトランジスタ、ならびに、これらPMOSトランジスタを制御するためのタイミング回路が必要である。タイミング回路は、同一チップ上に別途実現された太陽電池で駆動されるリングオシレータ等によって実現可能である（このタイミング回路はメタルで遮光する）。

### ③ブーストインターリーブ型太陽電池

スwitch付き太陽電池に更に外付け容量(MIMキャパシタ等)を加えて出力電圧を高め、その同じ回路2つを交互に動作させて出力電圧の平滑化を狙ったブーストインターリーブ型太陽電池回路を提案する(図6)。

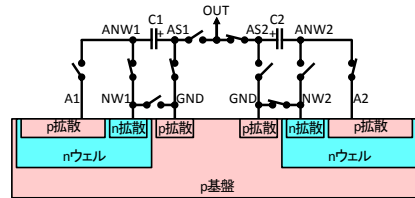


図6: ブーストインターリーブ太陽電池

図6で左側は充電中であり、太陽電池はスswitch付き太陽電池の(4)の状態にあり、C1はNW1-GND間の太陽電池によって充電されつつある。図6の右側は放電中であり、スswitch付き太陽電池の(2)の状態にある太陽電池の出力A2に充電済みのC2が直列に接続され、その電圧をOUT端子に出力している。

### ④評価

50klxの照度を想定した回路シミュレーションを行った結果を図7に示す。図4の太陽電池(conventional)と比べ大幅に出力が向上していることが読み取れる。

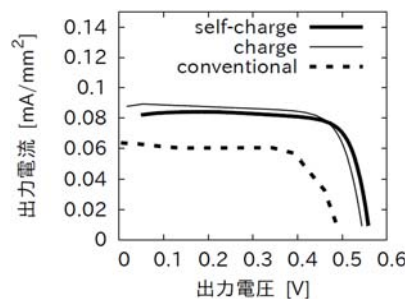


図7: シミュレーション結果

### (2) オンチップ非接触データ通信技術

#### ①背景

ここでは、オンチップ非接触データ通信の手段としてオンチップダイポールアンテナを用いた電磁波通信を取り上げ、その低消費電力化のための回路方式について述べる。

送受信双方が非接触電源供給で動作するチップ間非接触データ通信を実現するためには、極限的な低消費電力化が不可欠である。例えば送信側が強力な電磁波を出力することを要するバックスキタ方式は使用できないし、受信側で高ゲインの増幅器であるLNAを使用することも消費電力の観点から不適切である。低消費電力な非接触データ通信方式として電磁誘導結合を用いた手法があるが、通信距離が0.2mm程度であり、チップ同士をほぼ密着させる必要がある。

ここでは、電磁誘導結合よりも長距離の通信ができると期待される電磁波通信について検討し、これを低消費電力で実現するための送信回路および受信回路について考える。

## ②アンテナ

ここでは、チップ上に形成できるアンテナのサイズの上限を仮に10mm×1mmと想定し、折り返し回数が3回から13回までのメアンダダイポールアンテナについて、電磁場解析ソフトFemtetを用いて評価した。この結果、図8に示す折り返し回数が6回のものが最も共振周波数が低かった。図9にこのアンテナの $S_{11}$ を示す。



図8: メアンダダイポールアンテナ

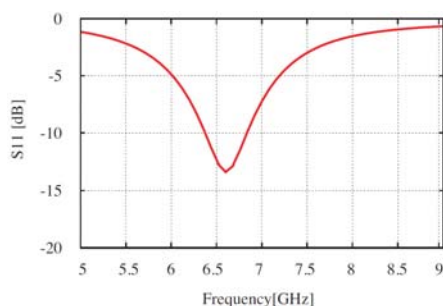


図9: オンチップメアンダダイポールアンテナの $S_{11}$ 特性

## ③送信回路

上述のアンテナの共振周波数の搬送波をリングオシレータ等で発振させることは容易ではない。ここでは図10に示すショックウェーブジェネレータ(SWG)を用いる。これはLC共振回路にステップ信号を印加することによってこの共振周波数の信号を取り出すものである。

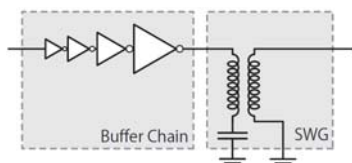


図10: SWGを用いた送信回路

## ④受信回路

受信回路は増幅器としてインバータを3段

使用し、その出力を検波するためにショットキーバリアダイオードを使用する。

インバータを増幅器として使用するためには、入力電位をそのインバータの論理的閾値電圧にバイアスしてやる必要がある。このために図11のようにバイアス発生回路を設けることも考えられるが、(1)常時貫通電流が流れることとなり、特に通信待ち受け状態での電力浪費が大きい、(2)チップ内プロセスばらつきにより、必ずしも最適なバイアスが発生できるとは限らない、といった問題点がある。ここでは受信開始前に各インバータの入出力をトランスマッションゲートで短絡することで入力バイアスを設定し、その後このトランスマッションゲートをOFFにすることで増幅動作をさせるプリチャージ増幅回路を採用する(図12)。この回路のために通信開始タイミングを与えるべく、次に述べる低消費電力な起動回路(待ち受け回路)を導入する。

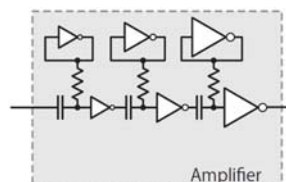


図11: インバータ増幅回路

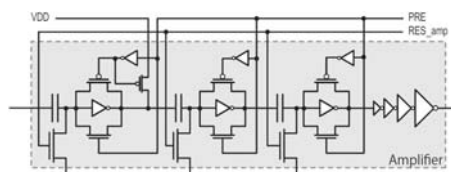


図12: プリチャージ増幅回路

## ⑤起動回路

起動回路(図13)は入力信号を直接検波して積分回路に印加し、その微小な電位の上昇を大崎らのレベルシフタによって検出する方式を採る。大崎らのレベルシフタはサブスレッショルド領域の小振幅のデジタル信号をrail-to-railのデジタル信号に変換するために提案されたものであるが、消費電力が極めて少ないという特徴があり、本目的のように小振幅のアナログ信号を波形整形する目的にも好適である。

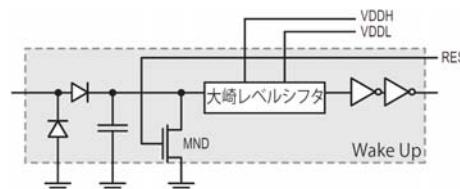


図13: 起動回路

## ⑥評価

提案する非接触データ通信回路の全体の構成を図14に示す。また、回路シミュレーションで評価した消費電力を表1に示す。この表より、提案する送受信回路は図11の増幅回路を用いた方法に比べ、消費電力を通信

時で約半分、待機中は約4桁削減できていることがわかる。

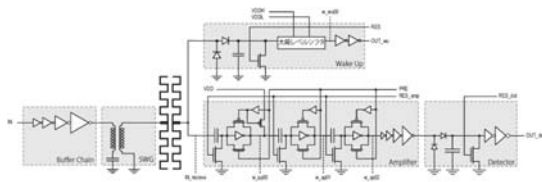


図 14: 提案する非接触データ通信回路の全体構成

表 1: 消費電力の比較

状態	回路	図 11 [W]	図 12 [W]
通信時	送信回路	1.22e-3	1.60e-4
	受信回路	2.89e-3	8.08e-4
	起動回路	-	4.86e-6
	全体	4.1e-3	9.74e-4
待機時	送信回路	1.20e-9	1.86e-9
	受信回路	3.79e-3	1.37e-7
	起動回路	-	8.92e-9
	全体	3.79e-3	1.47e-7

### (3) 高集積なマスク ROM の設計と評価

面積密度で優れる NAND 型マスク ROM について、65nm プロセスで設計・試作を行い、評価を行った。ここでは、最小サイズのトランジスタを使用して 32 ビット×32 語の NAND 型マスク ROM を設計した。

図 15(a) は試作チップの顕微鏡写真であり、図 15(b) はマスク ROM 部のレイアウトである。

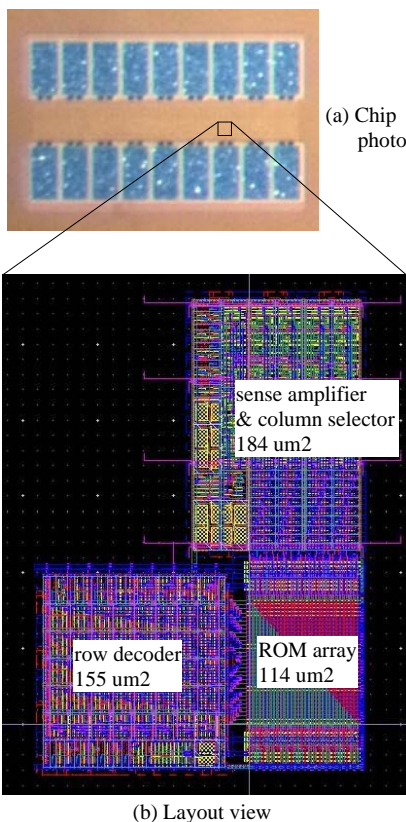


図 15: 試作した NAND 型マスク ROM

最小サイズのトランジスタを用いてフルカスタム設計した 32 ビット×32 語のメモリセルアレイの面積は  $114\mu\text{m}^2$  であり、ビット当た

りでは  $0.11\mu\text{m}^2/\text{bit}$  である。行デコーダ、センスアンプ、列選択回路等の周辺回路が相対的に大きな面積を占めているが、これらは今回、スタンダードセルライブラリを用いて設計しており、フルカスタム設計すれば大幅に面積を削減できると考えられる。実測により、動作周波数 100MHz の時、電源電圧 0.7~1.2V の範囲で正常に動作することを確認した。

### (4) ウエハスケールの密封型マスク ROM のための低消費電力アーキテクチャ

#### ①背景

ここでは、ウエハ 1 枚にマスク ROM と太陽電池を敷き詰めた恒久保存メディアを考え、太陽電池の占める面積を抑えるための、低消費電力化アーキテクチャについて検討する。

文献[8]より、オンチップ太陽電池から得られる電力は  $20\text{klx}$  の照度下で  $0.22\text{mW}/\text{mm}^2$  程度である。ウエハ上に敷き詰めるマスク ROM の消費電力を極限まで抑える必要がある。

#### ②H-tree アーキテクチャ

図 16 のようなアーキテクチャを提案する。これにより、使用しているマスク ROM ブロック以外を全てパワーゲーティングすることができ、ウエハ内を結ぶ長距離配線を非同期のシリアル通信として実現することにより配線面積を削減し、配線遅延に頑強なアクセスを実現するものである。なお、ランダムアクセスはサポートせず、読出しは H-tree の深さ優先探索の順で行われる。図中の binary sequencer (緑色) 間を結ぶ線はコントローラから ROM に向かう起動信号とクロック信号、および ROM からコントローラに向かうデータ信号および終了信号の計 4 本のみである。

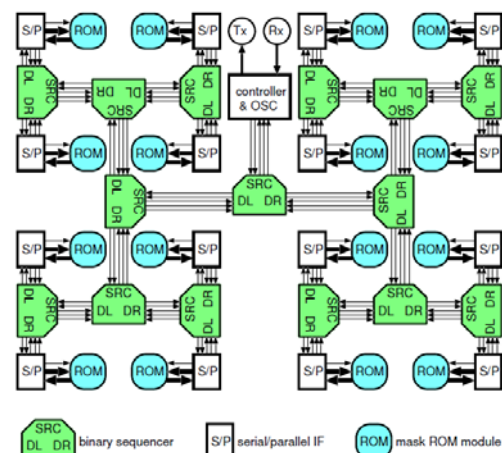


図 16: 提案する H-tree アーキテクチャ

#### ③評価

65nm プロセスの 12 インチウエハ上にウエハスケールのマスク ROM を実現した場合の構成を表 2 に示す。ウエハスケールのマスク ROM にクロックゲーティングだけを適用した場合、リーク電力が極めて大きくなってしまい、これを賄うために大きな太陽電池が必要となってしまうことがわかる。パワーゲーティングを適用してリーク電力を抑制すること

により、太陽電池の占める面積を全体の1%まで抑えることができることが示された。

表 2: 階層的アクセス方式によるウエハスケールマスクROMの実現

	クロックゲーティングのみ	パワーゲーティング使用(提案)
ステージ数	25 段	26 段
メモリ容量	32Gbit	64Gbit
動作電力	1.13mW	1.17mW
リーク電力	5.94W	0.131W
太陽電池面積	26400mm <sup>2</sup>	588mm <sup>2</sup>
回路面積	28000mm <sup>2</sup>	55900mm <sup>2</sup>
太陽電池の面積占有率	48.5%	1.0%

(5) 参考文献

- [1] 米国国会図書館, "World Digital Library Project," <http://www.worlddigitallibrary.org/>
- [2] The Science and Technology Council of the Academy of Motion Picture Arts and Sciences, "Digital Storage Technology," The Digital Dilemma, Section 5.1, [http://www.oscars.org/council/digital\\_dilemma/](http://www.oscars.org/council/digital_dilemma/)
- [3] C. J. Shahani, et al., "Longevity of CD Media: Research at the Library of Congress," <http://www.loc.gov/preserv/studyofCDlongevity.pdf>
- [4] B. Lee, et al., "A CPU on a glass substrate using CG-silicon TFTs," ISSCC 2003, pp. 164-165, 2003.
- [5] 今井, 中村, 越智, 太田, 小野: "半導体記憶装置および記憶システム," 特願2007-258836, 2007年10月2日出願
- [6] Y. Yuxiang, N. Miura, S. Imai, H. Ochi, and T. Kuroda: "Digital Rosetta Stone: a sealed permanent memory with inductive-coupling power and data link," Symposium on VLSI Circuits, pp. 26-27, 2009.
- [7] 今井, 中村, 越智, 太田, 小野: "記憶システムおよびそれを用いられる半導体記憶装置," 特願2008-182931, 2008年7月14日出願
- [8] N. Guilar, et al., "Integrated solar energy harvesting and storage," ISLPED'06, pp. 20-24, 2006.
- [9] G. Perlaky, et al., "Sensor powering with integrated MOS compatible solar cell array," IEEE Design and Diagnostics of Electronic Circuits and Systems, pp. 251-253, 2006.
- [10] J. Armer, et al., "Method and apparatus for powering circuitry with on-chip solar cells within a common substrate," US Patent US 7,098,394 B2, Aug. 29, 2006.
- [11] Y. Arima, et al., "On-chip solar battery structure for CMOS LSI," IEICE Electronics Express, vol. 3, no. 13, pp. 287-291, 2006.
- [12] F. Horiguchi, "Integration of series-connected on-chip solar battery in a triple-well CMOS LSI," ESSDERC 2011, pp. 371-374, 2011.

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計0件)

[学会発表] (計2件)

- ① 発表者名: 佐川善彦、廣本正之、佐藤高史、越智裕之、発表標題: "低電圧起動回路を用いた省電力チップ間非接触通信回路"、学会名: 第166回システムとLSIの設計技術研究会、発表年月日: 2014年5月29日、発表場所: 北九州国際会議場(福岡県)
- ② 発表者名: Shinya Matsuda, Takashi Imagawa, Hiroshi Tsutsui, Takashi Sato, Yukihiro Nakamura, and Hiroyuki Ochi、発表標題: "Architecture for sealed wafer-scale mask ROM for long-term digital data preservation"、学会名: 28th Intl. Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC)、発表年月日: 2013年7月1日、発表場所: Yeosu, (Korea)

[図書] (計0件)

[産業財産権]

○出願状況 (計1件)

名称: 太陽電池、複合太陽電池および集積回路  
 発明者: 越智裕之、佐藤高史、池辺卓  
 権利者: 国立大学法人京都大学  
 種類: 特許  
 番号: 特願2013-020277  
 出願年月日: 2013年02月05日  
 国内外の別: 国内

○取得状況 (計0件)

[その他]

該当なし

6. 研究組織

(1) 研究代表者

越智 裕之 (OCHI HIROYUKI)  
 立命館大学・情報理工学部・教授  
 研究者番号: 40264957

(2) 研究分担者

佐藤 高史 (SATO TAKASHI)  
 京都大学・情報学研究科・教授  
 研究者番号: 20431992

筒井 弘 (TSUTSUI HIROSHI)  
 北海道大学・情報科学研究科・准教授  
 研究者番号: 30402803

中村 行宏 (NAKAMURA YUKIHIRO)  
 立命館大学・総合科学技術研究機構・教授  
 研究者番号: 60283628

(3) 連携研究者

該当なし