

科学研究費助成事業 研究成果報告書

平成 30 年 6 月 25 日現在

機関番号：13801

研究種目：新学術領域研究(研究領域提案型)

研究期間：2013～2017

課題番号：25109003

研究課題名(和文)SOI技術を用いた極低ノイズ・高速イメージングデバイスの研究

研究課題名(英文)A study on ultra-low-noise high-speed imaging devices using SOI technology

研究代表者

川人 祥二(Kawahito, Shoji)

静岡大学・電子工学研究所・教授

研究者番号：40204763

交付決定額(研究期間全体)：(直接経費) 87,600,000円

研究成果の概要(和文)：SOIを用いた高感度量子線ピクセル検出器としてPinned Depleted Diode構造によるSOIピクセル(SOIPIX-PDD)を提案し、極めて優れた性能が得られることを試作により実証した。本ピクセルは、SOI回路層下の埋込酸化膜界面にホール蓄積ピンニング層を設け、その下部に検出した信号電子を高速走行させるチャンネルを形成し、微小容量の検出部に収集することで、低ノイズ・低暗電流・高電荷収集効率を得られる。5.9keVのX線エネルギースペクトルを171eVの半値全幅で計測することに成功した。ロックインSOIピクセル及び質量分析用到達時間検出SOI回路についても開発し、新しい知見を得た。

研究成果の概要(英文)：In this study, a high-sensitivity SOI(Silicon-on-insulator) pixelated radiation detector using a pinned depleted diode structure (SOPIX-PDD) is proposed and its excellent performance is demonstrated with the design and implementation of the SOI semiconductor chips. The SOPIX-PDD has a pinned p-well layer underneath the buried oxide (BOX) and a depleted channel under the pinned p-well for gathering signal carriers generated at an arbitrary position in the pixel. This structure allows us to realize reduced dark current generated at the Si-SiO₂ (BOX) interface, high charge correction efficiency and low-noise carrier detection with the small detector capacitance. An X-ray energy spectrum at 5.9keV is successfully measured with the high resolution of 171eV (FWHM). A SOI-based lock-in pixel detector and time-to-digital converter for mass-spectroscopy are also developed.

研究分野：工学、電気電子工学、電子デバイス・電子機器

キーワード：量子イメージング 電荷収集構造 イベント駆動型量子エネルギー計測 広ダイナミックレンジ 時間デジタル変換

1. 研究開始当初の背景

量子線イメージングの基本構造素子である SOI (Silicon-On-Insulator) ピクセル検出器は、究極の量子線イメージングを行う上で理想的な構造と機能を有している。この新奇な SOI ピクセル検出器の物理的特性と最適構造の探求について、学術的な興味をもつ半導体デバイス研究者と、新たなイメージング測定を求めていた多分野の先端計測研究者が集まり、全く新しい形の研究開発集団として本領域研究が開始された。その中で本計画研究は、量子線イメージングの性能と機能を画期的に高める新しい SOI ピクセルデバイス技術および SOI 回路を創出することを目指して研究を開始した。

2. 研究の目的

本研究では、本研究代表者らが研究開発を進めてきた、1 電子相当のノイズレベルと 4 桁以上の高ダイナミックレンジを同時に満たす撮像デバイス技術、8 桁に及ぶ超高ダイナミックレンジ撮像技術、ナノ秒の物理現象をピコ秒オーダーの時間分解能で撮像する高時間分解撮像技術及び、低ノイズ非破壊読み出しデバイス技術等を、SOI ピクセル検出器に融合的に応用するにより、量子線検出の極低ノイズ化、エネルギー弁別の高精度・高ダイナミックレンジ化、時間分解性能の飛躍的向上を図ることを目的とする。具体的には、本学術領域の各サイエンス分野に応用する高機能・高性能 SOI ピクセル検出器を班間の連携で開発するにあたり、その基礎となる低ノイズ・広ダイナミックレンジ SOI 電荷検出回路、高感度・高電荷収集効率 SOI ピクセルデバイス、高近赤外感度ロックイン SOI ピクセルデバイス、3 次元積層型高時間分解 SOI ピクセル回路の各要素技術を研究開発する。これらに応用した SOI ピクセル検出器の開発により、量子線イメージングの性能を画期的に高めるイメージングデバイス群を創造し、これらのデバイス群とその先端科学計測応用による価値創出に関する新しい学術分野の創成に貢献する。

3. 研究の方法

SOI ピクセル検出器に関する 4 つの要素技術と、これらをサイエンス分野への応用するためのイメージングデバイスに関し、設計・試作・評価を通して研究を進める。

[1] 電荷収集型高感度量子線ディテクタ構造による SOI ピクセルデバイス技術

X 線の入射によって発生したキャリアをロスなく電荷検出部に収集し、回路のノイズに乱されないよう高い変換利得で検出し、またノイズの原因になる暗電流の発生が少ないディテクタ構造の実現が望まれる。本研究代表者は、従来の SOI ピクセル(SOIPIX)を基本構造としながら、キャリアのディテクタ部において、(a)基板表面に高濃度ホールによる電位固定層(pinned p-well region)形成、(b)

基板の全空乏化(full depletion)、(c)電位固定層からのホール注入を避ける電位障壁形成、(d)ピクセル内の全領域から電荷検出部に向かうドリフト電界分布形成、(e)電荷検出の微小容量化による高感度化を実現する検出部電位分布形成、の 5 つの条件を満たす理想的とも言えるピクセルディテクタ構造 Pinned Depleted Diode (PDD) を考案した。この技術、すなわち SOIPIX-PDD の量子線イメージングデバイスとしての基本構造を確立する。

[2] 低ノイズ・広ダイナミックレンジ電荷検出 SOI 回路及びイベント駆動型電荷検出回路

回路の熱雑音、1/f ノイズを十分に低減しながら、信号のダイナミックレンジを確保できる SOI 回路方式としてチャージアンプを用いた方式、可変利得連続時間積分器を用いた方式を検討し、量子線エネルギー計測回路としての低ノイズ性能、ダイナミックレンジ等を、チャージディテクタ構造(PDD)を組み合わせた SOI ピクセルの試作により評価する。

また、X 線の入射によるイベント駆動に基づいて、X 線エネルギーの計測を開始する機能回路の性能向上を図り、これを用いた量子線イメージングデバイスにより X 線のエネルギー弁別計測を行い、エネルギー分解能の向上の効果と計測可能な X 線エネルギーレンジを明らかにする。

[3] 高近赤外感度ロックイン SOI ピクセルデバイス技術

基板の全空乏化を図りながら、表面電位を固定する構造により暗電流の低減と近赤外領域での高量子効率を実現することができる SOIPIX-PDD に基づき、これに SOI 層をゲート電極として用いたロックイン SOI ピクセル素子(4 タップ及び 8 タップ出力)とこれを用いたセンサアレイを試作し、その時間分解能や感度・ノイズ性能の評価を行い、光飛行時間型距離センサとしての性能を明らかにする。この新構造の実現のため、プロセスシミュレーションとデバイスシミュレーションを連携して実行し、デバイス設計を行うとともに、テストストラクチャ(素子サイズ等をパラメトリックに変化)を設計・試作し、その評価により、基本特性・性能を明らかにするとともに、最適な素子サイズ等についての知見を得る。

[4] 生体内分子イメージング質量分析用 ION 到達速度検出 SOI ピクセル

分子の飛行時間を用いた質量分析による分子イメージングのため、SOI の高速・低消費電力性を活用した高精度時間計測回路 (Time to Digital Converter) について考察し、試作・評価のサイクルを通して、時間計測回路技術確立を図る。得られた要素回路開発とそのデータベース化の成果は、領域内研究グループへフィードバックする。さらに大規模回路のピクセルへ集積のため、ピクセルの 3 次元積層化について検討し、その設計環境構築を行う。

4. 研究成果

電荷収集型高感度量子線ディテクタによる新構造 SOI ピクセル(SOPIX-PDD)

Pinned Depleted Diode 構造に基づく SOI ピクセルのデバイス技術(図 1)が完成し、従来のピクセル検出器と比較して極めて優れた性能が得られることが試作により実証された。本 SOI ピクセル(SOPIX-PDD と最終的に命名)は、表面空乏・電子検出型であり、酸化膜界面にホール蓄積ピンング層を設けながら、その下部に検出した信号電子を高速走行させるチャンネルをもち、微小容量の検出部に収集することで、低暗電流、低読出しノイズ、高い電荷収集効率を得るものである。図 2 に示すように、ピクセル内の任意の位置で発生したキャリアは、中央の微小な電荷検出部に輸送されるポテンシャル分布が形成されていることが分かる。

試作された SOPIX-PDD ピクセルの実測された暗電流は、25 において $1.2[\text{nA}/\text{cm}^2]$ であり、従来構造(20 において $120[\text{nA}/\text{cm}^2]$)に比べて 100 分の 1 以下に低減された。また -35 においては $56[\text{pA}/\text{cm}^2]$ と極めて優れた値が得られた。

SOPIX-PDD による微小容量のディテクタ構造とチャージアップ方式の SOI 読出し回路により、ピクセルのノイズ特性も従来に比較して大幅に改善され、 8×7 画素からなるプロトタイプアレイセンサを試作した結果、 $70\mu\text{V}/\text{e-}$ の変換利得をもつピクセルでは、11 電子の低読出しノイズが達成され、 ^{55}Fe の 5.9keV の X 線エネルギースペクトルを 200eV の半値全幅で測定可能であるとともに、テイル成分の極めて少ない高純度の信号スペクトルが得られることが示された。

高ゲインによる低ノイズ化と可変ゲインによる広ダイナミックレンジ化を可能とするイベント駆動型検出回路についてもアレイセンサ(図 3)として動作を確認し、 $187\mu\text{V}/\text{e-}$ と $52\mu\text{V}/\text{e-}$ の 2 種類の高変換利得が得られることが確認された。高利得 $187\mu\text{V}/\text{e-}$ の電荷検出増幅器を用い、新しいシステムノイズ低減技術を用いた試作素子では、 ^{55}Fe の 5.9keV のスペクトルの半値全幅を 171eV まで低減できることを示された(図 4)。また、低エネルギー側へのテイル成分も極めて少なく、SOPIX-PDD 構造の高い電荷収集効率が示されている。

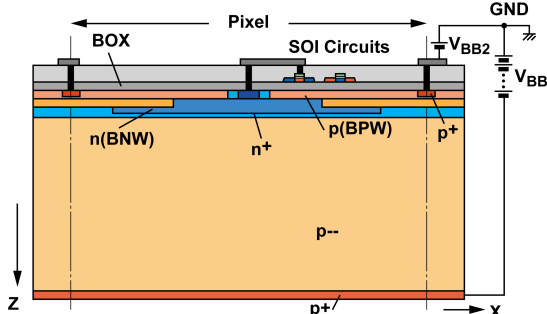


図 1 SOI 下にマルチウェル構造を持つ SOPIX-PDD.

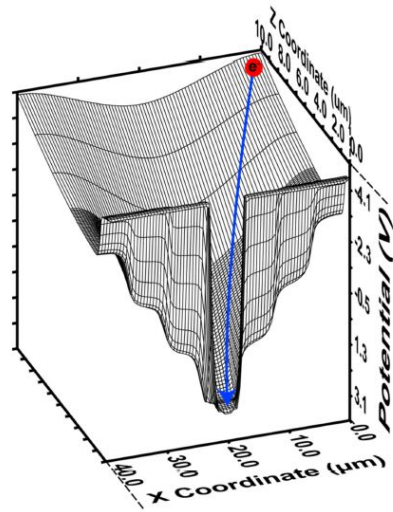


図 2 SOPIX-PDD の 3D ポテンシャルプロファイル

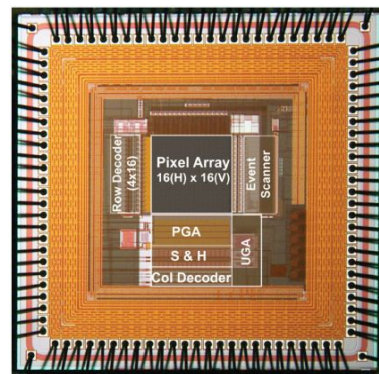


図 3 SOPIX-PDD 検出器チップ写真

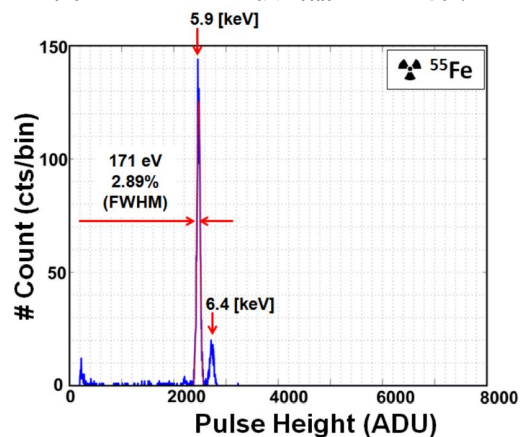


図 4 シングル X 線イベント ^{55}Fe スペクトル。

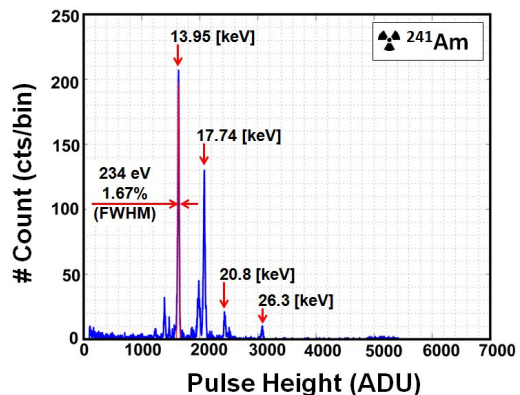


図 5 シングル X 線イベント ^{241}Am スペクトル。

低変換利得 $52\mu\text{V}/\text{e}$ -の設定による ^{241}Am の X 線エネルギースペクトル測定 (図 5) では、 13.95keV のスペクトルの半値全幅を 234eV (1.67%) まで低減しながら、 26.3keV のスペクトルまで広いレンジでの高精度 X 線スペクトル計測が行えることを示すことができた。

B01 班(X 線天文学)との連携に基づくサイエンス応用 SOI ピクセルセンサを共同開発し、SOIPIX-PDD をピクセルに用いた 8×8 画素のセンサアレイにおいて、イベント駆動に基づく、 ^{241}Am の X 線エネルギースペクトル測定を行った。その結果、 13.95keV のスペクトルの半値全幅 319eV (2.29%) が得られ、イベント駆動方式によって、高速のイベントレートに対して、高いエネルギー分解能を実現可能であることが示された。

高近赤外感度ロックイン動作に基づく光飛行時間型距離センサ

SOIPIX-PDD に基づき、これに SOI 層をゲート電極として用いた 4 タップのロックイン SOI ピクセル素子を開発し、光飛行時間型距離センサとしての性能を評価した。高近赤外感度特性として、 940nm の波長において 70% の量子効率を得られ、光飛行時間距離計測では、 25m の距離で 0.4% という高い距離分解能が得られる等、近赤外用検出器としての利点を実証した。

生体内分子イメージング質量分析用 ION 到達速度検出 SOI ピクセルと 3 次元積層

D02 班(物質科学)との連携に基づくサイエンス応用 SOI ピクセルセンサとして、D02 班との共同により SOI 生体内分子イメージング質量分析用 ION 到達速度検出ピクセルを開発した。その要素回路である TMC: Time Memory Cell) にダイナミック型 SRAM を用いて、 1ns 解像度で全ピクセル同時イベントを記録する構造の動作実証を確認した。 96×96 画素領域を 4 つの領域にミラーリングした有効画素領域 9.8mm 角ピクセル内飛行時間保持チップ (192×192 画素) を開発した。同時に、ソフトスイッチによるランプ電圧取り込み機構を組み込んだアナログ型生体内分子イメージング質量分析用 ION 到達速度検出ピクセルの設計・試作を行い、測定により 12bit かつ 1ns 以下の分解能を得た。

量子イメージング用 3 次元積層素子の設計環境構築に関しては、上層及び下層回路構成と物理設計との整合性をとる検証方式を確立した。また 3 次元積層試作チップの評価に即して、新規積層プロセスに向け量子イメージング用 3 次元設計環境構築を完成させ、連携する計画班に提供した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 22 件)

S. Shrestha, S. Kawahito, H. Kamehama, K. Yasutomi, K. Kagawa, et al. (11 名, 2 番目), "A Silicon-on-Insulator-Based Dual-Gain Charge-Sensitive Pixel Detector for Low-Noise X-ray Imaging for Future Astronomical Satellite Missions", *Sensors*, 査読有, 18(6), pp.1789-1807, 2018, DOI:10.3390/s18061789.

H. Kamehama, S. Kawahito, S. Shrestha, S. Nakanishi, K. Yasutomi, A. Takeda, et al. "A Low-Noise X-ray Astronomical SOI Pixel Detector Using a Pinned Depleted Diode Structure", *Sensors*, 査読有, 18(1), pp.27-43, DOI:10.3390/s18010027.

S. Kawahito, M-W. Seo, "Noise Reduction Effect of Multiple-Sampling Based Signal-Readout Circuits for Ultra-Low Noise CMOS Image Sensors", *Sensors*, 査読有, 16(11), pp.1867-1865, 2016 DOI:10.3390/s16111867

S. Ohmura, T-G. Tsuru, S. Kawahito, K. Kagawa, K. Yasutomi, et al. (27 名, 21 番目) "Reduction of cross-talks between circuit and sensor layer in the Kyoto's X-ray Astronomy SOI pixel sensors with Double-SOI wafer", *Nuclear Inst. & Methods Phys. Res. Sec. A - Acc. Spec. Detec. Assoc. Equip.*, 査読有, vol.831, pp.61-64, DOI:10.116/i.nima.2016.04.024.

M. Ikebe, D. Uchida, Y. Take, M. Someya, S. Chikuda, K. Matsuyama, T. Asai, T. Kuroda, M. Motomura, "3D Stacked Imager featuring Inductive Coupling Channels for High Speed/Low Noise Image Transfer", *ITE Trans. MTA*, 査読有, 4(2), pp.142-148, 2016, DOI:10.3169/mta.4.142.

D. Uchida, M. Ikebe, J. Motohisa, E. Sano, "Low Power Single-Slope ADC with Intermittent-Working Time to Digital Converter", *Communications and Signal Processing*, 査読有, vol.19, No.6, pp.219-226, 2015, DOI:10.2299/jsp.19.219.

S. Shrestha, H. Kamehama, K. Yasutomi, K. Kagawa, S. Kawahito et al. (11 名, 2 番目), "A low-noise wide-dynamic-range event-driven detector using SOI pixel technology for high-energy particle imaging", *Proceedings of the SPIE*, 査読有, Vol. 9593, 95930X, 2015.

A. Takeda, T. Go Tsuru, T. Tanaka, S. Kawahito, K. Kagawa, K. Yasutomi, et al. (16 名, 12 番目) "Improvement of Spectroscopic Performance using a Charge-sensitive Amplifier Circuit for an X-Ray Astronomical SOI Pixel Detector", *Journal of Instrumentation*, 10, 査読有, C06005, pp.1-10, 2015.6.5.

M. Motoyoshi, T. Miyoshi, M. Ikebe, Y. Arai, "3D integration technology for sensor application using less than $5\mu\text{m}$ -pitch gold cone-bump", *Journal of*

Instrumentation, 査読有, Vol.10pp.1~8, 2015, DOI:10.1088/1748-0221/10/03/C03004
T. Tsuru, S. Kawahito, K. Kagawa, K. Yasutomi, H. Kamehama, S. Shrestha, et al.(21名, 17番目) "Development and Performance of Kyoto's X-ray Astronomical SOI pixel (SOIPIX) sensor", Proceedings of the SPIE, 査読無, Vol.9144, pp.914412-1-7, 2014.

M. Ikebe, "Recent progress in the technology linking sensors and digital circuits", IEICE Electronics Express, 査読有, Vol.11, No.3, pp.2014-2023, 2014, DOI:10.1587/elex.11.20142003.

[国際学会発表](計50件)

S. Kawahito, "SOI Pinned Depleted Diode", Front-End Electronics 2018, Canada (2018) 招待講演.

S. Kawahito, H. Kamehama, S. Shrestha, K. Yasutomi, N. Teranishi, T. G. Tsuru, A. Takeda, I. Kurachi, Y. Arai, "A SOI Pixel Detector Using Pinned Depleted Diode Structure For High-Energy-Resolution X-ray Imaging and High-Sensitivity NIR Imaging", 2nd Workshop on SOI Pixel Detector (SOIPIX 2017), (2017).

A. Ono, A. Miyamichi, H. Kamehama, K. Kagawa, K. Yasutomi, S. Kawahito, "Multi-band plasmonic color filters with corrugated metallic thin film", Applied Optics and Photonics, China(AOPC2017), (2017), 招待講演.

S. Shrestha, H. Kamehama, K. Yasutomi, K. Kagawa, N. Teranishi, A. Takeda, T-G. Tsuru, Y. Arai, S. Kawahito, "Event-Driven Dual-Gain Fully-Depleted SOI Based X-Ray Detector for High Energy Particle Imaging", 2017 INTERNATIONAL IMAGE SENSOR WORKSHOP, (2017).

M. Ikebe, "Time-Based Column ADCs using Multi-Phase Clock Signals for High-speed and Low-Power Imagers", CMOS Emerging Technologies Research 2017 Symposium, (2017), 招待講演.

Hiramatsu S., Wakita K., Seokjin N., Yokoyama S., Ikebe M., Sano E., "CMOS Terahertz Imaging Pixel with a Small On-Chip Antenna", 2017 International Image Sensor Workshop, (2017), 招待講演.

S. Kawahito, "Highly Time-Resolved CMOS Image Sensors Using High-Speed Carrier Modulation Techniques", 2016 International Conference on Solid State Devices and Materials (SSDM 2016), (2016) 招待講演.

M. Ikebe, "High-speed CMOS imager with time-based ADC using multi-phase clock signals", EMN Meeting on Photodetectors, (2016), 招待講演.

S. Kawahito, M-W. Seo, K. Yasutomi, K. Kagawa, N. Teranishi, "Ultra-High Sensitivity Wide Dynamic Range Image Sensors Using High Conversion-Gain Detectors and Multiple-Sampling-Based Readout Techniques", International Forum on Detectors for Photon Science (IFDEPS)2016, (2016) 招待講演.

S. Kawahito, "Low-Noise Image Sensors", 2016 International Solid-State Circuits Conference (ISSCC 2016)(2016)招待講演.

S. Kawahito, K. Kagawa, K. Yasutomi, "Kawahito & Kagawa & Yasutomi Laboratory(Imaging Devices Laboratory)", The 1st International Conference on Advanced Imaging(1st ICAI 2015), (2015) 招待講演.

H. Kamehama, S. Shrestha, K. Yasutomi, K. Kagawa, A. Takeda, T-G. Tsuru, Y. Arai, S. Kawahito, "Fully Depleted SOI Pixel Photo Detectors with Backgate Surface Potential Pinning", 2015 International Image Sensor Workshop (IISW 2015), (2015).

M. Ikebe, D. Uchida, Y. Take, M. Someya, S. Chikuda, K. Matsuyama, T. Asai, T. Kuroda, M. Motomura, "Image Sensor/Digital Logic 3D Stacked Module featuring Inductive Coupling Channels for High Speed/Low-Noise Image Transfer," Symposia on VLSI Technology and Circuits 2015, (2015).

D. Uchida, M. Ikebe, J. Motohisa, E. Sano, "A 12-bit, 5.5 μ W Single-Slope ADC using Intermittent Working TDC with Multi-phase Clock Signals", 21st IEEE International Conference on Electronics Circuits and Systems (ICECS 2014), (2014).

H. Kamehama, S. Shrestha, K. Yasutomi, K. Kagawa, A. Takeda, T-G. Tsuru, Y. Arai, S. Kawahito, "Fully Depleted SOI Pixel Photo Detectors With Surface Potential Pinning", 2nd Asian Image Sensors and Imaging Systems Symposium, (2014).

S. Kawahito, "Highly Time Resolved Photonic Imaging Devices and Their Applications", THU-CAS-JSPS Joint Symposium "Emerging Photonics", (2014) 招待講演.

S. Kawahito, "Highly Time-Resolved CMOS Image Sensors and Their Applications", The 7th Asia-Pacific Conference on Transducers and Micro/Nano Technologies(APCOT 2014), (2014) 基調講演 (招待講演).

A. Takeda, T. G. Tsuru, S. Kawahito(15名, 11番目), K. Kagawa, K. Yasutomi, et al., "Development and Evaluation of an Event-Driven SOI Pixel Detector for X-Ray Astronomy", Technology and

Instrumentation in Particle Physics 2014, PoS(TIPP2014) 138.

T. G. Tsuru, H. Matsumura, Y. Nishioka, D. Takei, S. Kawahito, et al (21名, 17番目) “Development and Performance of Kyoto's X-ray Astronomical SOI pixel sensor”, FEE2014 (2014).

S. Kawahito, “Low Noise High Dynamic Range CMOS Image Sensor”, SEMICON Korea 2014, (2014) 招待講演.

〔国内学会発表〕(計52件)

M. Ikebe, “3次元積層プロセスに向けたインタラクティブ検証環境の構築”, 3次元積層半導体量子イメージセンサ研究会, (2018) 招待講演.

川人祥二, “近赤外分光撮像のためのCMOS時間分解型イメージセンサ”, 第5回赤外線フェア2015 (2015), 招待講演.

川人祥二, “ロックインピクセルを用いたTOFレンジイメージセンサの技術動向”, 3Dコンファレンス2015, (2015), 招待講演.

川人祥二, 香川景一郎, 安富啓太, 徐珉雄, 李卓, 寺西信一, “機能集積イメージセンサの開発動向と今後の展開”, 電子情報通信学会 SNT 研究会 (2015), 招待講演.

川人祥二, “高時間分解ロックインピクセルイメージセンサとその応用”, 生体医工学ワークショップ, (2014).

川人祥二, 安富啓太, 徐珉雄, 香川景一郎, “高時間分解ロックインピクセルイメージセンサと応用”, 第54回光波センシング技術研究会講演会, (2014) 招待講演.

M. Ikebe, “Column parallel SS-ADC with TDC using multi-phase clock signals for CMOS imagers”, 映像情報メディア学会、情報センシング研究会(2014), 招待講演.

川人祥二, 亀濱博紀, Sumeet Shrestha, 安富啓太, 香川景一郎, 池辺将之, 新井康夫, “SOIピクセルイメージセンサと科学計測応用”, 映像情報メディア学会、情報センシング研究会 (IST), (2014).

〔図書〕(計3件)

池辺将之(第8節担当分)他42名, 自動運転、先進運転支援システムの最新動向とセンシング技術, 第8節 “CMOSイメージセンサの高ダイナミックレンジ(HDR)撮像・HDR圧縮技術”, (株)技術情報協会, 2015年、総ページ数 366ページ(内9ページ担当).

Nanophotonic Information Physics -Nanointelligence and Nanophotonic Computing-, M. Narue 編著, N. Tate, M. Ando, M. Ohtsu, S. Kawahito, 他著者26名, pp.145-159, Springer社(2014).

〔産業財産権〕

出願状況(計5件)

名称: 半導体装置及び固体撮像装置
発明者: 川人祥二、安富啓太、三浦規之、葛

西大樹、沖原将生
権利者: 国立大学法人静岡大学 / ラピスセミ
コンダクタ株式会社

種類: 特許

番号: 特願 2018-053429

出願年月日: 2018/3/20

国内外の別: 国内

名称: 電子回路及びイメージング回路並びに
検出/受光方法

発明者: 池辺将之、佐野栄一

権利者: 国立大学法人北海道大学

種類: 特許

番号: 特願 2017-002089

出願年月日: 2017/1/10

国内外の別: 国内

名称: デジタル回路及びA/D
(Analog/Digital)変換回路並びにデジタル
信号処理方法

発明者: 池辺将之、渡辺佳織

権利者: 国立大学法人北海道大学

種類: 特許

番号: 特願 2015-093073

出願年月日: 2015/4/30

国内外の別: 国内

名称: 電磁波検出素子及び固体撮像装置

発明者: 川人祥二、安富啓太、亀濱博紀

権利者: 国立大学法人静岡大学

種類: 特許

番号: 特願 2014-127700

出願年月日: 2014/6/20

国内外の別: 国内

取得状況(計0件)

〔その他〕

ホームページ

<http://www.idl.rie.shizuoka.ac.jp/>

6. 研究組織

(1) 研究代表者

川人 祥二 (KAWAHITO, Shoji)

静岡大学・電子工学研究所・教授

研究者番号: 40204763

(2) 研究分担者

池辺 将之 (IKEBE, Masayuki)

北海道大学・量子集積エレクトロニクス研
究センター・教授

研究者番号: 20374613

香川 景一郎 (KAGAWA, Keiichiro)

静岡大学・電子工学研究所・准教授

研究者番号: 30335484

安富 啓太 (YASUTOMI, Keita)

静岡大学・電子工学研究所・助教

研究者番号: 50621661