

令和 2 年 6 月 8 日現在

機関番号：12601

研究種目：基盤研究(A)（一般）

研究期間：2015～2018

課題番号：15H02247

研究課題名（和文）室温動作シリコン単電子トランジスタとナノワイヤCMOSによる新機能回路の低電圧化

研究課題名（英文）Low voltage operation of new functional circuits by a silicon single electron transistor and CMOS at room temperature

研究代表者

平本 俊郎（Hiramoto, Toshiro）

東京大学・生産技術研究所・教授

研究者番号：20192718

交付決定額（研究期間全体）：（直接経費） 33,700,000円

研究成果の概要（和文）：本研究の目的は、Beyond CMOSと既存CMOS回路の融合回路を低電圧化である。シリコンナノワイヤトランジスタで低電圧回路を構成し、Beyond CMOSとしては室温動作シリコン単電子トランジスタを採用した。作製した室温動作単電子トランジスタはクーロン振動の電圧が0.45Vと低く、ナノワイヤトランジスタを用いて作製した回路の電源電圧は2Vと低電圧にした。クーロン振動のわずかな電流を電流-電圧変換回路と電圧増幅回路で増幅し、クーロン振動の特性を振幅約0.8Vの電圧ピークに変換した。以上から、室温動作単電子トランジスタと既存MOSトランジスタによる融合回路の低電圧を実証した。

研究成果の学術的意義や社会的意義

トランジスタの微細化による従来の大規模集積回路の性能向上が困難になりつつある状況において、従来デバイスと異なる原理で動作するいわゆるBeyond CMOSの研究が進んでいるが、従来のMOS回路との融合に関する研究は、その作製が困難なことからほとんど進んでこなかった。今回、室温動作の単電子トランジスタとナノワイヤトランジスタによる融合回路の低電圧動作が示されたことで、将来の集積エレクトロニクスの新しい方向性が実証されたということができ、学術的意義および社会的意義は大きい。

研究成果の概要（英文）：This research aims at the low voltage operation of integrated circuits by beyond CMOS and conventional CMOS circuits. The low voltage circuits consist of silicon nanowire transistors, and a room temperature operating single electron transistor is adopted as beyond CMOS. The gate voltage of the Coulomb oscillation peak is as low as 0.45V and the supply voltage of nanowire transistor circuits is 2V. The tiny current of the Coulomb oscillations was amplified and converted to the amplitude of 0.8V by the current-voltage conversion circuits. From the results, the low voltage operation of integrated circuits by room temperature operating single electron transistor and conventional MOS transistors has been demonstrated.

研究分野：集積デバイス工学

キーワード：半導体物性 大規模集積回路 MOSFET Beyond CMOS 単電子トランジスタ

## 様式 C - 19、F - 19 - 1、Z - 19 (共通)

### 1. 研究開始当初の背景

現在の高度情報化社会を根底で支える大規模集積回路(VLSI)はシリコン CMOS トランジスタで構成されており、そのサイズは年々急速に微細化されてきた。この動向は一般に More Moore と呼ばれる。ところが、従来の微細化では性能向上が困難であることがしだいに明らかになりつつあり、この状況を打ち破るため、ナノ構造中や新材料中で現れる新規物理現象を積極的に利用したいいわゆる Beyond CMOS デバイスと呼ばれ新機能デバイスの研究開発が強く求められている。

研究代表者の平本は、国際半導体ロードマップ(ITRS)で Beyond CMOS を議論する Emerging Research Device (ERD) WG の日本代表を長年務め、Beyond CMOS の位置づけと日本が進むべき方向性の議論をリードしてきた。日本 ERD-WG の結論は、「CMOS に優る情報処理方法は Near Term では存在しない。Beyond CMOS は単独での情報処理を目指すより、CMOS と融合して新機能追加を目指すべきである」というものである。MEMS やセンサー等の More Than Moore が CMOS への機能追加を目指すように、Beyond CMOS も CMOS と融合して、CMOS のみでは実現不可能な新しい機能の追加を行うことが重要である。この考え方は広く周知されつつある。

ところが、Beyond CMOS と既存 CMOS の融合は、一部の不揮発性メモリを除くと、実際にはプロセス上も回路上も極めて難しい。本研究室では、Beyond CMOS としてシリコン単電子トランジスタを例にとり、単電子トランジスタと従来 CMOS との回路融合を探究してきた。その結果、複数の室温動作単電子トランジスタを CMOS 回路で制御することに世界で初めて成功した。ところが CMOS 回路の電源電圧は 3.3V と高く、単電子トランジスタの低電力を生かせないだけでなく、超低消費電力の大量のセンサー等が必要となる IoT 時代に即した技術とはいえなかった。

### 2. 研究の目的

本研究の目的は、代表的な Beyond CMOS デバイスである室温動作シリコン単電子トランジスタと既存 CMOS 回路の融合による集積回路を低電圧で実現することである。既存 MOS トランジスタには、次世代のデバイスとして期待され特性ばらつきの小さいシリコンナノワイヤトランジスタを用い、回路動作の低電圧化を目指す。

### 3. 研究の方法

図 1 にシリコン単電子トランジスタの模式図(鳥瞰図)を示す。チャンネルはナノワイヤ構造をしており、中央に小さな島状の部分を持つ。これが量子ドットとして振る舞い、そのサイズが 3nm 程度と極めて小さい場合は、単電子トランジスタは室温でもクーロンブロッケード振動を示し、室温でも動作する。

一方、ナノワイヤトランジスタのチャンネルには島状の部分はなく、チャンネル幅は一定である。ナノワイヤチャンネルは意識的にドーピングはされておらず、不純物が少ないのでランダム不純物ゆらぎによる特性ばらつきは抑制される。しかしわずかなサイズのばらつきにより特性ばらつきが生じる。

上記単電子トランジスタとナノワイヤトランジスタを 1 チップ上に集積する技術を確立することに成功した。以下に作製プロセスの概略を示す。基板は Silicon-on-Insulator (SOI) 基板を用いた。SOI の初期膜厚は 100nm である。局所酸化技術を用いてトランジスタのチャンネル部分の Si のみを 5nm まで薄くした。ソース・ドレイン部分は寄生抵抗を抑えるため膜厚は厚いままとした。電子ビーム(EB)露光によりナノワイヤチャンネルの形状を作製し、Reactive Ion Etching (RIE)により Si をパターニングした。ゲート酸化膜厚は熱酸化で形成した。膜厚は 10nm である。ゲート電極はポリシリコンである。イオン注入によりゲート電極とソース・ドレイン部分のドーピングを行った。その後、保護膜形成、熱処理を行い、コンタクト形成後に Al 配線の形成をおこなった。

図 2 に、今回試作した単電子/ナノワイヤ MOS 融合回路を示す。入力単電子トランジスタ (SET) のゲート電極である。SET にはナノワイヤトランジスタ NW1 が直列に接続されており、電流/電圧コンバータ回路を構成している。コンバータの出力 D はインバータ回路に接続されており、さらに増幅されて出力  $V_{out}$  が出力される。このうち、NW2 はインバータの出力を入力電圧に対して急峻にするため、52 のナノワイヤトランジスタを並列につないだ。回路の総トランジスタ数は 55 である。

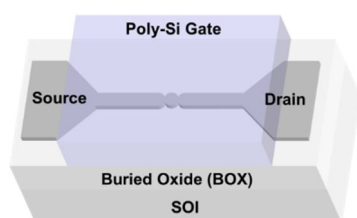


図 1. 試作した単電子トランジスタの模式図。

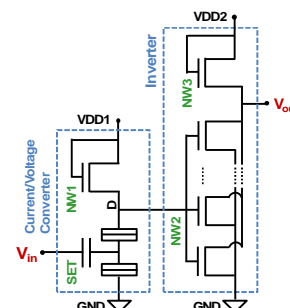


図 2. 試作した単電子トランジスタ/MOS 回路。

#### 4. 研究成果

##### (1) シリコンナノワイヤトランジスタの特性

まず、既存回路を構成するシリコンナノワイヤトランジスタの試作をおこなった。ナノワイヤ幅を7nmから2nmまで変えて作製した結果を図3に示す。それぞれのナノワイヤ幅で約70個のトランジスタの特性を示している。ナノワイヤ幅が細くなるに従い、特性ばらつきがしだいに大きくなることが明らかとなった。特にナノワイヤ2nmでは特性ばらつきが非常に大きい。これは、通常のバルクトランジスタに見られる不純物揺らぎではなく、ナノワイヤが細いことでワイヤ幅がばらつき量子効果によってしきい値電圧がばらつく現象であることを世界で初めて明らかにした。一方、ナノワイヤ幅が6-7nmでは十分に小さな特性ばらつきであることも明らかとなった。これらの結果から、細すぎるナノワイヤは集積化には向いておらず、ナノワイヤ幅は7nm程度を選択した。

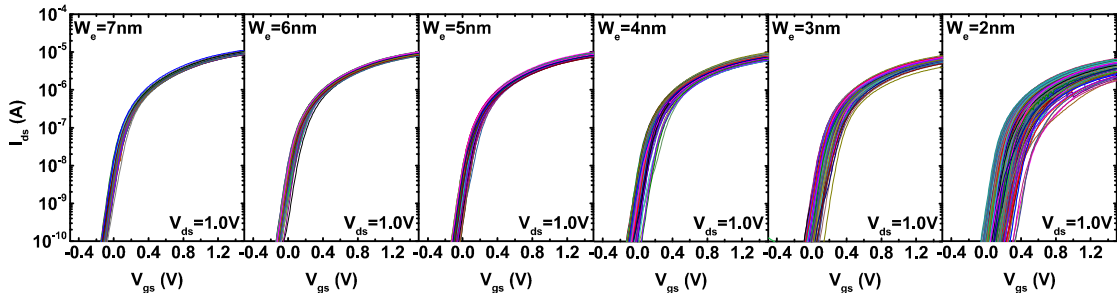


図3. 試作したシリコンナノワイヤトランジスタの特性ばらつき。ナノワイヤ幅を7nmから2nmまで変化させている。

##### (2) 単電子トランジスタの室温特性

図4に試作したシリコン単電子トランジスタの室温特性を示す。きれいなクーロンブロックード振動が室温にもかかわらず観測されており、チャネル中の量子ドットが十分に小さいことを示している。また、電流ピークにおけるゲート電圧Vgsは0.45Vと低い。ドレイン電圧Vdsを変化させてもピークのゲート電圧は変化していない。図5に、クーロンブロックード振動のピーク電流と山谷比(PVCR)のドレイン電圧依存性を示す。ドレイン電圧が高くなるとピーク電流は飽和する傾向にあり、山谷比は次第に小さくなる。この図より電流/電圧コンバータ回路の電源電圧VDD1は0.2Vに設定することとした。

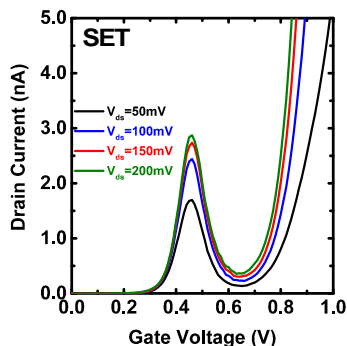


図4. 試作した単電子トランジスタの室温特性。

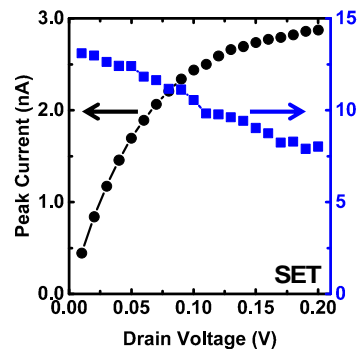


図5. 単電子トランジスタのピーク電流と山谷比。

##### (3) 単電子/MOS回路の特性

図6にナノワイヤトランジスタNW1の特性を示す。安定した飽和特性を示しており回路の不可として適切であることがわかる。図7には、電流/電圧コンバータ回路の出力Dを入力電圧Vinの関数で示す。図4における単電子トランジスタの電流振動特性が、上下逆になって電圧特性に変換されていることがわかる。VDD1=0.2Vのときの出力電圧の範囲は、0.123V~0.183Vである。

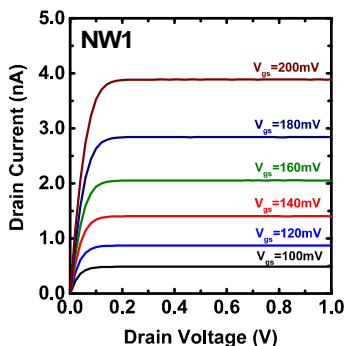


図6. ナノワイヤトランジスタNW1の特性。

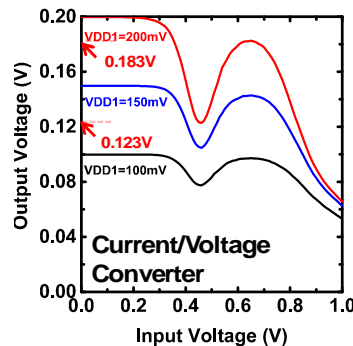


図7. 単電子トランジスタのピーク電流と山谷比。

図8と図9にナノワイヤトランジスタ NW2 と NW3 の特性をそれぞれ示す。NW3 は回路の負荷となっており、NW3 を  $V_{gs}=V_{ds}$  をした場合の負荷曲線を図8に示している。NW2 と NW3 で構成されるインバータ回路の入力は NW2 のゲート電圧であり、入力電圧が 0.123V ~ 0.183V のときに NW2 が飽和領域 I で動作するように動作点を決定した。

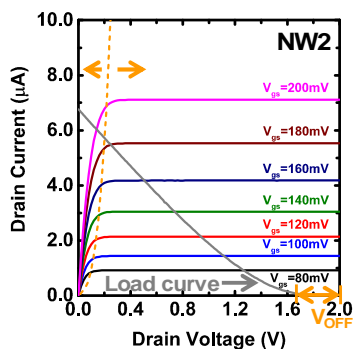


図8. ナノワイヤトランジスタ NW2 の特性。

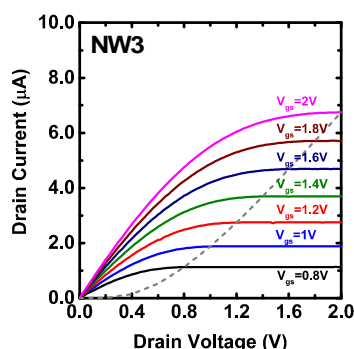


図9. ナノワイヤトランジスタ NW3 の特性。

図10はNW2とNW3で構成されるインバータ回路の入出力特性である。インバータの電源電圧 VDD2 は 2V に設定した。入力電圧 0.123V ~ 0.183V で急峻な入出力特性が得られていることがわかる。傾きは最大で約 -12 である。図11は、図2の単電子トランジスタ/MOS 回路全体の入出力特性である。温度は室温である。単電子トランジスタのクーロンブロック振動が電圧出力として再現されており、電圧振幅は約 0.8V に及んでいることがわかる。

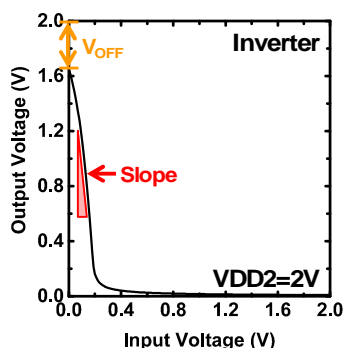


図10. インバータ回路の入出力特性。

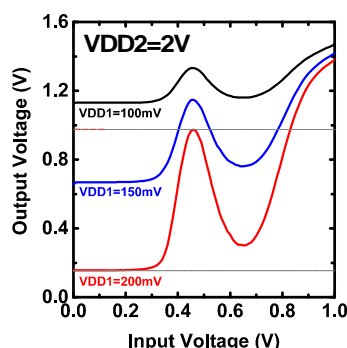


図11. 試作した単電子トランジスタ/MOS 回路全体の室温特性。

以上の結果より、代表的な Beyond CMOS である室温動作単電子トランジスタと既存 MOS トランジスタ回路の集積化に成功し、両者の融合回路の動作実証に成功した。この成果は、将来の集積エレクトロニクスの方向性として、新原理 Beyond CMOS デバイスと既存 MOS トランジスタ回路の融合の可能性を示すものであり、学術的かつ実用的に波及効果が大きい。

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計13件（うち招待講演 0件 / うち国際学会 7件）

1. 発表者名 Tomoko Mizutani
2. 発表標題 Integrated Circuits Composed of Nanowire and Single-Electron Transistors Operating at Room Temperature
3. 学会等名 IEEE Silicon Nanoelectronics Workshop (国際学会)
4. 発表年 2020年

1. 発表者名 木村迅利
2. 発表標題 微細ゲートオールアラウンド(GAA)シリコンナノワイヤトランジスタにおける極めて大きなランダムテレグラフノイズ(RTN)の解析
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

1. 発表者名 Boyang Cui
2. 発表標題 Detection of Charge Traps in Silicon Nanowire MOSFETs Using Transient Current Measurements
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

1. 発表者名 Toshiro Hiramoto
2. 発表標題 Statistics of Random Telegraph Noise Amplitude in Extremely Narrow Silicon Nanowire Transistors with Width down to 2nm
3. 学会等名 International Conference on Nanoelectronics Strategy (INS) (国際学会)
4. 発表年 2018年

1. 発表者名 Toshiro Hiramoto
2. 発表標題 Drain-Induced Variability Due to Quantum Confinement Effect in Extremely Narrow Silicon Nanowire Transistors with Width down to 2nm
3. 学会等名 International Conference on Nanoelectronics Strategy (INS) (国際学会)
4. 発表年 2018年

1. 発表者名 Toshiro Hiramoto
2. 発表標題 Enhanced Variability by Quantum Confinement Effects in Extremely Narrow Silicon Nanowire MOSFETs with Nanowire Width down to 2nm
3. 学会等名 12th International Nanotechnology Conference on Communication and Cooperation (INC12) (国際学会)
4. 発表年 2016年

1. 発表者名 Tomoko Mizutani, Kiyoshi Takeuchi, Ryota Suzuki, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto
2. 発表標題 Increased Drain-Induced Variability and Within-Device Variability in Extremely Narrow Silicon Nanowire MOSFETs with Width down to 2nm
3. 学会等名 IEEE Silicon Nanoelectronics Workshop (国際学会)
4. 発表年 2016年

1. 発表者名 水谷朋子, 竹内 潔, 鈴木龍太, 更屋拓哉, 小林正治, 平本俊郎
2. 発表標題 線幅2nmの超微細シリコンナノワイヤトランジスタにおけるDIBLばらつきおよびデバイス内ばらつき
3. 学会等名 電子情報通信学会シリコン材料・デバイス研究会 (SDM)
4. 発表年 2016年

1. 発表者名 水谷朋子, 竹内 潔, 鈴木龍太, 更屋拓哉, 小林正治, 平本俊郎
2. 発表標題 線幅2nmの超微細シリコンナノワイヤトランジスタにおけるドレイン電圧に起因する特性ばらつき
3. 学会等名 第77回応用物理学会秋季学術講演会
4. 発表年 2016年

1. 発表者名 T. Mizutani, Y. Tanahashi, R. Suzuki, T. Saraya, M. Kobayashi, and T. Hiramoto
2. 発表標題 Threshold Voltage and Current Variability of Extremely Narrow Silicon Nanowire MOSFETs with Width down to 2nm
3. 学会等名 Silicon Nanoelectronics Workshop (国際学会)
4. 発表年 2015年

1. 発表者名 T. Hiramoto
2. 発表標題 Characteristics of Silicon Nanowire Transistors for Integration with Room-Temperature Operating Silicon Single-Electron Transistors
3. 学会等名 Sweden-Japan QNANO Workshop (国際学会)
4. 発表年 2015年

1. 発表者名 水谷朋子, 棚橋裕麻, 鈴木龍太, 更屋拓哉, 小林正治, 平本俊郎
2. 発表標題 線幅2nmの超微細シリコンナノワイヤトランジスタにおけるしきい値電圧および電流ばらつき
3. 学会等名 電子情報通信学会 シリコン材料・デバイス研究会
4. 発表年 2015年

1. 発表者名 水谷朋子, 棚橋裕麻, 鈴木龍太, 更屋拓哉, 小林正治, 平本俊郎
2. 発表標題 線幅2nmの超微細シリコンナノワイヤトランジスタにおける量子閉じ込め効果によるしきい値電圧および電流ばらつき
3. 学会等名 第76回応用物理学会秋季学術講演会
4. 発表年 2015年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究協力者	更屋 拓哉  (Saraya Takuya)		
研究協力者	小林 正治  (Kobayashi Masaharu)		
研究協力者	水谷 朋子  (Mizutani Tomoko)		
研究協力者	竹内 潔  (Takeuchi Kiyoshi)		