

令和元年6月3日現在

機関番号：14303

研究種目：基盤研究(B) (一般)

研究期間：2015～2018

課題番号：15H02677

研究課題名(和文) 高効率かつ高信頼で長時間動作可能な「もの」のインターネット機器の実現

研究課題名(英文) An IoT that can keep on running over years efficiently and reliably

研究代表者

小林 和淑 (Kobayashi, Kazutoshi)

京都工芸繊維大学・電気電子工学系・教授

研究者番号：70252476

交付決定額(研究期間全体)：(直接経費) 12,300,000円

研究成果の概要(和文)：高効率かつ高信頼で長時間動作可能な「もの」のインターネット機器の実現を目指して、次の項目の研究を行った。

1. 一時故障に強靭な回路, 2. 経年劣化に強靭な回路, 3. 電源の小型化による信頼性の向上
1.では試作LSIを α 線/中性子/重イオンを照射し従来回路の100倍程度の強靭さを確認した。2.では数ヶ月の長期にわたって高温かつ電源電圧の高い環境に置き、劣化の様子を観測した。3.では、横型GaN HEMTを用いた集積回路を試作し正常動作を確認した。

研究成果の学術的意義や社会的意義

インターネットの普及によりそれに接続される電子機器の数は急速に増加している。一旦接続されたIoT機器は、放置され続ける場合がほとんどであり、長時間にわたってエラーなく動作することが要求される。またその小型化も重要な課題である。本研究成果により、そのようなIoTの実現の可能性が大きく高まった。本成果は民間企業などへの移転を計画中であり、社会に成果を還元する予定である。

研究成果の概要(英文)：In order to realize an IoT that can keep on running over years efficiently and reliably, those three topics were investigated 1. Circuit strong against temporal error, 2.

Circuit strong against aging degradation, 3. Compact power converter

In the topic 1, fabricated chips were exposed to alpha, neutron and heavy ions. They have 100x radiation hardness than conventional chips without radiation hardness. In the topic 2, a fabricated chip was put in a chamber with high temperature and high voltage. We measured tendency of aging degradation. In the topic 3, we fabricated an integrated circuit by using planer GaN HEMTs.

研究分野：集積回路

キーワード：IoT ソフトエラー 経年劣化 パワーエレクトロニクス

1 研究開始当初の背景

半導体集積回路技術の微細化による集積度の向上により、我々は携帯電話など多数のデバイスを身につけて生活している。そのほとんどは大容量のバッテリーを詰んでいるにもかかわらず、数時間から1週間で充電が必要な機器がほとんどである。図1に示す通り、2003年以降 ITRS による予測カーブが変更され、ここ10年ほど、LSIの動作電圧は高止まりを続けており、機器の消費電力はほとんど下がっていない。一方で微細化により、短チャネル効果やリーク電流の増大などの問題が山積しており、40nm以降では、図2に示す通り、従来のバルク技術に代わって、SOI(Silicon on Insulator) や、FINFETなどの新しいプロセス技術が登場している。SOIでも特にFD-SOI(Fully-Depleted SOI)は、従来必要であったチャネル不純物が不要となり、ばらつきが大きく低減でき、0.4V程度の極低電圧で動作可能となる。低電圧化により消費電力は大きく下がり、1V動作のLSIを0.4V動作させるだけで電力は16%となる。一方、その信頼性は大きく毀損する。非常に単純な計算では、0.4V動作時の信頼性は1V動作時の1/400に低下する。1年間無故障で動作していた回路が1日以内に故障することに等しい。これまで大量のデバイスを同時に長時間動作させるデータセンターやパソコン、高い信頼性が要求される心臓ペースメーカーや車などでしか要求されなかった高信頼性回路が極低電圧で動作する回路にも必須の技術となる。

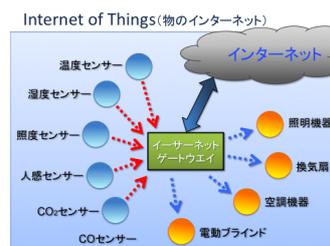
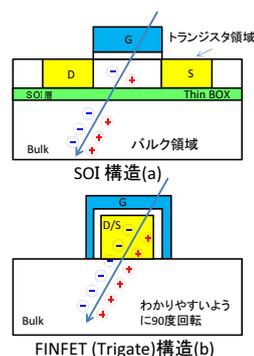
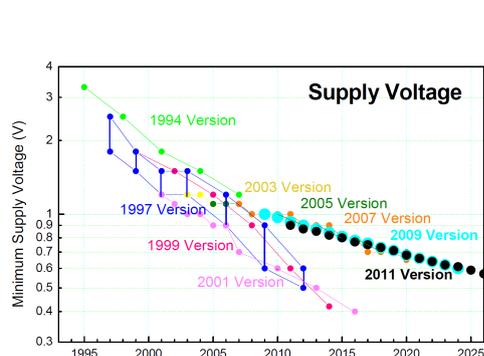


図 1: スケーリング則による電圧低下

図 2: 新トランジスタ構造

図 3: もののインターネットとは (東京コスモス電機 HP より引用)

図3にIoT機器のポンチ絵を示す。センサーから得た情報をその装置自体の制御に使うだけではなく、インターネットを通じてその情報のやり取りを行う機器をIoT(「もの」のインターネット)と呼ぶ。例えば、ブラインドと光センサを組み合わせた場合、インターネットなしの場合、明るさに応じてブラインドの上げ下げをするような規定の処理しかできない。しかし、ネットと組み合わせることで、ユーザが外出先から自由に制御が可能となる。さらに電力メータ・太陽光発電と組み合わせた場合には、インターネットで地域の電力状況を把握し、電力逼迫時には売電と買電をうまく制御し停電を回避することが可能である。このようにIoT機器は無限の可能性を含んでいる。

2 研究の目的

本研究の目的は、集積回路の微細化・低電力化にともない急速にその実現性が高まっている「もの」のインターネット (Internet of Things, IoT) 機器の実現を図るものである。IoT機器は、常時動作が求められるため、低電力で長時間の動作が求められる。信頼性が高くないと長時間動作できず、高効率にDC/DC変換できなければバッテリーが大型化する。ここでは、その「信頼性、高効率」に焦点を当て、長時間自律的に動作するIoTの実

現のための基礎技術を確立する。研究の目標は 1. 10 年間エラー 0 で動作, 2. 従来損失の 1/10 を実現する DC/DC 変換器の実現, 3. 1cm³ より小さいの実装容積の 3 つである。

3 研究の方法

本研究では、長時間動作が可能な超高信頼の IoT 機器を実現するための基盤技術を構築する。まず従来のバルクプロセスと比べてソフトエラーによる一時故障や経年劣化による永久故障にも強い Thin BOX FDSOI プロセスを用い LSI の試作を行う。超高信頼とするために、回路ならびにレイアウトレベルの故障対策を施す。ただし、10 年という長期間の動作を毀損しないように、面積や電力オーバーヘッドのできるだけ少ない対策を検討する。次に、GaN パワーデバイスを用いた高効率 DC/DC 変換器の実現を目指す。GaN の持つ横型デバイスの特性を活かして、集積化を行う。

4 研究成果

一時故障、長期故障、電力変換回路の各項目について、次の成果を得た。

一時故障 FDSOI プロセスにて、チップ試作を行い、 α 線や中性子などの地上で問題となっている放射線による一時故障に強靱なフリップフロップ (FF) を試作し、評価を行った。本論文では、既存の低電力 FF である ACFF と SOI プロセスにおいてソフトエラー耐性の高い Stacked FF を組み合わせた FF の評価を行った。図 4 に示す 2 種類の構造を提案した。図 5 は α 線と中性子線によるエラー耐性の評価結果である。提案構造はともにエラー数 0 であり、スレーブラッチのみをスタック化する AC_SS 構造で十分なエラー耐性が得られることを確認した。その他、高速通信に必要な LVDS 回路の試作もを行い、重イオンビームにより市販品と比較してソフトエラー耐性が高いことも実証した。

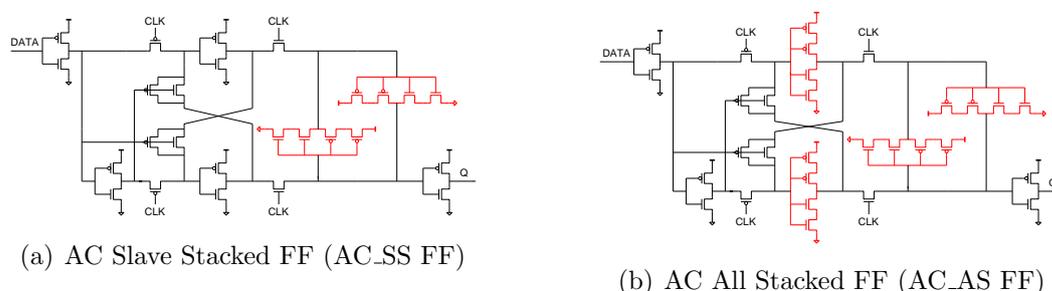


図 4: Proposed FFs based on ACFF.

永久故障 永久故障においては、従来は LSI テスタを用いて評価を行っていた。しかし、高価な LSI テスタは他の研究と共用せざるを得ず、長くとも週末の 3 日間での評価にとどまっていた。本研究では、FPGA とマイコンを使って、安価かつ信頼性の高い測定系 (図 6) を構築した。図 7 に示す 2 種類のリングオシレータを用いて、PMOS/NMOS それぞれの劣化傾向を 1 ヶ月に渡り、測定した。その結果を図 8 に示す。この結果より、NMOS における PBTI 劣化の傾向は $\log t$ でモデル化出来、一方 PMOS における NBTI 劣化では、 t^n でモデル化できることを示した。

BTI による経年劣化の影響を受ける回路 (図 9(a)) と受けない回路 (図 9(b)) の差分を取ることで、BTI の影響のみを取り出す回路の試作を行い、評価を行った。図 10, 11 に差分を取った測定結果を示す。差分を取ることで環境変動を打ち消し、BTI による劣化のみを観測でき、図 8 の結果と同様に、NMOS における PBTI 劣化の傾向は $\log t$ でモデル化出来、一方 PMOS における NBTI 劣化では、 t^n でモデル化できることを示した。

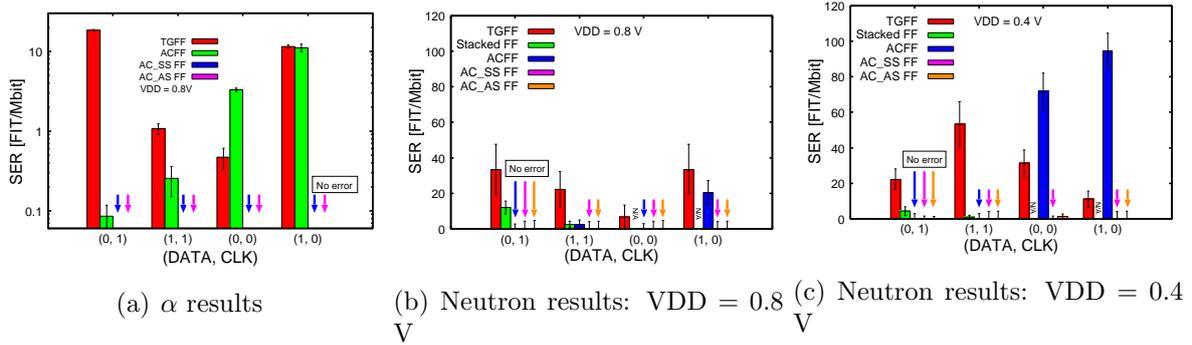


図 5: α particle-induced SER and neutron irradiation results from four DATA and CLK states. The error bars are within 68% confidence intervals.

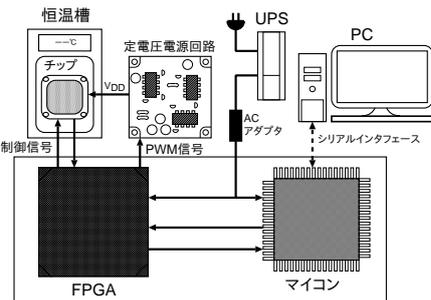
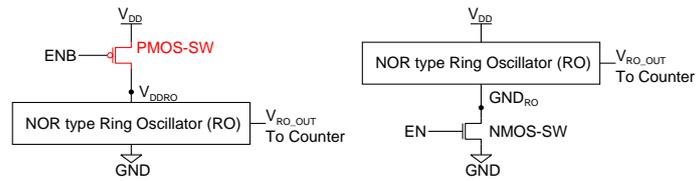


図 6: 使用した測定系の概略図



(a) PMOS 型電流スターブ型 リングオシレータ (b) NMOS 型電流スターブ型 リングオシレータ

図 7: 電流スターブ型リングオシレータ

電力変換回路 本研究においては、横型の GaN HEMT を用いて、ゲートドライバとパワートランジスタを 1 チップに集積化した。図 12 に回路構造、図 13 にチップのレイアウトを示す。図 14 がシミュレーション波形であり 10MHz でも問題なく動作していることがわかる。本回路は試作が完了し現在、その動作の評価を行っているところである。

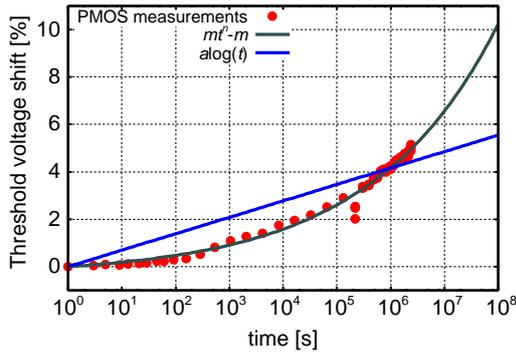
5 主な論文発表等

〔雑誌論文〕 (計 7 件)

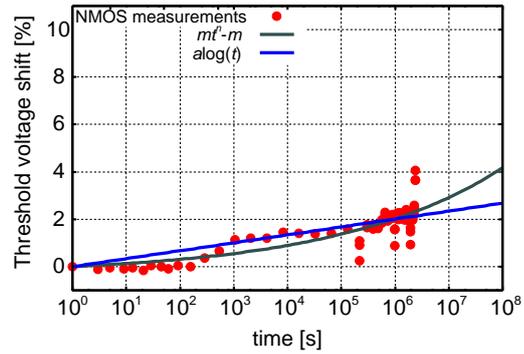
1. H. Maruoka, M. Hifumi, J. Furuta, and K. Kobayashi, "A Low-Power Radiation-Hardened Flip-Flop with Stacked Transistors in a 65 nm FDSOI Process", IEICE Trans. on Electronics, vol.101-C, no.4, pp. 273-280, Apr. 2018, DOI: 10.1587/transele.E101.C.273, 査読あり
2. R. Kishida, J. Furuta, and K. Kobayashi, "Evaluation of plasma-induced damage and bias temperature instability depending on type of antenna layer using current-starved ring oscillators", Japanese Journal of Applied Physics, vol.57, no.4s, pp. 04FD12-1-5, Mar. 2018, DOI: 10.7567/JJAP.57.04FD12, 査読あり

〔学会発表〕 (計 16 件)

1. R. Kishida, T. Asuke, J. Furuta, and K. Kobayashi, "Extracting BTI-induced Degradation without Temporal Factors by Using BTI-Sensitive and BTI-Insensitive Ring Oscillators", International Conference on Microelectronic Test Structure, pp. 24-27, Fukuoka, Japan, Mar. 2019



(a) PMOS 型電流スターブ型リングオシレータのしきい値電圧変動割合



(b) NMOS 型電流スターブ型リングオシレータのしきい値電圧変動割合

図 8: 測定結果のしきい値電圧変換結果と近似



図 9: NOR RO in transistor level. (a) NBTI-sensitive RO. (b) NBTI-insensitive RO.

2. Y. Yamashita, S. Stoffels, P. Niels, D. Stefaan, and K. Kobayashi, "Monolithically Integrated E-Mode GaN-on-SOI Gate Driver with Power GaN-HEMT for MHz-Switching", Workshop on Wide Bandgap Power Devices and Applications, pp. 231-236, Atlanta, GA, USA, Nov. 2018, DOI: 10.1109/WiPDA.2018.8569057
3. 中野 洋希, 岸田亮, 古田潤, 小林和淑, 「FPGA とマイコンを用いたリングオシレータの超長期経年劣化の実測評価」, 電子情報通信学会技術報告 (集積回路設計), no.ICD2018-56, 広島, 2018 年 12 月
4. 中村遥香, 中野 洋希, 岸田亮, 小林和淑, 「FPGA とマイコンで制御する小型かつ低電力な BTI 評価用チップ測定系の定電圧電源回路の検討」, 電子情報通信学会総合大会, no.C-12-22, 東京, 2018 年 3 月

〔図書〕 (計 1 件)

1. S. Asai (Editor), "VLSI Design and Test for Systems Dependability", Springer, Apr. 2019, DOI: 10.1007/978-4-431-56594-9

〔産業財産権〕 (なし)

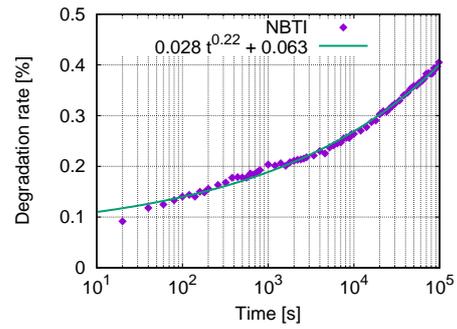
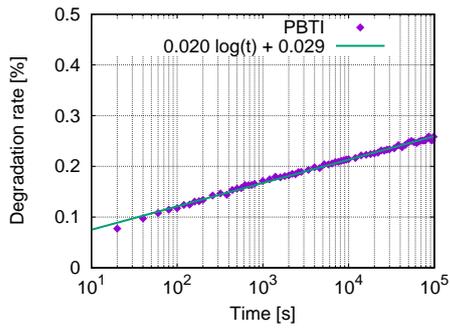


図 10: Difference between PBTI-sensitive and -insensitive ROs.

図 11: Difference between NBTI-sensitive and -insensitive ROs.

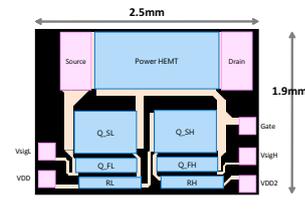
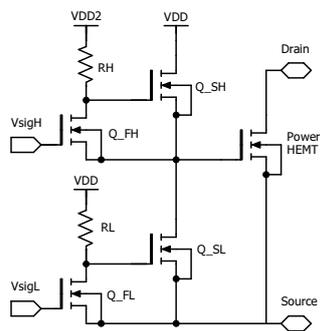


図 13: Layout of monolithic IC.

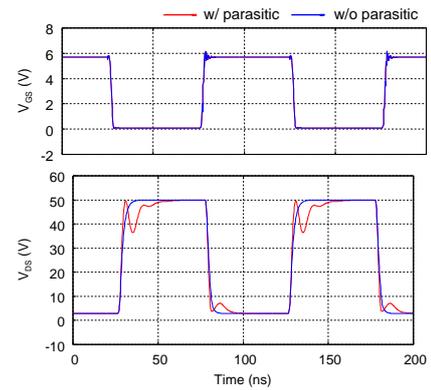


図 14: 10 MHz switching waveforms comparing parasitic influence.

図 12: Proposed monolithic GaN integrated circuit (IC).

6 研究組織

(1) 研究分担者リスト

研究者番号	分担者氏名	ローマ字氏名	所属機関	部局	職
30735767	古田 潤	Jun Furuta	京都工芸繊維大学	電気電子工学系	助教
40757522	西澤 真一	Shinichi Nishizawa	埼玉大学	理工学研究科	助教
60636702	吉河 武文	Takefumi Yoshikawa	富山県立大学	工学部	教授
70417369	松本 高士	Takashi Matsumoto	東京大学	大規模集積システム設計教育研究センター	助教

(2) 研究協力者リスト

氏名	所属
Steve Stoffels	Interuniversity Microelectronics Centre
Niels Posthuma	Interuniversity Microelectronics Centre
Xiangdong Li	Interuniversity Microelectronics Centre
Stefaan Decoutere	Interuniversity Microelectronics Centre