

平成 30 年 5 月 29 日現在

機関番号：14401

研究種目：基盤研究(B) (一般)

研究期間：2015～2017

課題番号：15H03975

研究課題名(和文)局所液相エピタキシャル成長によるGeSnワイヤの形成とその光電子デバイス応用

研究課題名(英文) Fabrication of tensile-strained single-crystalline GeSn wires on an insulator by lateral liquid-phase epitaxy towards electronic and opto-electronic device applications

研究代表者

志村 考功 (Shimura, Takayoshi)

大阪大学・工学研究科 准教授

研究者番号：90252600

交付決定額(研究期間全体)：(直接経費) 12,800,000円

研究成果の概要(和文)：急速加熱処理による液相エピタキシャル成長法により単結晶GeSn細線を非晶質基板上に形成し、それを用いた電界効果トランジスタとフォトダイオードを試作し、その特性を評価した。トランジスタ特性より求めた正孔の電界効果移動度はピーク値で423 cm²/Vsに達した。また、フォトダイオードについては光通信で用いられている波長1.55 μmの光に対して良好な光応答を確認することができた。

研究成果の概要(英文)：We have fabricated GeSn wires by liquid-phase epitaxy during rapid thermal annealing. The field effect transistor with the GeSn wires exhibited field effect hole mobility of 423 cm²/Vs. The GeSn pn-photodiode showed good optical response for 1.55 μm wavelength.

研究分野：電子デバイス材料

キーワード：電気・電子材料 作成・評価技術 エピタキシャル成長 半導体 ゲルマニウム シリコンフォトリソ

1. 研究開始当初の背景

Si-LSI の微細化が限界に近づいている現在、ポストスケーリングテクノロジーによるLSI の高性能化を目指す研究が盛んに行われている。Ge は Si より高移動度を有するチャネル材料であり、Si に比べ電子で 2.5 倍、正孔で 3.5 倍の値を示すが、歪み印加によるさらなる移動度向上が期待されている。また、光通信で用いられる 1.55 μm 帯の光に感度を持つため、Si-LSI に集積可能な光検出器用材料としても注目されてきたが、2010 年には Si 基板上に形成した Ge において歪み制御と高濃度ドーピングを併用することにより室温でのレーザー発振が確認されている。さらに、歪み印加に加え、Sn を添加することによりさらなる移動度の向上と間接遷移型から直接遷移型半導体へのバンド構造変調が示唆されており、次世代の高度情報化社会を担うと期待されている高速かつ低消費電力の光・電子融合デバイスへの期待が高まっている。

ところが、Ge 層を絶縁膜上に形成した GOI (Ge on Insulator) 構造は高速かつ低消費電力のこれらデバイスを実現する構造として必要とされているが、結晶性が良好で、かつ生産性に優れた GOI 基板の作製が困難であり障害となっている。現在のところ GOI 基板作製技術としては、酸化濃縮法と貼り合わせ法が有力である。しかし、酸化濃縮法で作製した GOI 層の結晶性は十分ではなく、結晶欠陥起因と思われるキャリアの生成を抑制することができない。比較的結晶性の良い GOI 層が得られるとされる貼り合わせ法は、GOI 層となる Ge バルク基板が高価であるという問題があり、今後、ウェーハが 450 mm へと大口径化するにつれその問題はますます大きくなる。

申請者はこの問題を解決するために、局所液相エピタキシャル成長を用いた GOI 構造の作製とその電子デバイス応用に向けた基礎的研究開発を行ってきた。

2. 研究の目的

本研究課題は、局所液相エピタキシャル成長による Ge ワイヤ作製法を進化させ、歪み制御した Sn 添加 Ge ワイヤを作製し、次世代の高度情報化社会を担う高速かつ低消費電力の光・電子融合デバイスへの応用を目指すものである。

3. 研究の方法

図 1 に局所液相エピタキシャル成長の概念図を示す。この方法はマイクロクルーシブルと呼ばれる絶縁膜に囲まれた領域に Ge を閉じ込め、Ge の融点(938)以上の温度から急冷し、Si 基板と接触した seed 領域から Ge をエピタキシャル成長させる方法である。Si と Ge は約 4 % の格子不整があり Si 基板上に Ge を直接成長させると格子緩和に伴う結晶欠陥が発生する。しかし、この手法では、seed 領域から絶縁膜上に乗り上げる構造がチヨ

クラルスキー法のネッキング部に相当し、Ge/Si 界面で生成した欠陥の伝播を抑制する。さらに Ge はミクロンからサブミクロン領域の幅にパターンニングされているのでネッキング部を抜けた欠陥も直ちに外方へ伸び消滅する。図 2 にこの方法により作製した Ge ワイヤの SEM 像を示す。seed 領域から Ge ワイヤが伸び SiO₂ 上に乗り上げていることがわかる。図 3 は Ge ワイヤの Plan-view SEM 像と EBSD 測定によって得られた結晶方位マップを示している。seed 領域から 44 μm の領域まで下地 Si 基板と同じ(100)方位を持っていることがわかる。

本研究では、局所液相エピタキシャル成長を用いた歪み制御 Sn 添加 Ge ワイヤの作製とその基礎的知見の取得、また電子デバイス応用に向けたトランジスタの試作と特性評価、さらに光・電子融合デバイスに向けた光学特性評価とフォト・発光ダイオードの試作を行う。

実施及び検討項目を下記に示す。

- (1) 局所液相エピタキシャル成長のための実験装置整備
 - ・UHV 蒸着装置の冷却試料ステージの導入
- (2) 局所液相エピタキシャル成長における Sn 添加歪み制御技術の基礎的知見の取得
 - ・Ge ワイヤの格子歪み、結晶方位分布、結晶欠陥、組成分布評価
 - ・絶縁層の種類 (界面エネルギー)、マイク

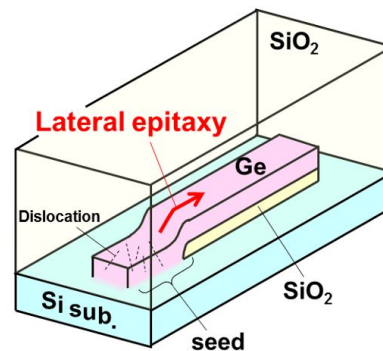


図 1 局所液相エピタキシャル成長の概念図。

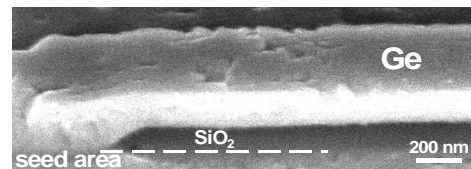


図 2 局所液相エピタキシャル成長で作製した Ge ワイヤ。

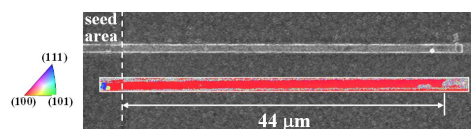


図 3 Plan-view SEM 像と EBSD 測定によって得られた結晶方位マップ。

- ロクルーシブの形状・サイズ、降温速度の成長条件依存
- (3) トランジスタの試作とデバイス特性評価
- ・歪み量や歪み方向、印加手法、Sn 濃度の依存性
- (4) 光学特性評価とフォト・発光ダイオードの試作
- ・バンドギャップやバンド構造変化に起因する光学特性を評価
 - ・フォト及び発光ダイオードを試作

4. 研究成果

ここでは局所液相エピタキシャル成長法を進展させ、結晶シードを用いずに非晶質基板の上の所望の位置に単結晶 GeSn 細線を形成する手法を検討した結果を示す。

本実験では、石英基板上に形成したアモルファス GeSn 細線を部分的に加熱・融解させ、固液界面で生じた単一核からの横方向液相成長を試みた。石英基板を洗浄後、分子線蒸着 (MBD) により膜厚 100 nm のアモルファス GeSn (膜中 Sn 組成 2%) を成膜し、ドライエッチングで細線状 (長さ 300 μm 、幅 2 μm) に加工した。GeSn の凝集を防ぐため細線全体を覆うように厚さ約 1 μm の SiO₂ キャップ層を成膜した後、窒素雰囲気中で GeSn の融点以上の温度で赤外線ランプを用いた急速加熱処理 (RTA) を行った。このとき、GeSn 細線を局所的に融解させるため、試料を赤外線に対して透明な石英と黒体であるカーボンから構成されるサセプタ上に配置した。

図 4 に RTA 後の GeSn 細線の光学顕微鏡像および EBSD 像を示す。GeSn 細線を局所的に急速加熱し融解した試料では、細線先端に析出物が見られた。これは固溶限を超える Sn が液相成長の過程で結晶成長方向に掃き出された結果と考えられる。また得られた EBSD 像から、石英/カーボンサセプタ境界付近から結晶化が開始し、先端まで単結晶成長していることがわかる。これは局所急速加熱により固液界面で生成した単一核から横方向成長が進行したことを示唆している。また、細

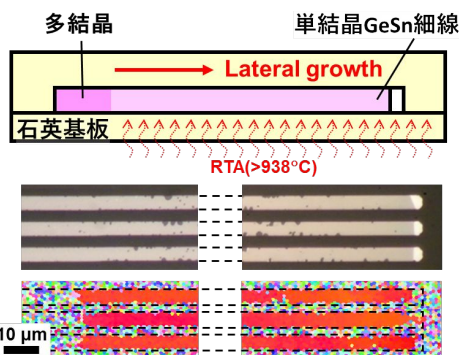


図 4 部分熔融による非晶質基板の上での単結晶成長。作製した GeSn 細線の光学顕微鏡像と EBSD 測定による結晶方位分布図。

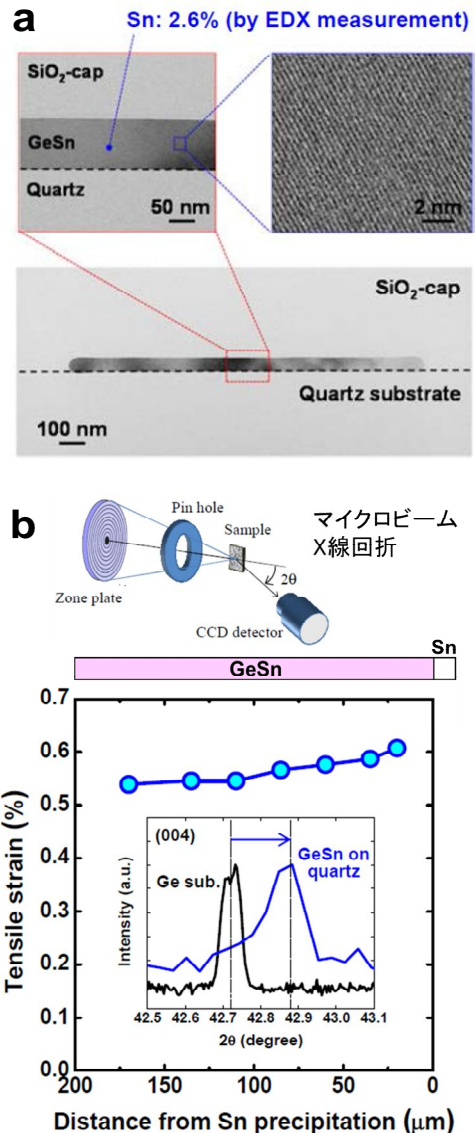


図 5 (a) GeSn 細線の断面透過顕微鏡像。(b) SPring-8 でのマイクロビーム X 線回折による格子歪み評価。

線表面方向の結晶方位は全ての試料において結晶化開始点から細線先端まで同一であり、(100)面に優先配向することがわかった。

GeSn 細線の結晶性を透過電子顕微鏡で評価した結果を図 5 (a) に示す。転位のない良好な格子像を確認することができる。また、EDX 測定から Sn 組成が約 2.6% であることがわかった。

さらに、SPring-8 のマイクロビーム X 線回折に GeSn 細線の格子歪みを評価した結果を図 5 (b) に示す。表面法線方向の 004 回折ピークから格子歪みを算出したところ、約 0.5 ~ 0.6% の引張歪みが印加されていることを確認した。これは Ge と下地 SiO₂ 基板の熱膨張係数差に起因しており、Si 基板を用いた時の約 1.5 倍の大きな値に相当する。

本手法を用いて作製した GeSn 細線をチャネルとしたトランジスタを試作し、電気特性評価を行った。図 6 に試料作製プロセスを示

- Quartz substrate
- a-GeSn (80 nm, Sn 2%) deposition
- CVD-SiO₂ deposition (20 nm)
- Sputter-Y₂O₃ deposition (20 nm)
- S/D region patterning
- SiO₂-capping (1 μm)
- RTA (>900 °C, 1 s)
- SiO₂-cap thinning
- Contact hole patterning
- Al contact formation

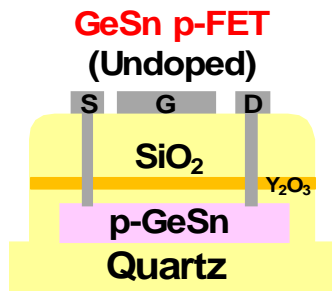


図6 GeSn MOSFET の作製プロセスとデバイス構造。

す。石英基板上に膜厚 80 nm のアモルファス GeSn 細線 (膜中 Sn 組成 2%) 形成後、ゲート絶縁膜として SiO₂/Y₂O₃ 層を成膜した。SiO₂ キャップ層 (約 1 μm) 成膜後、窒素雰囲気中で局所急速加熱 (>900 °C, 1 sec) を行うことで横方向液相成長を促した。ドライエッチングで SiO₂ キャップ層を 200 nm までエッチバックした後、ソース/ドレイン領域に Al コンタクトを形成し、ゲート電極加工を行った。また比較として、GeSn 細線全体を急速加熱処理した試料についても同様のプロセスでトランジスタを作製し、電気特性を評価した。

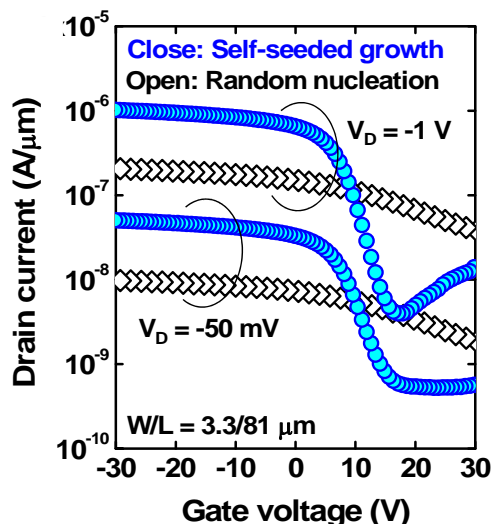


図7 GeSn MOSFET のドレイン電流-ゲート電圧 (I_d - V_g) 特性。

図7に作製したトランジスタのドレイン電流-ゲート電圧 (I_d - V_g) 特性を示す。局所急速加熱により細線先端に Sn 析出が生じた試料 (Self-seeded growth,) では正常なトランジスタ動作が見られ、オン/オフ比が 2 桁以上の明瞭なスイッチング特性を示した。負バイアス印加で ON 状態となることから、p 型の蓄積モードで動作していることがわかる。一方、細線全体を急速加熱し Sn 析出が生じなかった試料 (Random nucleation,) では ON/OFF 比が 1 桁以下であり、Sn 析出の生じた細線と比べて低い ON 電流を示した。このように低い電流値を示したのは、ランダム核形成で成長した多結晶 GeSn の結晶粒界およびポテンシャルバリアによってキャリア輸送が妨げられた結果だと考えられる。またドレイン電流-ドレイン電圧 (I_d - V_d) 特性より、Sn 析出の生じた細線ではゲート電圧によるドレイン電流の変調が見られ、良好なトランジスタ動作を確認した。

得られた I_d - V_g 特性より電界効果移動度を算出した。正孔移動度を求めたところ、ピーク値で 423 cm²/Vs であった。これは、これまでに報告されている Ge 基板上に作製した GeSn p-MOSFET から得られた正孔移動度に匹敵する値であり、石英基板上 GeSn 層が高い結晶性をもつことを示している。

次にフォトダイオードを試作した結果を示す。石英基板を洗浄後、分子線蒸着により膜厚 230 nm のアモルファス GeSn 層 (膜中 Sn 組成 2%) を成膜し、ドライエッチングで細線状 (幅 6 μm、長さ 300 μm) に加工した。厚さ 1 μm の SiO₂ キャップ層を成膜した後、赤外線ランプを用いた局所急速加熱 (938 °C, 1 s) により単結晶成長を促した。SiO₂ キャップ層を 50 nm まで薄層化し、フォトレジストによりイオン注入マスクを形成した後、単結晶 GeSn 細線に P イオンをドーズ量 2×10^{15} cm⁻²、加速エネルギー 40 keV で注入した。窒素雰囲気中で 500 °C、5 分間の活性化アニールを施した後、Al コンタクトを形成し、石英基板上に単結晶 GeSn n+/p 接合ダイオードを作製した (図 8 (a))。図 8 (b) に PL 測定により取得した発光スペクトルを示す。石英基板上 GeSn 細線では Sn 添加 (約 2%) と引張歪み印加 (約 0.6%) に起因して Ge 基板に対するレッドシフトが見られ、また P イオン注入領域では発光強度がノンドーピング GeSn の約 2 倍になっており、高濃度 n 型ドーピングによる直接遷移発光増大を確認した。作製した石英基板上 GeSn n+/p 接合ダイオードの電流-電圧特性を図 8 (c) に示す。オン/オフ比が 3 桁以上の明瞭な整流性が見られ、0.5 V における暗電流密度は約 0.1 A/cm² とこれまでに報告されている Si 基板上 GeSn pn ダイオードを下回る値が得られた。また波長 1.55 μm の光照射に対する良好な光応答を確認し、透明基板上でのフォトディテクター動作を実現した。

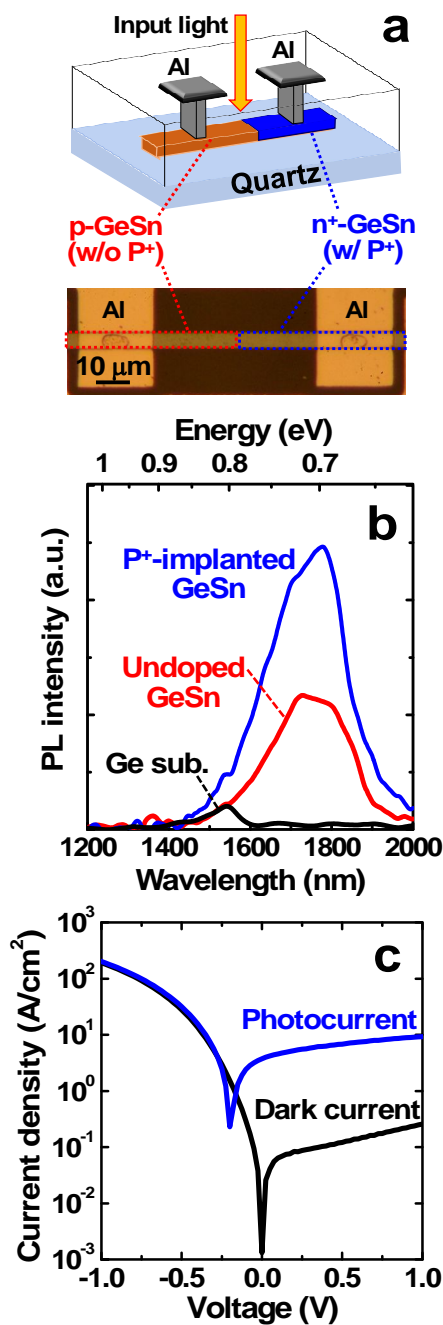


図8 (a)GeSn フォトダイオード (b)フォトルミネッセンス(PL)スペクトル (c)フォトカレントと暗電流特性。

5. 主な発表論文等 〔雑誌論文〕(計4件)

H. Oka, T. Tomita, T. Hosoi, T. Shimura, H. Watanabe, "Lightly doped n-type tensile-strained single-crystalline GeSn-on-insulator structures formed by lateral liquid-phase crystallization", Appl. Phys. Express **11**, 011304-1-4 (2018). DOI: 10.7567/APEX.11.011304 (査読有)

H. Oka, T. Amamoto, M. Koyama, Y. Imai, S. Kimura, T. Hosoi, T. Shimura, and H. Watanabe, "Fabrication of tensile-strained single-crystalline GeSn on transparent

substrate by nucleation-controlled liquid-phase crystallization", Appl. Phys. Lett., **110**, 032104-155 (2017). DOI: 10.1063/1.4974473 (査読有)
T. Shimura, M. Matsue, K. Tominaga, K. Kajimura, T. Amamoto, T. Hosoi, and H. Watanabe, "Enhancement of photoluminescence from n-type tensile-strained GeSn wires on an insulator fabricated by lateral liquid-phase epitaxy", Appl. Phys. Lett., **107**, 221109-1-5 (2015). DOI: 10.1063/1.4936992 (査読有)

〔学会発表〕(計14件)

H. Oka, K. Inoue, T. T. Nguyen, S. Kuroki, T. Hosoi, T. Shimura, H. Watanabe, "Back-side Illuminated GeSn Photodiode Array on Quartz Substrate Fabricated by Laser-induced Liquid-phase Crystallization for Monolithically-integrated NIR Imager Chip", 2017 IEEE International Electron Devices Meeting (IEDM), December 2-6, 2017, San Francisco, USA.

H. Oka, M. Koyama, T. Tomita, T. Amamoto, K. Tominaga, S. Tanaka, T. Hosoi, T. Shimura, and H. Watanabe, "High-mobility TFT and Enhanced Luminescence Utilizing Nucleation-controlled GeSn Growth on Transparent substrate for Monolithic Optoelectronic Integration", 2016 IEEE International Electron Devices Meeting (IEDM), December 3-7, 2016, San Francisco, USA.

H. Oka, M. Koyama, T. Hosoi, T. Shimura and H. Watanabe, "Enhancement-Mode N-Channel TFT and Room-Temperature Near-Infrared Emission Based on n+/p Junction in Single-Crystalline GeSn on Transparent Substrate", 2017 Symposium on VLSI Technology, June 5 - 8, 2017, Kyoto, Japan.

T. Shimura, Y. Suzuki, M. Matsue, K. Kajimura, K. Tominaga, T. Amamoto, T. Hosoi, and H. Watanabe, "Fabrication of High-quality Ge-on-insulator Structures by Lateral Liquid Phase Epitaxy", The 228th ECS Meeting, October 11-15, 2015, Phoenix, USA. (招待講演)

〔その他〕

Editor Press Center of 2017 IEEE International Electron Devices Meeting (IEDM)
<http://btbmarketing.com/iedm/>

6. 研究組織

(1) 研究代表者

志村 考功 (SHIMURA, Takayoshi)
大阪大学・大学院工学研究科・准教授
研究者番号：90252600

(2)連携研究者

渡部 平司 (WATABABE, Heiji)
大阪大学・大学院工学研究科・教授
研究者番号：90379115

細井 卓治 (HOSOI, Takuji)
大阪大学・大学院工学研究科・助教
研究者番号：90452466