

平成 30 年 6 月 14 日現在

機関番号：82626

研究種目：若手研究(A)

研究期間：2015～2017

課題番号：15H05522

研究課題名(和文) 金属蒸気触媒CVDによるグラフェンの絶縁基板上直接合成と高効率MOS冷陰極の開発

研究課題名(英文) Direct synthesis of graphene on an insulator substrate by chemical vapor deposition using metal vapor catalysts and development of high efficiency MOS type electron emission devices

研究代表者

村上 勝久 (Murakami, Katsuhisa)

国立研究開発法人産業技術総合研究所・エレクトロニクス・製造領域・主任研究員

研究者番号：20403123

交付決定額(研究期間全体)：(直接経費) 16,600,000円

研究成果の概要(和文)：ガリウム蒸気を触媒として用いた絶縁基板上へのグラフェン合成手法を開発した。グラフェンの初期成長過程の観察から、グラフェン成長の初期に結晶核が発生し、結晶核が成長し核同士がつながっていく様子が観察できた。また、高分解能透過型電子顕微鏡による原子レベル構造解析により、結晶ドメインサイズは50～200 nm程度であり、ドメイン内は結晶欠陥の無いグラフェンであることが分かった。開発したグラフェン合成手法を用いて、グラフェンを上部電極としたグラフェン/酸化膜/半導体積層構造の平面型電子放出素子を試作し特性評価を実施した。従来素子と比較して電子放出効率が100倍以上向上することを明らかにした。

研究成果の概要(英文)：Direct synthesis of graphene on an insulating substrate by gallium vapor as a catalyst was developed. From the observation of the initial growth process of graphene, the crystal nuclei were generated at the initial stage of graphene growth, and then, crystal nuclei grew, and the nuclei were connected to each other. In addition, the atomic level structure analysis by the high-resolution transmission electron microscope showed that the crystal domain size of graphene was in the range from 50 to 200 nm, and the inside of the domain was perfect crystal structure without any defects. Planar type electron emission devices based on a graphene-oxide-semiconductor structure were fabricated by using the developed direct synthesis method of graphene. Their electron emission properties were further evaluated. It is found that the electron emission efficiency improves by 100 times or more compared with the conventional device.

研究分野：グラフェン, 電子放出デバイス

キーワード：グラフェン 化学気相成長 電子放出デバイス

1. 研究開始当初の背景

1.1 グラフェン合成

グラフェンは高い電子移動度、優れた光透過率、高い比表面積、機械的強度を有することから、次世代高速トランジスタ、酸化インジウムスズに替わる透明電極、スーパーキャパシタの電極材料など、様々な分野での応用が期待されている。電子デバイスや透明電極への応用では、層数を制御した結晶性の良いグラフェンの大面積合成が重要な課題となっている。現在最も有力な大面積グラフェン合成手法は Cu 基板上への CVD (Chemical Vapor Deposition) 合成である。Cu は炭素の固溶度が非常に低いため、Ni や Fe など炭素固溶度の高い金属触媒よりも合成するグラフェンの層数制御が容易である。しかしながら、電子デバイスや透明電極の作製のためには、ウェットプロセスによって Cu 基板をエッチングし、絶縁基板上へグラフェンを転写する必要がある。この転写プロセスの際に、グラフェン表面の汚染、欠陥や皺が生じてしまう。また、転写プロセスは繊細で時間のかかるプロセスであり、使用した金属触媒をすべて溶解してしまうため、量産性、コスト、環境負荷において課題が多い。産業応用の観点からすると、①高品質なグラフェンを層数制御し大面積に合成可能、②転写プロセスを必要とせず任意の絶縁基板上へ直接合成可能、③使用する触媒金属が再利用可能または少量、という 3 つの条件が要求される。上記 3 つの条件を満たす可能性のあるグラフェンの合成法として、金属蒸気を触媒として用いた CVD 合成が挙げられる。これまで金属蒸気を触媒としたグラフェンの合成は、Cu 蒸気を用いた例でわずか 2 件しか報告されていないが、絶縁基板上の約 1 mm<sup>2</sup> へのグラフェン合成に成功している (P. Teng, et al., Nano Lett. 12, 1379 (2012). 及び H. Kim, et al., ACS nano 8, 6575 (2013).)。2 件の報告において、触媒金属の蒸気圧が高いほど合成されるグラフェンの結晶性が高くなることが分かっている。しかしながら、金属触媒の蒸気圧は金属種と温度によって決まるため、一般的な石英管 CVD 炉の加熱温度 (約 1000 度) までしか蒸気圧を高めることができない。そのため、Cu 蒸気触媒では蒸気圧を高めることが難しく、1 mm<sup>2</sup> を超えた大面積基板に結晶性の良いグラフェンを合成することができていない。

我々の研究グループでは、Ga 触媒を用いたグラフェンの合成を行ってきた。これまでの研究で Ga 触媒は Cu と同様に炭素固溶度が低く、層数制御性に優れていることが判明している。また、直鎖状タンパク質であるアミロイドを炭素テンプレートとして、Ga 蒸気雰囲気中で加熱することによって、幅約 10 nm、長さ数 μm のグラフェンナノリボンをサファイア基板上に直接合成し、その電気特性の評価に成功している (K. Murakami, et al., Appl. Phys. Lett. 104, 243101 (2014).)。

Ga の蒸気圧は同じ温度で Cu より約 1 桁高く、CVD 合成においても有望な金属蒸気触媒と期待される。

1.2 グラフェンの電子デバイス応用

これまで、多くの研究者によってグラフェンの電子デバイス応用としてグラフェン Field Effect Transistor (FET) が研究されてきたが、グラフェン FET の実現には、バンドギャップの形成、六方晶窒化ホウ素薄膜上へのグラフェンの成膜、ゲート絶縁膜の最適化、接触抵抗の低減、ドーピング手法の確立など、多くの技術的課題が残っており、高品質大面積グラフェンの絶縁基板上への直接合成が可能となっただけでは実用化は難しいと考えている。我々は、グラフェンの「炭素原子からなる原子 1 層の導体」という特徴に注目し、電子を固体中から真空中に引き出すための高効率な「電子引き出し電極」としての応用を計画している。電界放出電子源の一種に、MOS (metal-oxide-semiconductor) 冷陰極という平面型の電子放出素子がある (図 1 参照)。電子放出部の酸化膜厚は 5~10 nm、金属電極の膜厚は 3~5 nm で構成されており、金属電極に電圧を印加し、酸化膜に強電界が印加され電位障壁が薄くなると、Si 基板中の電子がトンネル効果で酸化膜を透過し、真空中に電子が放出される。通常の電界放出素子とは異なり、①電子を平面から取り出すことが可能で電子の直進性に非常に優れている、② 10V 程度の低電圧で動作可能、③素子構造が簡易で半導体プロセスで作製可能、④低真空 (10<sup>-3</sup> Pa 程度) でも安定して電子放出可能、という優れた特徴を有しているため、ディスプレイや超高感度撮像素子の電荷読み取り素子としての応用が検討されている。しかしながら、MOS 冷陰極は大部分のトンネル電子が上部の金属電極で回収されてダイオード電流となるため、電子の真空中への取り出し効率はわずか 1% 以下で、報告の多くは 0.002% 程度である。この低効率が MOS 冷陰極の応用の妨げとなっている。引き出し電極には Al や Au が用いられることが多いが、単層グラフェンを用いると、電極の膜厚を 1/10 以下にすることが可能となる。また炭素に対する電子の散乱断面積

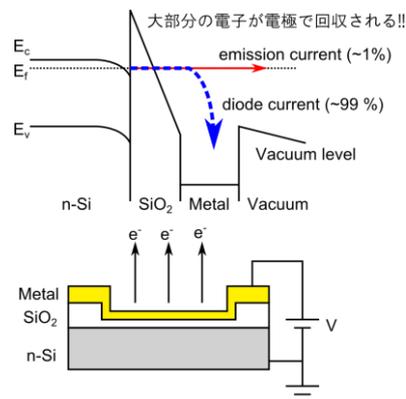


図 1 : MOS 冷陰極の概略図

は金属よりも小さいため、MOS 冷陰極の電子取り出し効率が飛躍的に向上することが期待できる。仮に放出効率 10 % の MOS 冷陰極が実現すると印加電圧 10 V で放射電流密度が 100 mA/cm<sup>2</sup> (酸化膜厚 10 nm と仮定) に到達し、多くのデバイス応用が可能となる。しかしながらこれまで、SiO<sub>2</sub> 表面に直接グラフェンを合成することが困難であったため実現していない。

## 2. 研究の目的

金属蒸気触媒を用いた気相合成による高品質大面積グラフェンの絶縁基板への直接合成手法を確立し、グラフェン電極を用いた高効率 MOS 冷陰極を実現することを目的としている。グラフェンの初期成長過程の観察、結晶性や電気特性の合成条件 (温度、触媒種等) 依存性を解析し、金属蒸気触媒によるグラフェン合成メカニズムを明らかにする。また、デバイス応用として、グラフェンを高効率な「電子引き出し電極」として用いた、電子放出効率 10 % (印加電圧 10V で電流密度 100 mA/cm<sup>2</sup>) を超える高効率 MOS 冷陰極を開発する。更に、試作した高効率 MOS 冷陰極を用いたグラフェンの新しいデバイス応用を実証する。

## 3. 研究の方法

### 3.1 グラフェン合成

図 2 に Ga 蒸気を用いた熱 CVD によるグラフェン合成の概略図を示す。アルミナボートに Ga を充填しその上部にグラフェンを成膜する基板である絶縁性基板 (石英板ガラス、サファイア基板、熱酸化膜付き Si 基板など) を設置する。このボートを石英炉管の加熱部分に導入する。その後、石英炉管内を Ar (流量 100 sccm) と水素 (流量 5sccm) の混合ガス雰囲気置換し 1050 度に加熱する。炉管内が 1050 度に到達したところで、水素ガスの導入を止め、メタンガスを流量 0.16~0.96 sccm の範囲で導入し 16~45 分間保持する。この間に Ga 蒸気とカーボン原料ガスの混合雰囲気に基板表面が暴露され、グラフェンが成膜される。グラフェン成膜後はメタンガスの導入を停止し、Ar (流量 140 sccm) と水素 (流量 1 sccm) の混合雰囲気で室温まで冷却する。

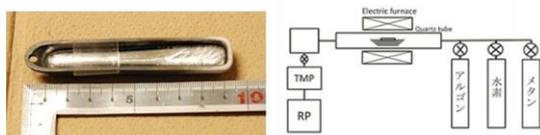


図 2 : グラフェン合成の概略図

### 3.2 グラフェンの評価方法

成膜したグラフェンの結晶性評価は波長 532 nm のレーザーを用いたラマン顕微分光装置 (RAMANplus, Nanophoton 社製) によって行った。表面モフォロジーの観察は走査型電子顕微鏡 (S-4800, 日立ハイテクノロジーズ社

製) 及び原子間力顕微鏡 (Dimension Icon, Bruker 社製) を用いて行った。原子レベルでの構造解析は球面収差補正付き高分解能透過型電子顕微鏡 (JEM-ARM200F, JOEL 社製) を用い加速電圧 80 kV において実施した。電気特性評価は、300 nm 熱酸化膜付き n-Si 基板上に成膜したグラフェンを用い、フォトリソグラフィと酸素プラズマエッチングによりグラフェンをチャネル上に形成し、フォトリソグラフィ、電子ビーム蒸着、リフトオフプロセスにより Au/Ti 電極を形成することにより、グラフェン FET 素子を作製し、グラフェンの導電率のバックゲート電圧依存性を評価することにより行った。

### 3.3 高効率 MOS 冷陰極

グラフェンを上部電極として用いた高効率 MOS 冷陰極の作製プロセスは以下の通りである。ベースとなる基板には熱酸化膜付 n-Si 基板 (酸化膜厚 300 nm) を用いた。電子放出部のサイズは 10 μm 角または 100 μm 角で、フォトリソグラフィと緩衝弗酸によるウェットエッチングによりパターンニングした。その後、RCA 洗浄を行った後に、電子放出部に膜厚 8 nm の熱酸化膜層を酸素流量 2 L/min、加熱温度 900 度、成膜時間 10 min で成膜した。上部の多層グラフェン電極 (1.8~7 nm) は Ga 蒸気触媒 CVD 法を用いて、成長時間 7~30 min、1050 度で基板全面に成膜した。成膜したグラフェン上にコンタクト電極として Au/Cr 電極をフォトリソグラフィ、RF スパッタ、リフトオフプロセスにより作製した。最後に素子分離のために、フォトリソグラフィと酸素プラズマ処理により、グラフェン電極の一部をエッチングした。電子放出特性の評価は真空度 10~10<sup>-6</sup> Pa の計測チャンバーを用いて実施した。

## 4. 研究成果

### 4.1 グラフェンのラマンスペクトル

図 3 (a) にグラフェンのラマン分光スペクトルを示す。グラフェンに特有の G バンド、2D バンドスペクトル及び欠陥に由来する D バンドピークが観測され、石英基板上にグラフェンが合成出来ていることが分かる。図 3 (b) にグラフェンを合成した石英基板の写真と光透過率の波長依存性を示す。合成したグラフェンの光透過率は入射光の波長 550 nm で 95.5% であり、これはグラフェン約 2 層分に相当する。本成膜手法では石英基板の表裏両面にグラフェンが合成されることから、片面辺り単層グラフェンが成膜されていることが分かる。

### 4.2 グラフェンの初期成長過程の観察

図 4 にグラフェンの初期成長過程の Scanning Electron Microscope (SEM) 画像を示す。合成 1 時間で直径 50~60 nm のグラフェン核が発生し、合成時間が長くなるにつれて、グラフェン核のサイズが成長しているこ

とが分かる。合成時間 3 時間で平均粒径 100 nm 程度まで成長し、合成時間 4 時間でグラフェン核同士が繋がり、グラフェン膜となっていくことが分かった。

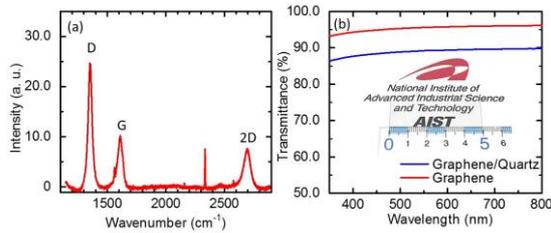


図 3: (a) 石英基板上に成膜したグラフェンのラマンスペクトル (b) グラフェンの光透過率の波長依存性。

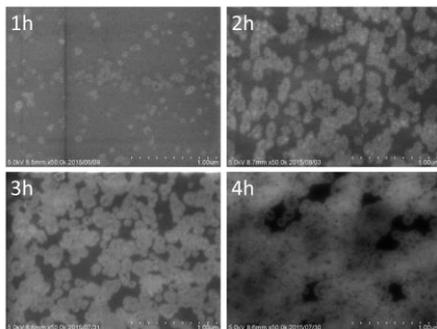


図 4 : グラフェン成長初期過程の SEM 観察

#### 4.3 グラフェンの高分解能観察

図 5 に合成グラフェンの Transmission Electron Microscope (TEM) 像を示す。合成したグラフェンはドメイン内部では結晶欠陥の無い完全な結晶性を有していることが分かった(図 5 (a))。また、大部分が単層のグラフェンであることが分かった。更に、電子線回折スポットそれぞれ 4 点 (A, B, C, D) を選択して、暗視野像で観察した像から、グラフェンのドメインサイズは幅 50~200 nm 程度であることを明らかにした(図 5 (b))。

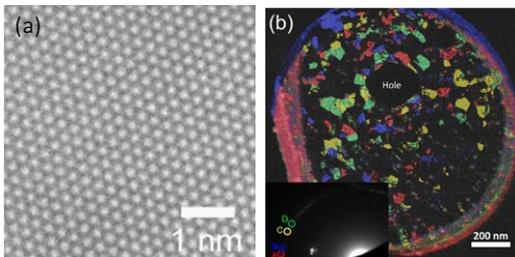


図 5 : (a) 合成グラフェンの高分解能 TEM 写真 (b) 合成グラフェンの暗視野 TEM 像

#### 4.4 グラフェンの電気特性評価

図 6 に作製したグラフェン FET の光学顕微鏡写真模式図を示す。1 cm 角基板にフォトリソグラフィ・蒸着・リフトオフプロセスを用いてグラフェン FET を作成した。図 7 に作製したグラフェン FET のゲート電圧に対する導電率依存性を示す。グラフェンに特異的な Dirac 点が観測された。導電率の傾きから求

めたホール移動度は 9 cm<sup>2</sup>/Vs であった。

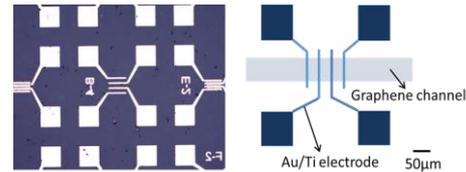


図 6 : グラフェン FET の光学写真と模式図

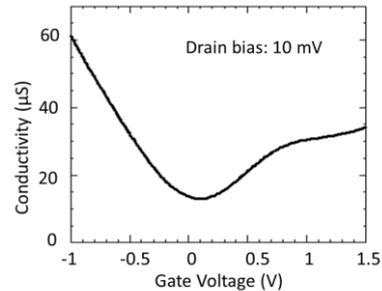


図 7 : グラフェン FET の導電率のゲート電極依存性

#### 4.5 高効率 MOS 冷陰極のデバイス構造評価

図 8 (a) に作成した GOS 型電子放出素子の SEM 写真を示す。グラフェン上部電極部分のコントラストは一律で、皺や破れのないグラフェン電極を形成できていることが分かる。集束イオンビーム加工により作成した断面薄片サンプルの TEM 像より、グラフェン/熱酸化膜/シリコンの積層構造が狙い通り作製できていることが分かる (図 8 (b) 参照)。グラフェン成膜時間 30 分で膜厚 7 nm、層数に換算して約 20 層の多層グラフェンを成膜可能であることが断面 TEM 像から分かった。

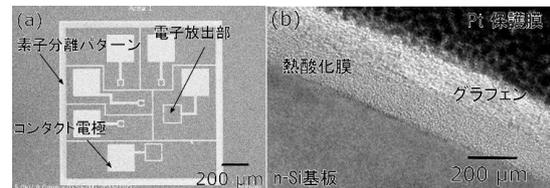


図 8 : (a) グラフェン電極を用いた MOS 冷陰極の SEM 写真 (b) 断面 TEM 写真

#### 4.6 高効率 MOS 冷陰極の電子放出特性

図 9 に、グラフェン電極を用いた MOS 型冷陰極の典型的な電圧電流特性および Fowler-Nordheim (FN) プロットを示す。アノード電流はゲート電圧約 9 V で検出され、17 V で放射電流密度 1 mA/cm<sup>2</sup> に到達した。電子の取り出し効率 (アノード電流/カソード電流×100 で定義) は 13 V 付近で最大 0.64 % でその後、ゲート電圧の増加に伴い緩やかに減少するが、印加電圧 17V、電流密度 1 mA/cm<sup>2</sup> においても 0.57% と高い電子取り出し効率を維持していることが分かる。同程度の酸化膜厚の Si ゲート電極の MOS 型電子放出素子の電子取り出し効率が 0.002 % 程度であるとの報告から、グラフェンをゲート電極に用いることで、電子の取り出し効率を 100 倍以上改善出来たことが分かる。FN プロットはアノー

ド電流、カソード電流共に電流が検出されている領域で線形性を示すことから、酸化膜を流れる電流は FN トンネリングに由来することが分かる。

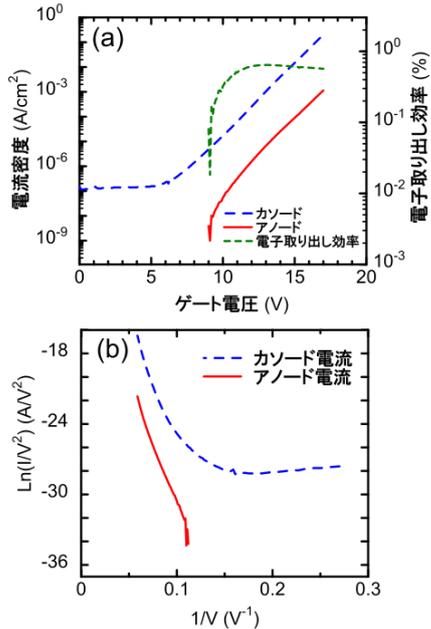


図9：(a) グラフェン電極を用いた MOS 型冷陰極の電圧電流特性と電子取り出し効率のゲート電圧依存性 (b) FN プロット

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 8 件)

- ① K. Murakami, S. Tanaka, T. Iijima, M. Nagao, Y. Nemoto, M. Takeguchi, Y. Yamada, and M. Sasaki, “Electron emission properties of graphene-oxide-semiconductor planar-type electron emission devices”, J. Vac. Sci. Technol. B **36**, 02C110 (2018). 査読有 <https://doi.org/10.1116/1.5006866>
- ② K. Murakami, S. Tanaka, A. Miyashita, M. Nagao, Y. Nemoto, M. Takeguchi, and J. Fujita, “Graphene-oxide-semiconductor planar-type electron emission device”, Appl. Phys. Lett. **108**, 083506 (2016). 査読有 <https://doi.org/10.1063/1.4942885>
- ③ T. Hiyama, K. Murakami, T. Kuwajima, M. Takeguchi, and J. Fujita, Appl. Phys. Express **8**, 095102 (2015). 査読有 <https://doi.org/10.7567/APEX.8.095102>

[学会発表] (計 18 件)

- ① K. Murakami, “Annealing effect on electron emission properties of graphene-oxide-semiconductor planar-type electron emission devices” 30th

International Vacuum Nanoelectronics Conference, Germany, 2017 年 7 月 11 日

- ② K. Murakami, “Graphene-oxide-semiconductor planar type electron emission device”, The 9th Japan-Korea Vacuum Nanoelectronics Symposium, Korea, 2017
- ③ K. Murakami, “Planar type electron emission devices using graphene gate electrode”, The 8th Japan-Korea Vacuum Nanoelectronics Symposium, 2016
- ④ K. Murakami, “Electron emission properties of graphene-oxide-semiconductor planar-type electron emission device”, 29th International Vacuum Nanoelectronics Conference, 2016
- ⑤ K. Murakami, “Fabrication and characterization of planar-type electron emission devices based on graphene-oxide-semiconductor structure”, 11th International Vacuum Electron Sources Conference, 2016
- ⑥ K. Murakami, “Direct growth of large area graphene on insulator substrate by chemical vapor deposition using gallium vapor catalysts”, The 16th International Conference on the Science and Application of Nanotubes, 2015

[産業財産権]

○出願状況 (計 3 件)

名称：グラフェン膜、電子透過電極及び電子放出素子

発明者：村上勝久、藤田淳一

権利者：国立研究開発法人産業技術総合研究所、国立大学法人筑波大学

種類：特許

番号：2015-167777

出願年月日：2015 年 8 月 17 日

国内外の別：国内

## 6. 研究組織

(1) 研究代表者

村上 勝久 (MURAKAMI Katsuhisa)

国立研究開発法人産業技術総合研究所・エレクトロニクス・製造領域・主任研究員

研究者番号：20403123