

科学研究費助成事業 研究成果報告書

平成 30 年 6 月 7 日現在

機関番号：82626

研究種目：若手研究(A)

研究期間：2015～2017

課題番号：15H05526

研究課題名(和文)トンネルトランジスタのトラップエンジニアリングによる新機能素子の創製

研究課題名(英文) Invention of new functional devices with trap engineering of tunnel field-effect transistors

研究代表者

森 貴洋 (Mori, Takahiro)

国立研究開発法人産業技術総合研究所・エレクトロニクス・製造領域・主任研究員

研究者番号：70443041

交付決定額(研究期間全体)：(直接経費) 17,800,000円

研究成果の概要(和文)：本研究はトンネルトランジスタ(TFET)における等電子トラップ(IET)のエンジニアリングによって、LSI基本素子としての開発および新機能素子の創製を目的に実施した。LSI基本素子としてはN/P型TFET両方の動作を実現し、世界初の相補型リングオシレータ回路動作に成功した。この成果は半導体デバイス分野で最も権威のある国際会議にて発表、大きな反響を得た。新機能素子の創製としてはIET援用TFETのスピ量子ビットとしての動作に成功し、動作温度10Kを達成した。これは電子素子型スピ量子ビットの世界最高動作温度である。この成果は学会発表を行い、現在論文を投稿している。

研究成果の概要(英文)：This research aimed to develop tunnel field-effect transistors (TFET) as a basic element of LSIs and to invent new functional devices with utilizing isoelectronic trap (IET). As for the basic element of LSIs, we realized the operation of both N- and P-type TFETs and succeeded in operating the complementary ring oscillator circuit at world's first. This achievement was presented in the most prestigious international conference in the semiconductor device field and gained a great response. As for the invention of new functional devices, we succeeded in operating the IET-assisted TFET as a spin qubit and achieved an operating temperature up to 10K. This is the world's highest operating temperature of electronic-device-type spin qubits. This achievement was presented at conferences and submitted in a journal.

研究分野：半導体集積デバイス

キーワード：トンネルトランジスタ 等電子トラップ 相補型集積回路 スピ量子ビット

1. 研究開始当初の背景

MOSFET の微細化による VLSI の進展は終焉を迎えつつあり、特にその動作電圧低減は困難になっている。低電圧化にはオン/オフのスウィッチング領域(サブスレッショルド領域)での消費電圧が問題となる。MOSFET には1桁の電流上昇に最低 60mV 消費する物理限界がある(室温動作時)。一般的な5桁のオン/オフ比を想定すると、0.3Vを消費する。トンネルトランジスタ(TFET)はMOSFETの物理限界を破る急峻スウィッチングが実現できるため、0.3V以下での低電圧動作が期待され、MOSFETに代わり超低消費電力VLSIを実現する基本素子の最有力候補として近年盛んに研究が進められている。

シリコンTFETの急峻スウィッチングは複数の研究機関が実現しており、国内では研究代表者が実現している。実用化への課題はオン電流の確保である。TFETはトンネル接合を内在するためデバイス抵抗が高い。そのため、高いトンネル確率が得られるGeやIII-V材料をチャネルとして用いる方法が研究の主流である。一方でコスト・集積性・環境親和性など応用の観点からはシリコンでの実現が望まれているが、シリコンTFETは間接遷移型のバンド間トンネル機構によるため、運動量保存則の制約でオン電流が小さい。この状況は発光現象の状況と類似である。発光現象においては間接遷移の制約を外す手法として等電子トラップ(IET)を用いる方法が知られている。そこで研究代表者は、TFETにおいて等電子不純物によるトラップ準位を中間準位として利用し運動量保存則を緩和することを着想、トンネル電流の増大に成功した。この技術は研究代表者が新規に着想、世界に先駆けて提案したものである。シリコンTFETにおいてはオフ電流を悪化させずに、11倍のオン電流増加を観測している。しかしながら、現行のVLSIと同程度の動作速度が得られる性能を実用可能性能と想定すると、0.3V駆動時でオン電流が3~5 $\mu\text{A}/\mu\text{m}$ は必要となり、1000倍程度の増大率が必要と試算される。

2. 研究の目的

本研究ではシリコンTFETの実用性能達成に向けてオン電流を増大させるため、等電子トラップを介在して流れる電流量を最大化すべく、等電子トラップのエンジニアリング手法を実験的に開拓する。それによるトンネル電流の最大化を目指す。さらに、非ノイマン型計算機技術に向けた新機能素子としての動作実証を目指す。

3. 研究の方法

本研究の研究期間は3年間である。各種実験および素子試作により実施した。シリコンデバイスの試作実施は、代表者が所属する産総研のプロセス設備群を利用、イオン注入処理と物理分析とは外部受託会社を利用した。

研究開始当初の段階でデバイスの試作プロセスは既に確立しており、すぐに研究を開始できる状況にあった。

4. 研究成果

(1) 相補型集積回路の実現

本研究開始前にはN型TFETにおいてのみ実現していたIETによる電流増大を、P型TFETにおいても成功した(図1)。これは試作プロセスを改善、熱履歴を制御することで実現したものである。

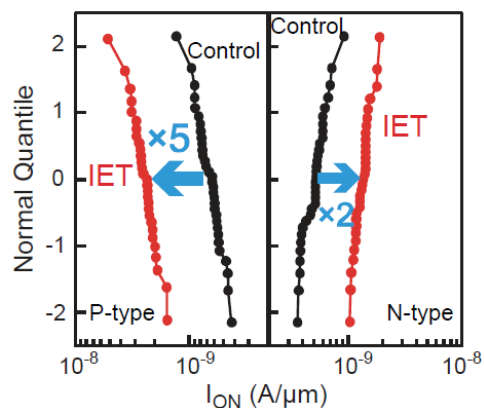


図1 N/P型TFETにおける電流増大

N/P型両方の動作が実現したので、相補型集積回路を試作、その動作及びIETによる性能改善を実証した。試作した集積回路はインバーターおよびリングオシレーターである(図2)。IETの利用により、インバーターにおいてはゲインの改善が見られ、またリングオシレーターにおいては発振周波数の向上(動作速度の向上)が見られた(図3)。TFETによる相補型リングオシレーター動作は世界初であり、IETによる相補型集積回路動作性能向上と併せた研究成果について、半導体デバイス分野最高権威の国際会議「International Electron Devices Meeting」に採択され、発表した(学会発表⑤、論文①)。

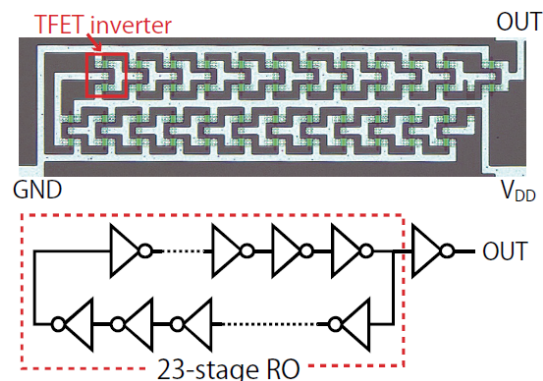


図2 試作した相補型リングオシレーターの顕微鏡写真と回路模式図

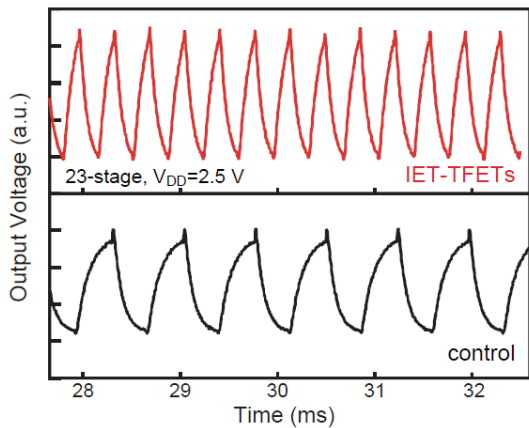


図3 相補型リングオシレーターの発振特性

(2) IET 形成機構の解明

IET 形成プロセス条件を変化させた試料について発光分光測定を行うことにより、形成プロセスの最適化および形成機構の解明を行った。図4に20Kの温度で測定した発光スペクトルを示す。

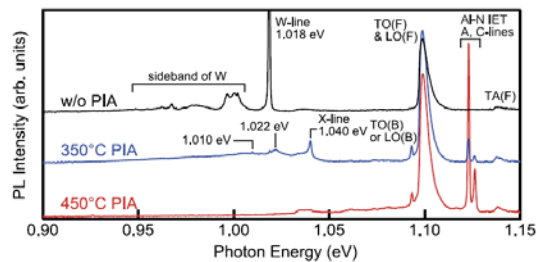


図4 IETを導入したシリコンの発光スペクトル

ここでは1.12eVに見られるIETに束縛された励起子発光と、1.05eV以下に見られる欠陥準位由来の発光に注目した。IET発光は450°Cのアニール条件において最も強い白光を示し、同温度にて最も効率よくIETが形成されることがわかった。また、欠陥発光は450°C以上のアニール条件において消失、イオン注入時に形成される欠陥が回復されることがわかった。このことから、450°Cアニール処理がIET形成に最も適していることがわかった。

また、発光線の同定およびアニール温度による発光位置の変化から形成機構を考察した。注入により空孔欠陥およびクラスター状の原子間位置欠陥が形成され、温度上昇と共にクラスターサイズが変化、空孔位置にA1およびNが移動しペアが形成されるという原子動力的な描像を提示した(論文⑥)。

(3) IET 形成不純物の検討

これまでに利用してきたA1-Nペアに代わるIET形成不純物の可能性について検討を行った。過去には、共同研究を行う千葉大学のグループより理論計算がなされており、III-Nペア、II-0ペアについてIET準位が形成される可能性が指摘されていた。また、実験報告についてはBeやZnを導入した際に

IET準位が形成されることが報告されていた。

プロセスインテグレーションの観点からは、A1-Nと同様のプロセスで形成できることが望ましいが、今回検討したIII-N種およびII-0種においては、A1-Nに匹敵するIET準位由来の発光強度が観測されなかった。これは状態数が少ないことを示唆している。よって現段階ではA1-N不純物が最適と考えるが、他の不純物についても形成条件の最適化、およびプロセスインテグレーションの検討によって利用できる可能性がある種が複数確認された。

(4) TFET 特性ばらつき の検討

IET技術は従来のドナーおよびアクセプタに加えて、第3の不純物を導入する技術である。不純物ばらつきによる特性均一性への影響は微細MOSFETにおいて問題となった過去があるため、IETによる特性ばらつきの増大が懸念される。

本研究においては、特性ばらつきについてIETの有無について比較した。その結果、IETを導入するとばらつきが低減するという結果が得られた。これは定式的に考えた場合、特性ばらつきの接合印加電界のばらつきに対する感度係数がトンネル確率の関数となるため、高トンネル確率を実現すると感度係数が小さくなることに依っていると考えられる。そのため、IET技術は直感的には追加の不純物を導入することにより特性ばらつきが大きくなるように感じられるが、IET技術によって高いトンネル確率を実現され感度係数の低下によってそれを補償することで特性ばらつきが低減されたと考えられる。この成果は論文発表②および学会発表③・④において報告している。

この実験ではマクロスコピックな描像で理解を行ったが、微細TFETを試作した際にミクロスコピックな効果が発現する可能性は否定できず、今後の検討課題として残っている。

(5) IET-TFET のスピン量子ビット動作

IET-TFETがスピン量子ビットとして動作することを見だし、その動作に成功、10Kまでの動作温度を実現した。この成果は理研および物材機構との共同研究の成果となっている。IET準位が量子ドットとなり、スピン量子ビット動作が実現されたものである。

TFETを量子ビットとして用いるメリットは、従来のドナーおよびアクセプタに代わって、より深い準位であるIET準位に電気的にアクセス出来ることが挙げられる。これは束縛エネルギーが大きいため、高温動作に繋がる。また、高温動作時にはトンネル電流以外の電流成分により動作が覆い隠される可能性があるが、TFETは本質的にトンネル電流のみが流れる素子であるため、これを回避できる。これらのメリットが相まって、高い動作温度が実現されたものと考えられる。今回実

現した動作温度は、電子素子型のスピン量子ビットとしては世界最高温度である。本姓かは現在論文を投稿中であり、学会発表⑩を行っている。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計6件)

①T. Mori, H. Asai, J. Hattori, K. Fukuda, S. Otsuka, Y. Morita, S. O'uchi, H. Fuketa, S. Migita, W. Mizubayashi, H. Ota, and T. Matsukawa

“Demonstrating Performance Improvement of Complementary TFET Circuits by I_{ON} Enhancement Based on Isoelectronic Trap Technology”

Technical Digest of International Electron Devices Meeting 2016, pp.512-515

DOI:10.1109/IEDM.2016.7838453

②T. Mori, S. Migita, K. Fukuda, H. Asai, Y. Morita, W. Mizubayashi, Y. Liu, S. O'uchi, H. Fuketa, S. Otsuka, T. Yasuda, M. Masahara, H. Ota, and T. Matsukawa

“Suppression of tunneling rate fluctuations in tunnel field-effect transistors by enhancing tunneling probability”

Japanese Journal of Applied Physics 56, 04CD02 (2017)

DOI: 10.7567/JJAP.56.04CD02

③森貴洋、浅井栄大、服部淳一、福田浩一、大塚慎太郎、森田行則、大内真一、更田裕司、右田真司、水林亘、太田裕之、松川貴

“等電子トラップ技術によるオン電流増大に伴う相補型トンネルトランジスタ回路の性能向上”

電子情報通信学会技術研究報告 116(448), 1-4 (2017)

④T. Mori, S. Iizuka, and T. Nakayama

“Material engineering for silicon tunnel field-effect transistors: isoelectronic trap technology”

MRS Communications 7, 541-550 (2017)

DOI: 10.1557/mrc.2017.63

⑤T. Mori, H. Asai, K. Fukuda, and T. Matsukawa

“Process and device integration for silicon tunnel FETs utilizing isoelectronic trap technology to enhance the ON current”

Japanese Journal of Applied Physics 57, 04FA04 (2018)

DOI:10.7567/JJAP.57.04FA04

⑥T. Mori, Y. Morita, and T. Matsukawa

“Effect of post-implantation annealing on Al-N isoelectronic trap formation in silicon: Al-N pair

formation and defect recovery mechanisms”

AIP Advances 8, 055024 (2018)

DOI: 10.1063/1.5030795

[学会発表] (計11件)

①T. Mori

“ON current boosting in Silicon-based Tunnel FETs Utilizing Isoelectronic Trap Technology”

2015 International Workshop on Dielectric Thin Films for Future Electron Devices (招待講演)

2015年

②T. Mori

“New ON current Boosting Technology in Silicon-based Tunnel Field-Effect Transistors Utilizing Isoelectronic Trap”

EMN Meeting on Field-Effect Transistors (招待講演)

2016年

③T. Mori, S. Migita, K. Fukuda, H. Asai, Y. Morita, W. Mizubayashi, Y. Liu, S. O'uchi, H. Fuketa, S. Otsuka, T. Yasuda, M. Masahara, H. Ota, and T. Matsukawa

“On the Variability of Tunnel Field-Effect Transistors: Suppression of BTBT Fluctuation by Tunneling Probability Enhancement”

International Conference on Solid State Devices and Materials 2016

2016年

④森貴洋、右田真司、福田浩一、浅井栄大、森田行則、水林亘、柳永勳、大内真一、更田裕司、大塚慎太郎、安田哲二、昌原明植、太田裕之、松川貴

“等電子トラップを導入した TFET のばらつき評価”

第77回応用物理学会秋季学術講演会

2016年

⑤T. Mori, H. Asai, J. Hattori, K. Fukuda, S. Otsuka, Y. Morita, S. O'uchi, H. Fuketa, S. Migita, W. Mizubayashi, H. Ota, and T. Matsukawa

“Demonstrating Performance Improvement of Complementary TFET Circuits by I_{ON} Enhancement Based on Isoelectronic Trap Technology”

International Electron Devices Meeting

2016年

⑥森貴洋

“等電子トラップ技術によるオン電流増大に伴う相補型トンネルトランジスタ回路の性能向上”

電子情報通信学会シリコン材料・デバイス研究会 (招待講演)

2017年

⑦森貴洋、浅井栄大、服部淳一、福田浩一、

大塚慎太郎、森田行則、大内真一、更田裕司、
右田真司、水林亘、太田裕之、松川貴
“等電子トラップ技術による相補型 TFET 回
路の特性向上”
第 64 回応用物理学会春季学術講演会
2017 年

⑧ T. Mori

“ON Current Boosting Technology for Si-based
Tunnel Field-Effect Transistors Utilizing
Isoelectronic Trap”
2017 MRS Spring Meeting (招待講演)
2017 年

⑨ T. Mori, H. Asai, and T. Matsukawa

“Improvement of Device and Circuit
Performance of Si-based Tunnel Field-Effect
Transistors by Utilizing Isoelectronic Trap
Technology”
2017 International Conference on Solid State
Devices and Materials (招待講演)
2017 年

⑩ T. Mori

“ON-current boosting technology for silicon
tunnel field-effect transistors”
NANOTECH Malaysia 2018 (招待講演)
2018 年

⑪ 森貴洋、森山悟士、松川貴、安田哲二、大
野圭司
“シリコントンネルトランジスタのスピン量
子ビット応用”
第 65 回応用物理学会春季学術講演会
2018 年

[その他]

ホームページ

<https://staff.aist.go.jp/mori-takahiro/>

6. 研究組織

(1) 研究代表者

森 貴洋 (MORI, Takahiro)

産業技術総合研究所・エレクトロニクス・製
造領域・主任研究員

研究者番号：70443041