

令和元年5月30日現在

機関番号：12608

研究種目：基盤研究(S)

研究期間：2015～2018

課題番号：15H05763

研究課題名(和文) オンチップ光配線のための超低消費電力半導体薄膜光回路の構築

研究課題名(英文) Creation of Ultra-low Power-consumption Semiconductor Membrane Photonic Integrated Circuits toward On-chip Optical Interconnections

研究代表者

荒井 滋久 (Arai, Shigehisa)

東京工業大学・科学技術創成研究院・教授

研究者番号：30151137

交付決定額(研究期間全体)：(直接経費) 156,000,000円

研究成果の概要(和文)：集積回路を高速動作化する際に金属配線での消費電力が急増する金属配線ボトルネック問題を解決することを目的として、超高速信号を光信号に替えて伝送するための低消費電力光デバイス実現とその光回路化を目指した研究を行った。研究代表者が提案した半導体薄膜構造を用いることにより、光ファイバ通信に用いられているレーザより1桁低い低消費電力で超高速動作する半導体レーザ源および光検出器を実現することに成功した。

研究成果の学術的意義や社会的意義

考案した半導体レーザ薄膜構造が、現在ファイバ通信に実用化されている半導体レーザより1桁低い消費電力で毎秒20ギガビットの超高速直接変調動作が可能であることを実証すると共に、同様の半導体薄膜構造の光検出器の実現と集積化を達成したものであり、超高速動作可能な超低消費電力光集積回路の可能性を切り開いたものとして学術的意義は深く、高性能化が要望される集積回路への応用可能性を示した点で社会的意義を有している。

研究成果の概要(英文)： We investigated ultralow-power consumption photonics devices and their integrations aiming at optical interconnections in Si-LSI circuits since the power consumption in metal wires will be bottleneck of high-speed operation in future. As the results, we successfully realized semiconductor lasers based on semiconductor membrane structure of our proposal and demonstrated high-speed and ultralow-power consumption operation, i.e. almost an order of magnitude lower than that of semiconductor lasers used in optical fiber communications. Moreover, photodiodes based on the semiconductor membrane structure were realized and an integration with the membrane laser was also demonstrated.

研究分野：電気電子工学、電子デバイス・電子機器

キーワード：光デバイス 光回路 半導体薄膜光デバイス 低消費電力光デバイス 光配線

## 様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

### 1. 研究開始当初の背景

Si-LSI の歴史は、スケーリングという概念に基づく技術進化の歴史である。ムーアの法則の長期的維持のため、半導体技術ロードマップ (International Technology Roadmap for Semiconductors: ITRS) が作成され、それに従った微細化によりトランジスタは年々進化を遂げてきた。ITRS によれば 2022 年までにチップ容量は 1Tbit に達し、トランジスタのゲート長は 4.5nm 程度まで小さくなると予想されている。このような現状において、SoC (System on Chip) に代表される一括機能集積は、プロセッサの処理能力や消費電力を大幅に改善させるが、同時に金属配線における RC 遅延がシステム全体を制限する (「配線ボトルネック」)。

この問題をクリアすべく電子回路における様々な方法が考案されている一方、「光」を用いた全く別のアプローチも試みられている。光による超高速伝送は、金属配線で見られるような伝送遅延・電磁波干渉などの問題が生じない上、多重化による大容量伝送の可能性があり、次世代の配線技術として期待が高まっている。光配線における指標としては、現状の電気配線の性能を鑑みたく、「光源」「光伝送路」「受光素子」の一連の光コンポーネントを LSI 上に構築し、信号伝送速度 10Gbit/s 以上、伝送パルスに対するエネルギーコスト 100fJ/bit 以下の低消費電力で信号伝送を行うことが必須とされていた。

### 2. 研究の目的

本研究ではこれらの課題を克服するため、半導体薄膜光集積回路 (Membrane Photonic Integrated Circuits; MPICs) を LSI 上にハイブリッド実装する技術を確認することを目的として行った。信号伝送速度 10Gbit/s 以上に対して 100fJ/bit という低エネルギーコスト動作を実現し、最終的には III-V 族化合物半導体の薄膜光集積回路を Si プラットフォーム上に構築して、集積回路の高速信号伝送のボトルネックとなる金属配線を光配線に置き換える技術の構築を目指すものである。本研究のポイントは III-V 族化合物半導体からなるコア層を薄膜 (Membrane) として形成し、その上下を低屈折材料 (SiO<sub>2</sub> または空気) によって、通常の半導体レーザ構造と比べておよそ 3 倍の高い光利得を得る構造を実現し、超小型・低消費電力動作に有用な光素子および光回路を目指すことにある。そこで、以下を達成することを目標として行った。

小型・低消費電力・高効率を達成しうる光源、受光器の設計と実現

要素デバイスを接続したシリコン基板上光集積回路の実現と低消費電力伝送の実証

CMOS 基板上への光回路集積方法、接続方法の確立と基本的な信号伝送の実現

### 3. 研究の方法

#### (1) 研究組織と役割分担

図 1 に当初計画した研究組織と役割分担を示す。上記で示した研究目標 ~ のうち、前半 2 年間では 要素技術の確立を目指し、半導体薄膜レーザおよび受光器の設計と実現、およびその低消費電力伝送実証を目標とし、後半 2 年間で主に の集積化に注力する計画で研究を推進した。

#### (2) 研究方法

東京工業大学グループでは、Si 基板上にポリマー (BCB) を介して接合する手法による半導体薄膜レーザおよび受光器の実現を目指し、NTT 研究所グループでは、Si 基板上に形成した SiO<sub>2</sub> に直接貼り付けする手法による半導体薄膜レーザおよび受光器の実現を目指した研究を行った。研究代表者である荒井滋久は研究の取りまとめとともに、「半導体薄膜レーザ」に関する設計・作製を主に担当し、「半導体薄膜受光器」は、分担者の松尾慎治と磁塚孝明、および雨宮智宏が、それぞれ別のアプローチで設計・作製を行い、それらの結果を鑑みて最終的に採用する素子を決定する方針で研究を行った。

当初の 2 年間の研究の結果、「半導体薄膜レーザ」に関しては分布反射型 (Distributed Reflector: DR) 構造の導入を行うと共に、これまでに実現してきた半導体薄膜 DFB レーザの特性上の問題点の要因解明に注力した。その結果、当初目的であった「信号伝送速度 10Gbit/s 以上に対して 100fJ/bit という低エネルギーコスト動作」が見込める低電流化および高速動作化が実現できたが、高速パルス変調による低エネルギーコスト動作実証が課題として残されたため、3 年目以降も引き続き「半導体薄膜レーザ」の研究を継続した。

「半導体薄膜受光器」については、小型化・高感度化を目的として、スローライト構造の導入および後端への分布反射器を導入する構造を提案し、素子長および周波数帯域について理論

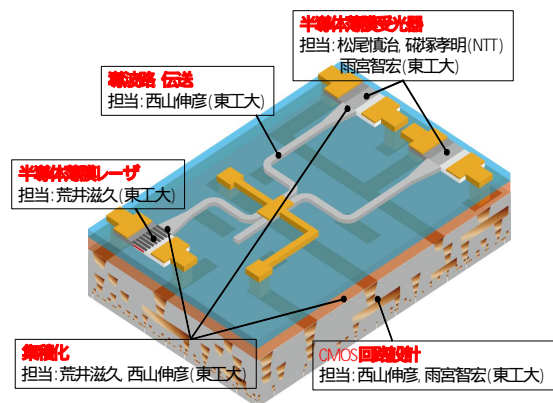


図 1 当初計画の素子概要と役割分担

解析を行うと共に、その実現のための研究を行った。

「集積化」については、Butt-jointed-built-in (BJB) 構造による半導体薄膜レーザと PIN 受光器との集積光リンクの作製を行い、10Gbit/s 以上の高速動作を実証したが、レーザおよび PIN 受光器も理論検討した構造より大きな素子のため、3 年目以降も小型化・高速化に向けた研究を継続した。

<H29 年の研究進捗評価>において、「当初目標に向けて順調に研究が進展しており、期待どおりの成果が見込まれるが、今後、これらの素子を CMOS 基板上に集積するための課題を克服し、研究目的の着実な達成を期待する。」とコメントされたが、基本素子の高性能動作実証および小型化を最重要と考え、CMOS 回路設計と CMOS 基板上への集積については断念した。

#### 4. 研究成果

##### (1) 半導体薄膜レーザ

低電流・高効率動作化：オンチップ光配線用光源には、低消費電力動作が要求され、許容される高速信号エネルギーとして 100 fJ/bit 以下が一つの指標とされていた。これは、「10Gbps 動作時においてピーク光出力を得るための消費電力は 1mW 以下」に相当する。

本研究では、その要求を満たす光源として、従来の薄膜分布帰還 (DFB) レーザの後方に分布ブラッグ反射器 (DBR) を集積した薄膜分布反射型 (DR) レーザ (図 2) を提案・実現し、室温連続動作下で低電流 (0.21 mA)・高効率 (前端面光出力に対する微分子子効率 32%) 動作を実現した (図 3、発表論文(3))。しきい値の高い素子では前端面光出力に対する微分子子効率 36%) および電力変換効率 14.6% の高効率動作を実現した (発表論文(9))。

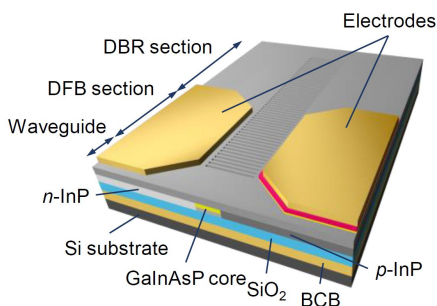


図 2 薄膜分布反射型レーザの構造

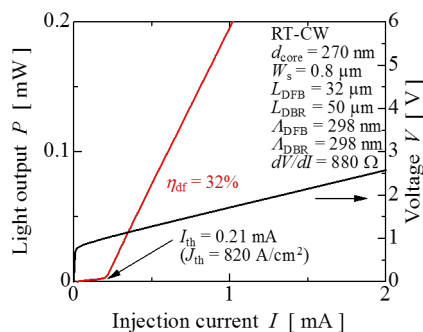


図 3 薄膜分布反射型レーザ光出力特性

高速変調動作化：2016 年に薄膜分布帰還 (DFB) レーザの直接変調を行い、1 mA のバイアス電流で 10 Gbit/s の高速変調動作を実証した。半導体レーザの直接変調上限を制限する緩和振動周波数は変調電流の平方根に比例し、これらの比例係数は変調電流効率 (Modulation current efficiency: MCEF) と呼ばれる。DFB 領域長 50  $\mu\text{m}$  の薄膜 DFB レーザではこの値は 11 GHz/mA<sup>1/2</sup> と通常の半導体レーザに比べて約 3 倍高く、低電流で高速変調が可能であることを実証した (発表論文 (10))。その後、後端側に DBR を集積することにより、DFB 領域を 32  $\mu\text{m}$  まで短縮しても低電流動作可能な薄膜分布反射型 (DR) レーザを作製することにより、変調電流効率を 12 GHz/mA<sup>1/2</sup> まで高めることに成功した (図 4、発表論文 (4))。

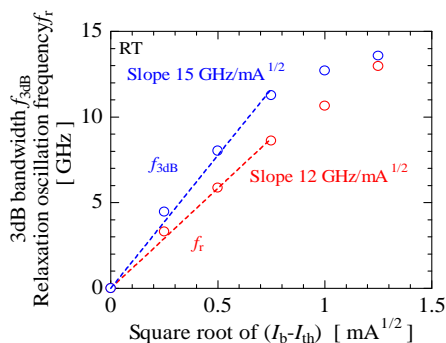


図 4 薄膜分布反射型レーザの緩和振動周波数と 3dB 遮断周波数の変調電流依存性

低エネルギーコスト動作実証：半導体レーザの高速変調時のエネルギーコストは投入電力を変調レートで規格化した値であり、発表論文(8)の素子では低電流・高速動作は実証できたが、素子に印加される電圧が 2.3 V と高く、10 Gbit/s 動作時のエネルギーコストは 230 fJ/bit であり、本研究申請時の最終目標値である「10 Gbit/s 以上の高速動作時のエネルギーコスト 100 fJ/bit 以下」の倍以上となっていた。この動作電圧を低減する目的で、素子構造を再検討した結果、活性層から p 形電極までの距離が約 3  $\mu\text{m}$  と長いことに起因する抵抗成分の影響と考えられ、これを 1.6  $\mu\text{m}$  に短縮した薄膜分布反射型 (DR) レーザを作製した。その結果、1.06 mA のバイアス電流時にバイアス電圧 1.76 V で、20

Gbit/s の高速動作が得られ、エネルギーコストを 93 fJ/bit に低減することに成功した。図 5 には、20 Gbit/s の変調時のビット誤り率の平均受信光電力依存性とアイパターンを示す (図 5、発表論文(4))。

Si 上の SiO<sub>2</sub> に直接貼り付けする手法で研究を進めている NTT グループにおいても、DFB 領域長 75 μm の薄膜分布反射型 (DR) レーザを作製し、25.8 Gbit/s の高速動作および 97 fJ/bit の低エネルギーコスト動作に成功した (発表論文(5))。

以上より、半導体薄膜レーザに関しては、本研究の当初目標として掲げた超高速・低エネルギーコスト動作を実証することに成功したものと考える。

## (2) 半導体薄膜受光器

超小型化素子の理論解析：レーザの短共振器化と併せて受光器の短縮化を目的として、フォトリソニック結晶構造を受光器の両側に構成し、スローライト効果を用いる素子構造の特性を理論解析した。空孔周期、空孔径をそれぞれ 420 nm、230 nm に設定すれば、1.55 μm 帯における群屈折率を最大で 35 程度にでき、8 列以上の空孔列があれば散乱損失が十分に抑えられ、素子長は 5.5 μm まで短縮可能であることがわかった (発表論文(7))。

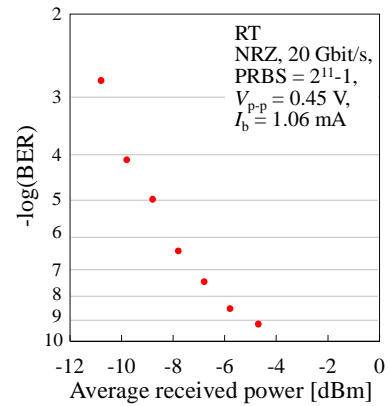
高速動作素子の実現：超高速受光器として図 2

に示した薄膜 DR レーザと同じ層構造を有する PIN 受光器を作製し、その高速動作特性を評価した結果、素子長 30 μm で受光感度 0.95 A/W およびバイアス電圧 -3 V における 3 dB 遮断周波数 13.3 GHz が得られた (図 6、発表論文(3))。10 Gbit/s の信号に対してビット誤り率 10<sup>-9</sup> を得るための平均受光強度は -13 dBm で、20 Gbit/s に対しては -10 dBm となり、当初予想していた水準の受光器性能が得られた。

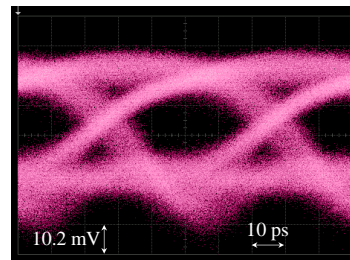
## (3) 半導体薄膜レーザと半導体薄膜受光器の集積化

各素子単体の低電流・高効率動作に加えて、実際に「半導体薄膜レーザ」「光導波路」および「PIN 型薄膜受光器」を Butt-jointed built-in (BJB) 集積構造を用いて集積した光リンクを作製した。その結果、3dB 帯域 11.3 GHz と伝送速度 10 Gbit/s での信号伝送を得ることに成功した (発表論文(7))。

図 7 に作製した素子の光学顕微鏡写真を示す。共振器長 80 μm の薄膜 DFB レーザと素子長 200 μm の PIN-PD を長さ 500 μm の BJB 集積導波路で接続した。へき開端面側から測定した DFB レーザの光出力特性、レーザ注入電流に対する PIN-PD の光電流特性の両方に対して評価を行った結果、しきい値電流は 0.48 mA、レーザ注入電流 3.5 mA のとき最大光電流 158 μA が得られた。



(a)



(b)

図 5 薄膜分布反射型レーザの 20 Gbit/s 変調時の (a) ビット誤り率の受信光電力依存性と (b) アイパターン

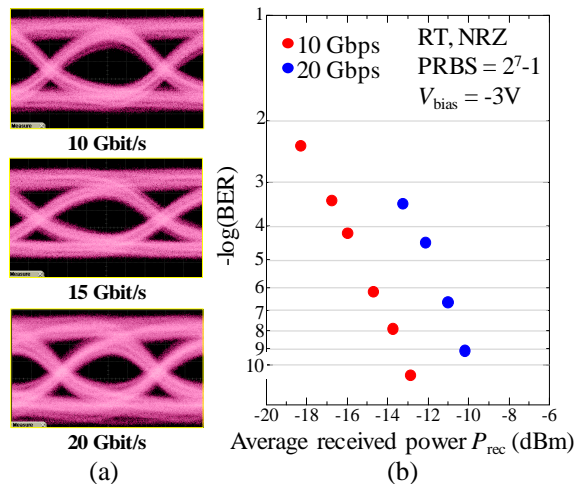


図 6 半導体薄膜受光器のアイパターンとビット誤り率の受光強度依存性

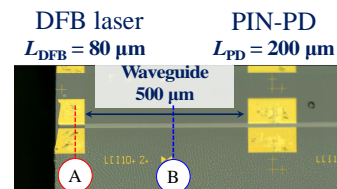


図 7 薄膜光集積回路 (光リンク) の素子構造

図 8 は作製した光リンク全体の小信号応答のレーザバイアス電流依存性を測定した結果を示す (PIN-PD のバイアス電圧は  $-3\text{ V}$  とした)。レーザバイアス電流  $2.73\text{ mA}$  の時、 $3\text{ dB}$  帯域  $11.3\text{ GHz}$  が得られた。緩和振動周波数から求めたレーザの変調効率は  $7.2\text{ GHz/mA}^{1/2}$  であった。最終的に、 $10\text{ Gbit/s}$ 、NRZ 信号を光リンクで伝送し、明確なアイ開口とビット誤り率  $6 \times 10^{-7}$  を得た。ここで用いた半導体薄膜 DFB レーザの変調効率は  $11\text{ GHz/mA}^{1/2}$  であり、 $10\text{ Gbit/s}$ 、NRZ 信号伝送に対して  $\text{BER} < 10^{-9}$  の良好な値が得られていることを確認した。

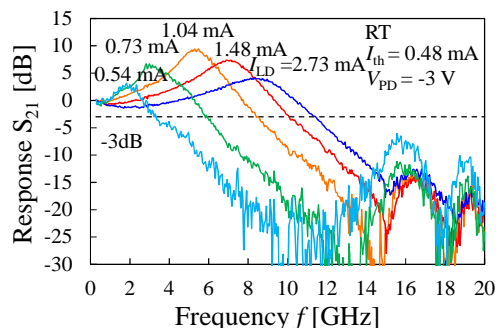


図 8 光リンクにおける小信号応答

〔研究目的の達成状況〕

以上に説明したように、当初目標としていた 小型・低消費電力・高効率を達成しうる光源、受光器の設計と実現については、ほぼ達成した。 については、要素デバイスを接続したシリコン基板上光集積回路の実現は達成したが、その光リンクにおける消費電力の低減化はまだ十分ではなく、達成度は 7 割程度と考える。 CMOS 回路設計と CMOS 基板上への集積については、Si および SIO 上への半導体薄膜素子の集積は達成したが、CMOS 回路設計とその上への集積は未達成であり、達成度は 4 割程度と考える。全体として、達成度は当初目標の 7 割程度と考える。

5 . 主な発表論文等

〔雑誌論文〕(以下を含めて計 47 件、全て査読有り)

- (1) X. Zheng, T. Amemiya, Z. Gu, K. Saito, N. Nishiyama, and S. Arai, “Design of GaInAs/InP membrane p-i-n photodiodes with back-end distributed Bragg reflector,” Journal of Optical Society of America B, Vol. 36, No. 4, pp. 1054-1061 (2019). DOI: 10.1364/JOSAB.36.001054
- (2) S. Matsuo and T. Kakitsuka, “Low-operating-energy directly modulated lasers for short-distance optical interconnects,” Adv. Opt. and Photon., Vol. 10, No. 3, pp. 567-643 (2018). DOI: 10.1364/AOP.10.000567
- (3) Z. Gu, D. Inoue, T. Amemiya, N. Nishiyama, and S. Arai, “20-Gbps operation of membrane-based GaInAs/InP waveguide-type p-i-n photodiode bonded on Si substrate,” Appl. Phys. Express, Vol. 11, No. 2, 022102 (2018). DOI: 10.7567/APEX.11.022102
- (4) T. Tomiyasu, D. Inoue, T. Hiratani, K. Fukuda, N. Nakamura, T. Uryu, T. Amemiya, N. Nishiyama, and S. Arai, “20-Gbit/s direct modulation of GaInAsP/InP membrane distributed-reflector laser with an energy cost of less than 100 fJ/bit,” Appl. Phys. Express, Vol. 11, No. 1, 012704 (2018). DOI: 10.7567/APEX.11.012704
- (5) T. Fujii, K. Takeda, N.-P. Diamantopoulos, E. Kanno, K. Hasebe, H. Nishi, R. Nakao, T. Kakitsuka, and S. Matsuo, “Heterogeneously integrated membrane lasers on Si substrate for low operating energy optical links,” IEEE J. Sel. Top. Quantum Electron., Vol. 24, No. 1, 1500408, 2018. DOI: 10.1109/JSTQE.2017.2778510
- (6) Z. Gu, T. Uryu, N. Nakamura, D. Inoue, T. Amemiya, N. Nishiyama, and S. Arai, “On-chip membrane-based GaInAs/InP waveguide-type p-i-n photodiode fabricated on silicon substrate,” Appl. Optics, Vol. 56, No. 28, pp. 7841-7848 (2017). DOI: 10.1364/AO.56.007841
- (7) D. Inoue, T. Hiratani, K. Fukuda, T. Tomiyasu, Z. Gu, T. Amemiya, N. Nishiyama, and S. Arai, “Integrated optical link on Si substrate using membrane distributed-feedback laser and p-i-n photodiode,” IEEE Journal of Selected Topics in Quantum Electronics, Vol. 23, No. 6, 3700208 (2017). DOI: 10.1109/JSTQE.2017.2716184
- (8) T. Hiratani, D. Inoue, T. Tomiyasu, K. Fukuda, N. Nakamura, T. Amemiya, N. Nishiyama, and S. Arai, “High Efficiency Operation of GaInAsP/InP Membrane Distributed-Reflector Laser on Si,” IEEE Photonics Technology Letters, Vol. 29, No. 21, pp. 1832-1835 (2017). DOI: 10.1109/LPT.2017.2753263
- (9) D. Inoue, T. Hiratani, K. Fukuda, T. Tomiyasu, T. Amemiya, N. Nishiyama, and S. Arai, “Low-bias current 10 Gbit/s direct modulation of GaInAsP/InP membrane DFB laser on silicon,” Optics Express, Vol. 24, No. 16, pp. 18571-18579 (2016). DOI: 10.1364/OE.24.018571

〔学会発表〕(以下の国際会議招待講演を含めて計 249 件、うち国際会議 110 件、招待講演 28 件、うち国際会議 16 件)

- (1) S. Arai, N. Nishiyama, and T. Amemiya, “Low Threshold Current and High-speed Operation of Membrane Lasers,” IEEE Photonics Conference 2018 (IPC 2018), TuC3.1, Oct. 2018.
- (2) S. Arai, “Membrane DFB and DR Lasers for Low-power Consumption and High-speed

Operation,” SPIE Photonics Europe 2018, Apr. 2018.

- (3) S. Arai, “In-plane Semiconductor Membrane Lasers for Photonic Integrated Circuits,” The 25th IEEE International Semiconductor Laser Conference (ISLC 2016), TuA23, Sep. 2016.

〔図書〕(下記を含めて計 12 件)

- (1) S. Arai and T. Amemiya, “Semiconductor membrane lasers and photodiode on Si,” Semiconductors and Semimetals, Vol. 99, Chapter 4, pp. 71-95 (2018). DOI: 10.1016/bs.semsem.2018.07.002
- (2) 荒井 滋久, “半導体薄膜レーザとその集積化の現状,” 電子情報通信学会誌, Vol.102 No. 2 pp. 165-170 (2019).

〔産業財産権〕

出願状況(下記を含めて計 5 件)

名称: 光機能デバイスの制御方法および制御装置

発明者: 雨宮 智宏、田中 真琴、荒井 滋久

権利者: 東京工業大学

種類: 特許

番号: 特願 2019-1417

出願年: 2019 年

国内外の別: 国内

名称: 屈折率測定装置、ナノアンテナ装着基板、屈折率測定方法およびプログラム

発明者: 雨宮 智宏、各務 響、荒井 滋久

権利者: 東京工業大学

種類: 特許

番号: 特願 2018-103988

出願年: 2018 年

国内外の別: 国内

〔その他〕

ホームページ等: 和文 <http://www.pe.titech.ac.jp/AraiLab/index.html>

英文 <http://www.pe.titech.ac.jp/AraiLab/index-e.html>

## 6 . 研究組織

### (1)研究分担者

研究分担者氏名: 松尾 慎治

ローマ字氏名: MATSUO SHINJI

所属研究機関名: NTT 物性科学基礎研究所

部局名: ナノフォトンクスセンタ

職名: 上席特別研究員

研究者番号(8桁): 00590473

研究分担者氏名: 碓塚 孝明

ローマ字氏名: KAKITSUKA TAKAAKI

所属研究機関名: NTT 物性科学基礎研究所

部局名: ナノフォトンクスセンタ

職名: 主任研究員

研究者番号(8桁): 20522345

研究分担者氏名: 西山 伸彦

ローマ字氏名: NISHIYAMA NOBUHIKO

所属研究機関名: 東京工業大学

部局名: 工学院電気電子系

職名: 准教授

研究者番号(8桁): 80447531

研究分担者氏名: 雨宮 智宏

ローマ字氏名: AMEMIYA TOMOHIRO

所属研究機関名: 東京工業大学

部局名: 科学技術創成研究院

職名: 助教

研究者番号(8桁): 80551275