

科学研究費助成事業 研究成果報告書

平成 30 年 6 月 18 日現在

機関番号：14501

研究種目：基盤研究(C) (一般)

研究期間：2015～2017

課題番号：15K00078

研究課題名(和文) UNSATコアを活用した高性能論理診断手法とECOコスト削減への応用

研究課題名(英文) An Effective Error Diagnosis Technique Based on UNSAT cores and Its Application to Reduce Costs Needed for ECO's

研究代表者

沼 昌宏 (NUMA, MASAHIRO)

神戸大学・工学研究科・教授

研究者番号：60188787

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：BDD(二分決定グラフ)による論理関数表現と、SATソルバによる充足可能性判定を組み合わせ、ブール式が充足不能となる要因を示すUNSATコアを活用することで、多くの論理設計誤りを含む大規模回路に対して、短時間で効率よく修正解を求める高性能論理診断手法を提案するとともに、予め回路中に埋め込んだ再構成可能(RECON)セルを活用して配線層の変更のみで修正を実現することで、複雑な構造をもつ回路にも対応した柔軟性の高い論理診断・再合成システムを構築し、ECO(設計変更)コストの大幅な削減を実現した。

研究成果の概要(英文)：We have proposed and implemented an error diagnosis technique combining BDD-based functional approaches and a SAT-solver, which makes it possible to diagnose large scale circuits including a lot of logic design errors by making use of unsatisfiable (UNSAT) cores obtained by the SAT solver. In addition, we have applied it to a flexible incremental synthesis system employing RECON (reconfigurable) cells to fix ECO's (Engineering Change Orders) only by changing metal layer masks. The experimental results have shown that the proposed system is effective to reduce costs needed for ECO's on large circuits with complicated structures.

研究分野：集積回路設計工学

キーワード：論理診断 論理再合成 設計変更 SATソルバ 論理設計誤り UNSATコア

1. 研究開始当初の背景

LSI の大規模・複雑化にともない、設計期間の長期化、およびコストの増大が問題となっている。微細化が進む最先端の大規模なシステム LSI においては、マスク製造コストの合計が数億円～8 億円程度に及ぶとも言われている。大規模・複雑化によって、システムの仕様変更や設計ミスによる設計変更要求 (ECO: Engineering Change Orders) を避けることは困難となり、65% の LSI でマスク製造以降に発生する ECO によってリスピ、すなわち不具合によるマスク再設計が行われている。大規模な回路においては、システムの仕様変更や設計ミスによる ECO (論理修正) を避けることは困難である。とくに仕様設計段階における設計ミスは、各設計工程間の検証では発見できないため、マスク製造後に仕様変更が行われることも少なくない。そのため、仕様設計段階のミスを、物理設計レベルの修正で吸収する技術が強く望まれている。この技術が実用化されれば、修正に必要な時間および費用に関するコストを飛躍的に削減することが可能となる。

2. 研究の目的

大規模化・複雑化する LSI の設計変更要求 (ECO) に対応するべく、BDD (二分決定グラフ) による論理関数表現と、SAT ソルバによる充足可能性判定を組み合わせ、かつブール式が充足不能となる要因を示す「UNSAT コア」を活用することで、多くの論理設計誤りを含む大規模回路に対して、短時間で多くの修正解を求める高性能論理診断手法を提案する。さらに、その結果をもとに再構成可能 (RECON) セルを用いて配線層の変更のみによって修正を実現することで、大規模回路に対応した柔軟性の高い論理診断・再構成システムを構築し、ECO コストの大幅な削減を実現することを目的とする。

3. 研究の方法

研究代表者は、全体の総括に加えて BDD と SAT ソルバを併用しつつ、ブール式が充足不能となる要因となる部分式を示す UNSAT コアを活用して修正すべき箇所の集合を表す「組合せ箇所」を効果的に絞り込む論理診断手法の考案と改良を担当する。一方、研究分担者は、設計変更に対応した論理再合成部、

および RECON セルを用いたマスク再利用手法の考案・実現を担当した。考案・実現した手法の評価については両者が協力して行った。具体的には、下記に従って研究を進めた。

(1) UNSAT コアを活用した論理診断手法の考案と実現

本研究の核心部分である論理診断処理に関して、BDD と SAT ソルバを併用するとともに UNSAT コアを活用することで、修正すべき箇所の集合を表す組合せ箇所を効果的に絞り込む論理診断手法を考案・実現した。各手法の特徴を活かすことで、大規模で複雑な構造をもつ論理回路に対しても、効率よく論理診断処理が実現できることを確認した。

(2) 論理診断手法の改良

(1) で考案・実現した手法に対して、処理時間短縮と、ECO に対応する柔軟性向上のために多様な修正解を得ることを目的として、UNSAT コアを活用した論理診断手法に改良を加えた。

(3) 設計変更に対応した論理再合成部作成

(1)、(2) で考案・改良した手法に基づき、もともとなる機能仕様が変更された際に、すでに合成された回路に対する可能な限り少ない修正によってその変更を満足させる、仕様変更に対応した論理再合成手法を考案し、ソフトウェアとして実現した。

(4) 提案手法の評価と研究成果発表

開発した実験システムを用いた設計実験、ならびに実態調査によって得られた実際の設計誤りや設計変更に関する記録をもとに、種々の回路に対する設計誤りの自動診断・修正能力を評価するとともに、得られた成果を学会等で発表した。

4. 研究成果

(1) UNSAT コアを活用した論理診断手法の考案と実現

本研究の核心部分である論理診断処理に関して、BDD と SAT ソルバを併用するとともに、ブール式が充足不能となる要因となる部分式を示す UNSAT コアを活用して効果的に組合せ箇所を絞り込むことで、多くの論理設計誤りを含む大規模回路に対して、短時間で効率よく修正解を求める高性能論理診断

手法を考案・実現した。具体的には、まず形式的論理検証について、SAT ソルバを用いた充足可能性判定を行う。その結果、設計された論理回路に対して機能仕様との不一致が検出された場合は、論理診断処理を実行する。SAT ソルバを用いた充足可能性判定結果から不一致外部出力を抽出する一方で、UNSAT コアを活用して修正の必要がない部分回路を除外することで、診断対象とすべき部分回路を抽出する。誤り追跡入力の生成や最終的な機能修正など、多くの外部入力変数を扱う必要のある処理には SAT ソルバを用いるが、真理値シミュレーションのように、外部入力のほとんどが定数 (0 or 1) で、修正箇所に対応する真理値変数のみを扱う場合には、真理値変数に関する制約条件をグラフ形式で陰に表現できる BDD を適用した。考案・実現した論理診断手法によって、1 万ゲート規模の論理回路に対しても効率よく論理診断処理が実現できることを確認した。

(2) 論理診断手法の改良

(1) で考案・実現した手法に対して、多くの論理設計誤りを含む大規模回路に対して、短時間で効率よく修正解を求めることが可能となるような改良を加えた。具体的には、誤り可能性の指標：EPI (Error Possibility Index) に基づく組合せ箇所の抽出に関して、以前は EPI を設定した各 EPI グループ単位で、組合せ箇所に含まれる各箇所に与えられた EPI の和が 1 以上となる場合だけ組合せ箇所の候補として抽出していたが、多重度 (組合せ箇所に含まれる箇所の数) の増加に伴って候補として抽出される組合せ箇所数が増加する点が問題となっていた。そこで、着目する不一致外部出力や適用する誤り追跡入力の異なる複数の EPI グループに対応して設定された EPI の平均値を用いて組合せ箇所の候補を抽出することで、回路例 10 例に対する平均で、処理時間を 99.17% 短縮する手法を提案していた。本研究においては、平均化に用いる EPI グループの選択に関して、平均化後の EPI グループによって抽出される組合せ箇所数を事前に見積もりつつ再選択を行うことで、組合せ箇所数を 60.3%、処理時間を 55.7% 削減する手法を考案・実現した。さらに、平均化後も比較的大きな EPI 値が残存する場合には、それらに含まれない箇所を活性化する誤り追跡入力を追加生成することで平均化 EPI の最大値を抑える手法を考案・実

現し、処理時間を 70~80% 短縮する効果を確認した。

また、UNSAT コアを用いた組合せ箇所抽出と EPI による組合せ箇所の絞り込みを併用することで、従来法では複雑な回路構造をもつために対応困難であった 16 ビット乗算回路についても組合せ箇所抽出が可能となる手法を考案・実現した。その結果、従来の EPI のみを用いた手法では、修正箇所数を表す多重度 3 の乗算回路では 20 例中 11 例、多重度 4 では 20 例すべてについて対応不可能であったが、新たな手法によってすべて対応可能となった。

(3) 設計変更に対応した論理再合成部作成

(1)、(2) で考案・改良した手法に基づき、もともとなる機能仕様が変更された際に、すでに合成された回路に対する可能な限り少ない修正によってその変更を満足させる、仕様変更に対応した論理再合成手法を考案し、ソフトウェアとして実現した。変更前の仕様に基づいて合成された回路が誤りを含むと考え、変更後の仕様を正しい機能とみなして論理診断・修正を行う。その結果、回路に対する最小の修正で、変更された仕様を満足することが可能となった。特に、予め埋め込んでおくべき再構成可能な RECON セルの種類 (2T/4T/6T) と数に関して、対象回路を用いた予備実験によって、適切な RECON 埋め込みセルの構成を決定する手法を考案・実現した。合計 500 例に対する実験の結果、従来はセルの再割当てが不能となる例が 7 例存在していたのに対して、改良した手法では 0 例となることが確認されるとともに、再合成による遅延増加を平均で約 28% 抑制する効果を確認した。

また、従来は RECON スペアセルをチップ上に均等配置していたが、配線混雑度と事前の論理再合成試行実験の結果をもとに、論理再合成後の遅延時間増加抑制に有効な RECON スペアセルの配置決定手法を考案・実現し、30%~75% の回路例について最大遅延時間短縮効果が確認された。

(4) 提案手法の評価と研究成果発表

開発した実験システムを用いた設計実験、ならびに実態調査によって得られた実際の設計誤りや設計変更に関する記録をもとに、種々の回路に対する設計誤りの自動診断・修正能力を評価した。その結果、BDD と SAT

ソルバを併用するとともに，UNSAT コアを活用した組合せ箇所の抽出・絞り込み処理の導入によって，(1)～(3) で述べたような論理診断手法の高性能化を実現できることを確認するとともに，その成果を国際会議等で発表した。

5 . 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

R. Matsuzuka, T. Hirose, Y. Shizuku, K. Shinonaga, N. Kuroki, and M. Numa, “An 80mV-to-1.8V Conversion-Range Low-Energy Level Shifter for Extremely Low-Voltage VLSIs,” IEEE Trans. Circuits Syst. I, Reg. Papers, 査読有, vol. 64, issue 8, pp. 2026-2035, Aug. 2017.

DOI: 10.1109/TCSI.2017.2682320

Y. Shizuku, T. Hirose, N. Kuroki, M. Numa, M. Okada, “An energy-efficient 24T flip-flop consisting of standard CMOS gates for ultra-low power digital VLSIs,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer, 査読有, vol. E98-A, no. 12, pp. 2600-2606, Dec. 2015.

DOI: 10.1587/transfun.E98.A.2600

[学会発表] (計 6 件)

A. Takezaki, S. Ohmura, N. Katayama, T. Hirose, N. Kuroki, and M. Numa, “An error diagnosis technique based on unsatisfiable cores to extract error locations sets,” The 21st Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2018), 査読有, pp. 81-86, Mar. 2018.

T. Sawai, A. Takezaki, T. Hirose, N. Kuroki, and M. Numa, “On component ratio of RECON spare cells for ECO-Friendly design style,” The 20th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI 2016), 査読有, pp. 205-210, Oct. 2016.

D. Murata, A. Kiriya, T. Hirose, N. Kuroki, and M. Numa, “A Hardware

Architecture to Perform K-means Clustering for Learning-Based Super-Resolution Combining Self-Learning and Prior-Learning Dictionaries,” The 20th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2016), 査読有, pp. 268-273, Oct. 2016.

A. Takezaki, T. Sawai, T. Hirose, N. Kuroki, and M. Numa, “An error diagnosis technique based on averaged EPI values to extract error locations sets,” The 20th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI 2016), 査読有, pp. 317-322, Oct. 2016.

村田大智, 切山亜弓, 雫 譲, 廣瀬哲也, 黒木修隆, 沼 昌宏, “自己学習型超解像に適用する K-means クラスタリング処理のハードウェアによる実現”, 第 14 回情報科学技術フォーラム (FIT2015), C-010, 2015 年 9 月.

R. Matsuzuka, T. Hirose, Y. Shizuku, N. Kuroki, and M. Numa, “A 0.19-V minimum input low energy level shifter for extremely low-voltage VLSIs,” in Proc. of International Symposium on Circuits and Systems (ISCAS), 査読有, pp. 2948-2951, Lisbon, Portugal, May 24-27, 2015.

6 . 研究組織

(1) 研究代表者

沼 昌宏 (NUMA MASAHIRO)

神戸大学・大学院工学研究科・教授

研究者番号 : 60188787

(2) 研究分担者

黒木 修隆 (KUROKI NUBUTAKA)

神戸大学・大学院工学研究科・准教授

研究者番号 : 90273763