

平成 30 年 6 月 19 日現在

機関番号：32657

研究種目：基盤研究(C) (一般)

研究期間：2015～2017

課題番号：15K00082

研究課題名(和文) 確率的手法を用いたTDC/ADC回路の最適設計とその設計自動化技術

研究課題名(英文) Design Optimization of Stochastic TDC/ADC and Its Design Automation Technique

研究代表者

小松 聡 (KOMATSU, Satoshi)

東京電機大学・工学部・教授

研究者番号：90334325

交付決定額(研究期間全体)：(直接経費) 3,500,000円

研究成果の概要(和文)：本研究では、LSIチップ上でのテストを目的とした、オンチップサンプラ回路の信号取得部分にあたるアナログ・デジタル変換器(ADC)と時間・デジタル変換器(TDC)について、確率的手法を用いた回路の回路最適化手法の確立を目指して研究を行った。
本研究では、確率的ADCの自動生成システムを提案した。提案システムは回路性能の設計パラメータ依存性を利用して回路を生成する。この自動生成フローは、デジタル設計フローで実現されるため、他のCMOSプロセスに簡単に移行である。

研究成果の概要(英文)：In this study, we have studied on the optimization method of stochastic TDC/ADC which are used for on-chip sampler circuits of on-chip testing.
We have proposed automatic generation system of the stochastic ADC. The system can generate a stochastic ADC considering circuit parameter dependence to the circuit performance. Since the automatic generation system is based on typical digital circuit design flow, it can be easily used in different CMOS processes.

研究分野：集積回路設計工学

キーワード：LSI設計技術 確率的ADC

1. 研究開始当初の背景

(1) 現在の高度情報化社会において、システム LSI は様々な用途に用いられ、必要不可欠な存在になっている。LSI のプロセス技術・デバイス技術の面から考えると、ムーアの法則に代表されるようにシリコン上のトランジスタ、金属配線などは年々微細化されており、CMOS 回路では 28nm や 22nm テクノロジーが広く実用的になり、14nm やさらに微細なテクノロジーも実現されつつある。このような極微細テクノロジーでは、より多くの回路素子、回路モジュールを 1 つのチップ上に搭載することが可能となり、デジタル回路、メモリ、アナログ回路、が混在する真のシステム LSI が実現可能である。また、動作速度の面でも、オンチップのクロック周波数の向上だけでなくチップ間通信の向上がシステム全体の性能向上のために必要不可欠となるため、高速チップ間通信回路がシステム LSI 上に実装されることが普通になると考えられる。このような状況下で、システム LSI の製造テストのためのコストが問題となっている。微細化が進むことでリソグラフィベースの製造工程では素子あたりのプロセスコストが低下するが、他方では素子数の増加にともなって製造テストのコストは上昇してしまうため、テストコストが LSI の製造コスト全体に占める割合が無視できなくなっている。また、システム LSI 内のアナログ回路に対するテストについては、デジタル回路向けのテスト手法をそのまま適用することは難しく、電圧や時間などのアナログ的な物理量の測定が必須となる。

(2) 本研究では、システム LSI の製造テスト、特にアナログ回路部分のテストに有効に活用することが可能な、確率的手法を用いた ADC (Analog-to-Digital Converter; アナログ・デジタル変換器)、TDC (Time-to-Digital Converter; 時間・デジタル変換器) について、回路最適化を行う手法の確立を目指す。近年、オンチップでの波形取得、アイ・ダイアグラム観測技術が提案されている。しかしながら、これらの回路は極微細プロセスにおいて顕著となっているプロセスばらつきによる影響が大きく、ばらつき補償回路が必要となるなど回路が複雑化してしまう。確率的手法を用いた ADC/TDC では、逆にばらつきを積極的に活用することで、極微細プロセスにおける有望な手法だと言える。図 1 に確率的 TDC では多数のアービタ回路を並列に配置し、それぞれに同一の 2 つの信号 S1, S2 を入力する。ばらつきが存在しない理想的な状態であれば、2 つの信号のうち、どちらが先に到着したかによって全てのアービタの出力が 0 あるいは 1 となる。しかし、ばらつきが存在する状況下では、2 つの信号が小さい時間差 ΔT で到着した場合、0 を出力するアービタと 1 を出力するアービタとに分かれる。したがって、ばらつきによって、アービタ入

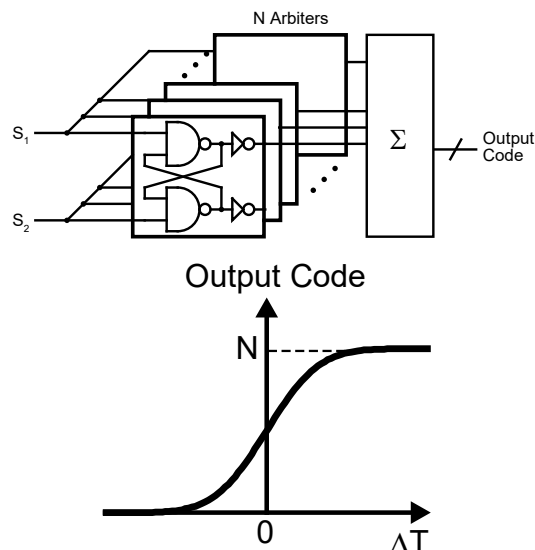


図 1. 確率的 TDC とその伝達関数

力に等価的に時間オフセットが挿入されることになる。その時間オフセットの分布から、2 つの信号の時間差の出力への伝達関数が決定される。逆に出力コードと時間差の関係を事前に求めてことで、時間からデジタル値への変換を行うことができる。同様に、アービタの代わりに電圧コンパレータ回路を利用することで、確率的 ADC を実現できる。確率的 ADC/TDC では極めて小さなプロセスばらつきを利用するため、分解能を非常に高くすることが可能であるため、近年では多くの研究が行われている。

2. 研究の目的

本研究では、確率的 ADC/TDC について、従来のように性能を高めることのみを目的とするのではなく、アービタ(あるいはコンパレータ)の数、回路内のトランジスタサイズ、などをパラメータとして、アナログ信号入力をデジタル値へと変換する際の性能への影響を理論的なアプローチと回路の評価結果の両方の観点から解析および評価を行い、回路面積、消費電力、分解能などの観点から回路最適化手法を確立することを目指す。また、そのような評価結果をベースとして、確率的 ADC/TDC の自動生成システムを構築し、設計効率向上のための一助となることを目指す。

3. 研究の方法

本研究では、大きくわけて以下のような項目について研究を行った。

(1) 想定する確率的 TDC/ADC での、様々な設計パラメータの性能、回路面積、消費電力への影響の解析とシミュレーションによる評価

本研究では、回路性能(電圧分解能、時間分解能など)、回路面積、消費電力などに対して、確率的 ADC/TDC の各パラメータが与える

影響を評価指標として、確率的 ADC/TDC の回路最適化を行うことを目的としている。従来、確率的手法においても ADC/TDC を設計する際には、性能が最も重要な要素であったが、オンチップテスト向けには要求される性能を実現しつつ回路面積・消費電力といった小さい回路が望まれる。各パラメータによる性能、回路面積、消費電力への影響の解析を行った。

(2) 確率的 ADC/TDC 回路の自動生成システムの構築

(1) の解析結果をもとに、プロセスパラメータ、ADC/TDC 回路への要求性能と面積などの設計制約をもとに、最適な ADC/TDC 回路の自動生成システム構築を行った。

(3) 実 LSI チップにおける評価

提案手法による最適な ADC/TDC 自動生成システムを用いた確率的 ADC/TDC 回路アーキテクチャの最適化について、実際の LSI チップを用いて評価を行い、提案手法の有効性を示すデータをより確固としたものとするを行った。

4. 研究成果

確率的 ADC の回路性能は、コンパレータの構成、その数、参照電圧などの設計パラメータに影響される。このことから、回路性能は設計パラメータに依存していると考えられることができる。自動生成システムは、データライブラリに設計パラメータを変化したときの回路特性や回路性能を保存しておき、最適化アルゴリズムがデータライブラリを参照することによって、要求仕様を満たす回路を生成する。

(1) 回路性能の設計パラメータ依存性

確率的 ADC はコンパレータの数によって、ビット数と分解能を制御することが可能である。動作周波数はコンパレータの種類や参照電圧、加算器のパイプラインの段数で制御することが可能である。そして、入力範囲はコンパレータの種類、論理ゲートのサイズ、そして参照電圧を変更することで制御することが可能である。例えば、今回用いた NAND ベースのコンパレータは論理ゲートのサイズと参照電圧を変更することで、オフセット電圧の標準偏差の大きさを制御することができる(図 2)。広い入力範囲を得たければ、最小サイズの論理ゲートを用い、参照電圧は高くすればよい。オフセット電圧の標準偏差だけでなく、動作周波数、消費電力といった回路特性を変化することができる。このような回路性能の設計パラメータ依存性をデータライブラリに保存しておく。データライブラリには、各スタンダードセルの面積、数種類のコンパレータとその回路特性、加算器のパイプラインの段数に対する加算器の回路特性などが保存される

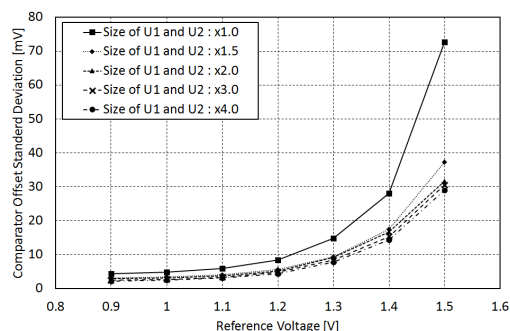


図 2. NAND ベースのコンパレータの参照電圧に対するオフセット電圧標準偏差。U1,U2 のサイズを x1.0,x1.5,x2.0,x3.0,x4.0 と変えることによって、オフセット電圧の標準偏差を小さくすることができる。

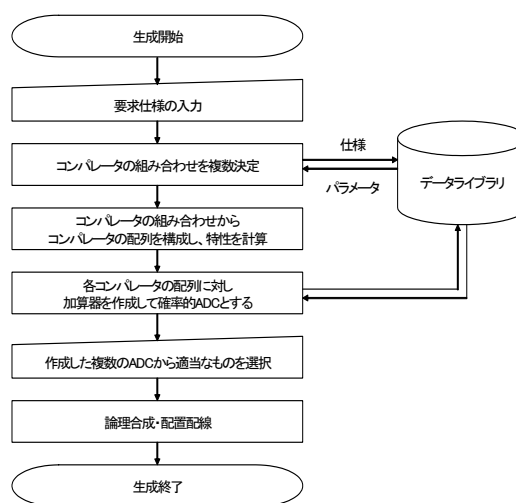


図 3. 回路自動生成フロー

(2) 自動生成システムの構造

自動生成システムは、要求仕様を満たすいくつかの候補を提示するようになっている。設計者はその中から最適な回路を選択し、その後、自動で論理合成、配置配線を行う。要求仕様として入力できるパラメータは、入力範囲 (peak-to-peak)、有効ビット数または全体のビット数、動作周波数 (sampling rate)、許容できる入力範囲の誤差率、同じく許容できる有効ビット数の誤差率である。参照電圧の数は 2 とした。回路面積は、要求仕様を満たす回路で最小のものが提示されるようにした。入力範囲または、有効ビット数の仕様を与えないと、それ以外の仕様を満たしつつ、その性能を最大化するように回路を生成する。自動生成のフローを図 3 に示す。最初に、コンパレータの選択を行う。コンパレータグループは 2 つなので、2 つのコンパレータの組み合わせと参照電圧を動作周波数や入力範囲から決定する。次に、決定したコンパレータの組み合わせから、コンパレータアレイを作成する。全体のコンパレータ数は次式で決定する。

$$n = 4^{ENOB-1} \text{ or } n = 2^{N-1} \quad (1)$$

続いて、各コンパレータグループのコンパレータ数を決定する。オフセット電圧の標準偏差はそれぞれのグループで異なるため、コンパレータ数を均等に分けると線形性が悪くなる。そこで、すべてのコンパレータグループで同じ分解能を得るようにコンパレータ数を調整する。各コンパレータグループのコンパレータ数は次式で決定する。

$$n_i = \sigma_i / \sigma_l + \sigma_2 * n \quad (2)$$

m はコンパレータグループ数であり、今回は m=2 である。次に、作成したコンパレータアレイの理論的な特性を計算する。理論的な伝達特性が要求仕様を満たしていれば、加算器を作成して確率的 ADC とする。最後に、論理合成、配置配線を行い、生成終了となる。

(3) 実験結果

データライブラリには ROHM 0.18um CMOS process のスタンダードセルを用いてコンパレータや加算器を設計し、回路特性を保存した。シミュレーションには HSPICE のモンテカルロシミュレーションを行った。提案する自動生成システムを用いて確率的 ADC を生成した。実験環境は、プロセッサ intel(R) Xeon(R) CPU E5-1680 v3、クロック

表 1. 生成可能な回路の最大スペック

入力レンジ	250 mVpp (differential)
ビット数	12 bit
ENOB	7.35 bit
最大周波数	1.25 GHz

表 2. 生成された確率的 ADC その 1

	要求仕様	生成結果
入力レンジ[mVpp - diff]	10	10
ビット数	8	8
ENOB	4.00	4.04
周波数 [MHz]	500	574
面積 [mm^2]		0.059

表 3. 生成された確率的 ADC その 2

	要求仕様	生成結果
入力レンジ[mVpp - diff]	100	100
ビット数	12	12
ENOB	6.00	6.26
周波数 [MHz]	900	966
面積 [mm^2]		1.01

ク 3.2 GHz、メモリ 64 GB となっている。回路生成に要した時間は最大で 42 s、平均 25 s となった。データライブラリと実験結果から、この自動生成システムで生成できる回路性能の上限は、表 1 の通りとなった。ENOB は INL, DNL エラーがない入力範囲から算出した。生成した回路の例を表 2, 3 に示す。この結果は論理合成、配置配線を行う前の理論的な回路特性である。生成回路の性能は、要求仕様を満たしている。ここに示す例だけでなく、様々な要求に対して回路を自動で生成可能である。シミュレーション結果によっては要求仕様を満たせない場合があるかもしれないが、その場合はマージンを設ければよいので、簡単に再生成することができる。また、様々な性能の回路を生成し、その特性を記録しておくことで、設計時に回路性能を見積もることも可能である。

(4) まとめ

本稿は、確率的手法を用いた ADC の自動生成システムを提案した。従来のコンパレータ回路に加え、新たに NOR ベースのコンパレータと非対称コンパレータを提案することで、設計柔軟性を高めた。自動生成システムは回路性能の設計パラメータ依存性を利用して回路を生成する。確率的 ADC の回路性能はコンパレータの数や参照電圧で制御することができる。コンパレータとコンパレータアレイを最適化することによって、要求仕様を満たす特性を実現する。要求仕様を満たす回路は複数生成され、設計者は最適な回路を選択できる。確率的 ADC はデジタル設計フローで実現されるため、他の CMOS プロセスに簡単に移行できる。

(5) 謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し、日本シノプシス合同会社、日本ケイデンス・デザイン・システムズ社、メンター・グラフィックス・ジャパン株式会社、ローム株式会社および凸版印刷株式会社の協力で行われたものである。

5. 主な発表論文等

[学会発表] (計 9 件)

- ① 川島三明, 小松聡, ” オンチップ・オシロスコープ向け広帯域 S/H 回路の設計,” 電子情報通信学会 2016 年総合大会, C12-20, 2016 年 3 月.
- ② 湯本涼介, 小松聡, ” スタンダードセルのみを用いたアナログ参照電圧不要の確率的 Flash A/D 変換器,” 電子情報通信学会 2016 年総合大会, C-12-19, 2016 年 3 月.
- ③ 湯本涼介, 小松聡, ” 確率的手法を用いた ADC 回路の最適設計とその設計自動化,” 電子情報通信学会 2017 年総合大会, C-12-22, 2017 年 3 月.

- ④ 齋藤匠, 小松聡, “低電圧動作レベルクロッシングADCのバックグラウンド校正,” 電子情報通信学会 2017 年総合大会, C-12-23, 2017 年 3 月.
- ⑤ 齋藤匠, 小松聡, “レベルクロッシングADCに向けたヒステリシスコンパレータとその校正手法,” LSI とシステムのワークショップ 2017, 2017 年 5 月.
- ⑥ 齋藤匠, 小松聡, “自己校正可能な低電圧電圧動作ヒステリシスコンパレータ,” デザインガイア 2017, 2017 年 11 月.
- ⑦ T. Saito, S. Komatsu, “A Low-Voltage Hysteresis Comparator for Low Power Applications,” 2017 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Dec. 2017.
- ⑧ 保坂啓介, 小松聡, “低消費電力 DLL 向け遅延セルの検討,” 電子情報通信学会 2018 年総合大会, C-12-28, 2018 年 3 月.
- ⑨ 齋藤匠, 小松聡, “低電圧レベルクロッシングADCの為のバックグラウンド校正可能なヒステリシスコンパレータ回路,” 電子情報通信学会 2018 年総合大会, C-12-32, 2018 年 3 月.

6. 研究組織

(1) 研究代表者

小松 聡 (KOMATSU, Satoshi)
東京電機大学・工学部・教授
研究者番号 : 90334325