

科学研究費助成事業 研究成果報告書

平成 30 年 6 月 12 日現在

機関番号：32660

研究種目：基盤研究(C) (一般)

研究期間：2015～2017

課題番号：15K05954

研究課題名(和文) ESD印加時における半導体デバイスの動的応答特性モデリング

研究課題名(英文) A Study on Dynamic Response Characteristics Modeling for ESD Protection Device

研究代表者

吉田 孝博 (Yoshida, Takahiro)

東京理科大学・工学部第二部電気工学科・准教授

研究者番号：10385544

交付決定額(研究期間全体)：(直接経費) 2,500,000円

研究成果の概要(和文)：電子機器の開発期間の短縮やコスト削減のために、メーカーの開発段階で、電子機器の静電気放電(ESD)による故障や誤動作への対策設計を支援するシミュレーション技術が求められている。そのため本研究では、機器に実装された状態でのESD保護素子の現実的な保護特性のモデリングを実現するため、ESD保護素子の応答特性をベクトルネットワークアナライザ(VNA)で測定し高周波回路シミュレータ上に反映して、ESD印加時の電氣的ストレスをシステムレベルでシミュレーションする手法を開発した。さらに、モデリング精度を高めることで、同等の仕様を持つ異種のESD保護素子の特性の差異が表現できた。

研究成果の概要(英文)： For shorter development period and cost savings in electronic equipment development process, ESD stress simulation technology for countermeasure to breakdowns and malfunctions caused by ESD on the development process is needed strongly.

Therefore, in this study, circuit simulation technology which can consider the response characteristics of ESD protection devices had been developed. This methods can measure characteristics of ESD protection devices by vector network analyzer and can simulate system-level ESD stress with ESD protection device on radio frequency electrical circuit simulator.

We had also improved precision of the modeling method. This method realized that the characteristics between the different ESD protection devices with quite similar specification could be expressed by our modeling method.

研究分野：静電気放電、環境電磁工学、センシング信号処理

キーワード：静電気放電 ESD保護素子 回路シミュレーション

1. 研究開始当初の背景

電子機器開発の1つの重要なプロセスである静電気放電(ESD)耐性の評価・改善プロセスでは、ESD試験器により試作機にESDを印加してその結果をふまえて設計変更やESD保護素子の追加などのESD対策を施すサイクルを繰り返すため、試作コストの増加や設計期間の長期化が課題である。そのため、試作コスト削減、設計期間短縮につながるシミュレーション技術の実現が望まれているため、これまで申請者らは、ESDが機器に加わった際に機器内部の半導体デバイスが受ける電氣的ストレスをシステムレベルで算出する連成解析手法の研究を行ってきた。

この提案手法の実用化にむけた課題の一つとして、実際の電子機器に多用されるTVSダイオード(Transient Voltage Suppressor)などのESD保護素子の、ESD印加時の動的応答特性のモデリング手法の確立が課題として残されていた。

2. 研究の目的

本研究は、これまで申請者らが研究を行ってきた、静電気放電(ESD)が機器に加わった際に機器内部の半導体デバイスが受けるESDによる電氣的ストレスをシステムレベルで算出する連成解析手法において、この手法の実用化に必要な、ESD印加時の半導体デバイス内のESD保護回路の動的応答特性のモデリング手法を開発する研究であり、本申請課題では以下2点が研究目的であった。

(1)ESD保護素子のESD印加時の動的応答特性のモデリング手法の確立

(2) 先行研究で開発したESDストレスの連成解析手法を用いて、本研究で得られたESD動的応答特性のモデリング精度の評価

3. 研究の方法

本研究では、以下の手順でESD保護素子のESD印加時の動的応答特性のモデリング手法の研究を進めた。

(1)ESD保護素子のベクトルネットワークアナライザ(VNA)による応答特性測定方法と、この手法で測定された応答特性をESDストレスシミュレーション時に反映してシステムレベルの連成解析を実現させる方法(回路構成)について、提案し開発する。

(2)これらの方法で得られるESD保護素子の動的応答特性のモデリング精度を、ESDストレスシミュレーションにより算出された応答波形(電圧波形)と、ESD保護素子にESDを印可した際の実測応答波形とを比較することで、モデリング精度を評価するとともに、問題点や双方の相違点を確認する。

(3)前項(2)で得られた問題点・相違点・精度を改善するため、高周波回路シミュレータ上でESDの放電電流を再現・生成する放電源モデルの再構築や、ESD保護素子の保護動作時におけるシミュレーション回路構成などの改良などを試行錯誤する。

4. 研究成果

本研究にて提案し開発・改良を行った、ESD保護素子のESD印加時の動的応答特性のモデリング手法を、ESD保護素子のVNAによる応答特性測定方法について(1)節に、ESDストレスシミュレーション時にESD保護素子の応答特性を反映させる方法(回路構成)について(2)節にて述べる。

また、これらの提案手法のモデリング精度の評価結果として、ESDストレスシミュレーションにより算出される電圧波形について実測の応答波形との比較を(3)節に示すとともに、類似した電氣的特性値(仕様)を持つ4種類のESD保護素子の特性の差異の表現可能性について(4)節に示す。

最後に(5)節では、得られた成果の国内外における位置づけとインパクト、今後の展望を述べる。

(1)ESD保護素子のVNAによる応答特性測定

本研究では、ESD保護素子の動作状態(オーバーストレスが加わった際の導通状態)・非動作状態それぞれの周波数応答のSパラメータ(通過特性 S_{21} ・ S_{12} 、反射特性 S_{11} ・ S_{22})を、図1に示すように、VNAとバイアスティ、直流安定化電源(DC電源)、電子負荷を用いて測定する方法を提案した。

動作状態の特性は、バイアスティで合成した、DC電源からESD保護素子に印加する直流電圧とVNAの測定交流信号の和が、ESD保護素子のブレイクダウン電圧を超える状態で測定している。

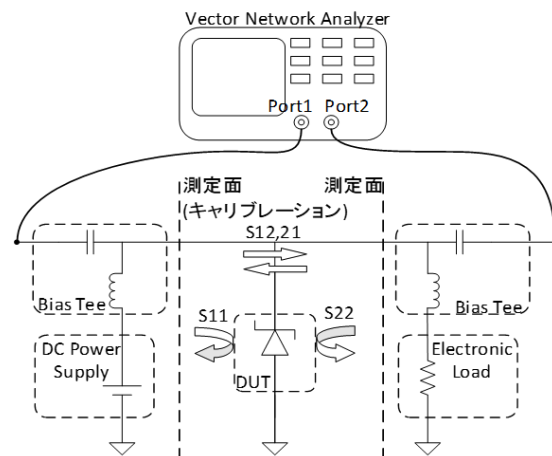


図1 ESD保護素子の動作状態・非動作状態の応答特性の測定方法

(2)ESDストレスシミュレーション時にESD保護素子の応答特性を反映させる回路構成

本研究では、Sパラメータとして測定したESD保護素子の応答特性をESDストレスシミュレーションに反映させるために、図2に示す回路構成を提案した。この回路構成では、ESDストレス印加時のESD保護素子の時間的な応答を以下の3つの動作状態の時間的遷移とみなし、各領域のリレーを順次切り替え

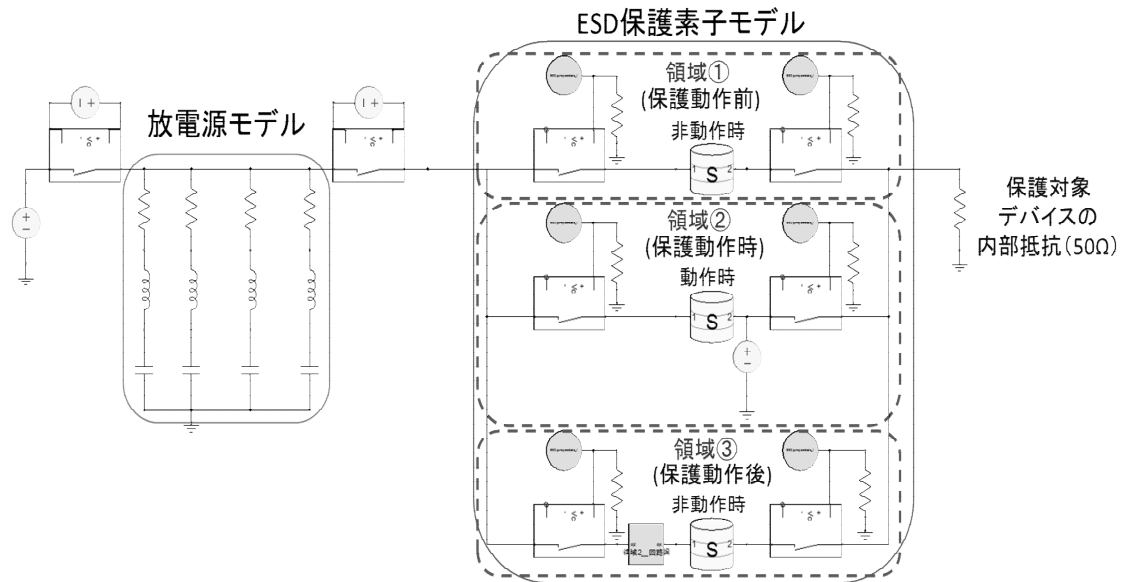


図2 ESD保護素子の特性を反映させたESDストレスシミュレーションの回路構成

ることで反映させる。

・領域 ...ESD ストレスが印加されてから ESD 保護素子が動作するまでの保護動作前の非動作状態を、非動作時の S パラメータで反映。

・領域 ...ESD 保護素子が動作状態となり、ESD ストレスがグラウンドにバイパスされ、クランプされている保護動作状態を、動作時の S パラメータと、クランプ電圧再現用の直流電圧源にて反映。

・領域 ...ESD ストレスの印加電圧がクランプ電圧以下になった後(保護動作終了後)の非動作状態を、前段階(領域)を通過した ESD ストレスを生成する、領域 と同等の特性を持つ回路網と非動作時の S パラメータを直列に接続して反映。

なお、領域 から領域 への切替は、領域 の電圧波形が ESD 保護素子のブレークダウン電圧を超えたタイミングとし、領域 から領域 への切替は、放電源モデルの電圧波形が ESD 保護素子のブレーク電圧以下になるタイミングとしている。

(3) ESD ストレスシミュレーションにより算出される電圧波形によるモデリング精度評価結果

ESD ガンで ESD 保護素子に ESD を印加した際の実測電圧波形に対して、本研究で開発した ESD ストレスシミュレーションによる電圧波形を比較し検証を行った。

ESD 印加時の応答波形の実測は、図 3 に示すように、S パラメータを実測した際に使用した TVS ダイオードとその実装用プリント基板に対して、ESD ガン(ノイズ研究所 ESS-2002EX, TC-815R)を用いて接触放電(+200V)を印加した際の ESD 応答波形を測定したものである。

実装用基板上の TVS ダイオードが並列に実装された線路の片端の SMA コネクタの中心コンタクトに ESD ガンの電極先端を接触させ、

ESD ガンのグラウンドリターンケーブルは実装用基板のグラウンド線路のパターンに直列接続した。また、他端の SMA コネクタには、20dB の同軸型 RF アッテネータ (Radiall 製、帯域 3GHz) を接続し、SMA/BNC 変換コネクタを介して、オシロスコープ (Tektronix TDS5104B, 帯域 1GHz, 50 入力) に接続して計測を行った。

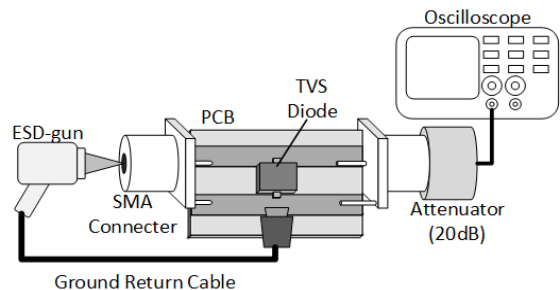


図3 ESD 印加時の TVS ダイオードの応答電圧波形の測定方法

一方、ESD ストレスシミュレーションによる電圧波形の算出は、前節(2)で述べた回路構成を用いて、高周波回路シミュレータ (Keysight Genesys) 上で行った。また、領域 ~領域 の各 S パラメータには、実測に用いた TVS ダイオードに対して前節(1)で述べた方法で測定した動作時・非動作時の S パラメータを用いた。保護対象デバイスの内部抵抗は、今回の実測条件に併せてオシロスコープの内部抵抗の 50 とした。

TVS ダイオードを実装した状態の実装用基板への ESD 印加時の応答波形と、本研究で開発し改良した回路構成によるシミュレーション結果を図 4 に示す。

図 4 より、シミュレートした電圧波形と ESD 印加時の実測電圧波形を比較すると、波形全体の概形はおおよそ正しくシミュレーションできていることが確認でき、本提案手

法の構造上の妥当性や、今後の可能性が十分に確認できた。しかし、領域において、ESD印加直後のわずかな短時間の振動成分はシミュレーションの方が2倍程度大きく発生し、クランプ電圧(約7V)に達するまでの間の電圧の立ち上がりも遅くなっている差異については、今後改良が必要である。なお、領域の立下りは120ns程度までは再現できているが、その後の傾きには差異が生じているが、これは使用した放電源モデルが今回の実測時の特性と異なる可能性が高いため、再度評価する必要がある。

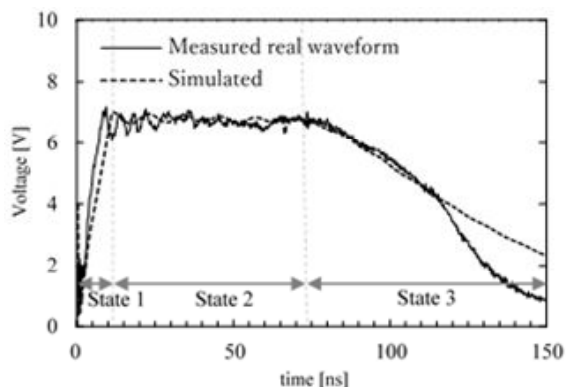


図4 ESD印加時のESD保護素子の実測応答波形と提案手法によるシミュレーション波形との比較

(4)同等の仕様を持つ4種類のESD保護素子の動作特性の差異の表現可能性に関する評価結果

提案手法の測定精度・分解能を評価するため、ESD保護特性に関係の深い電気的仕様の仕様値(ピークパルス電力・最小ブレイクダウン電圧・クランプ電圧)が同一もしくは類似している、半導体メーカーが異なる4種類のESD保護素子(TVSダイオード)に対して、(1)節で述べた提案手法を用いて動作時のESD保護素子の特性を測定した。

特性が類似した4種類のESD保護素子(TVSダイオード)の動作時の通過特性 S_{21} を図5に示す。この図より、保護動作時の周波数特性は、たとえ仕様が類似していてもESD保護素子の機種によって大きく異なることが表現できていることが確認できる。さらに、周波数帯によって減衰量が異なり、保護性能が異なっていることが判定できる。

これらの結果より、提案手法のモデリングの分解能が高いことが確認できた。

今後は、このSパラメータを用いてESDストレスシミュレーションを行い、実測波形と比較することで、提案手法の有効性をさらに詳細に確認してゆく。

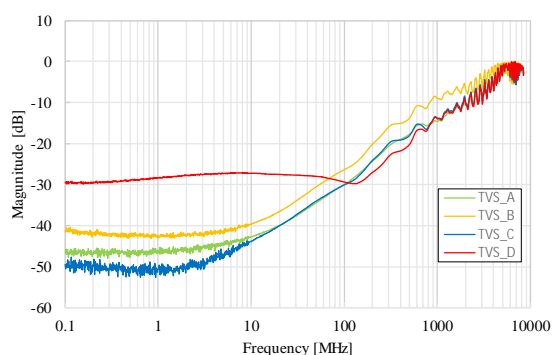


図5 特性が類似した4種類のESD保護素子(TVSダイオード)の動作時の通過特性 S_{21}

(5)得られた成果の国内外における位置づけとインパクト、今後の展望

本研究で提案・開発したESD動的応答特性のモデリング手法によるESDストレスシミュレーションは、既存のデバイス単体でのシミュレーションではなく、ESD耐性をESD保護素子を含めたシステムレベルでシミュレーションできる方法で実現した点が特色である。このようなモデリング技術は、本手法の他には見当たらない新規性の高い手法である。また、この提案手法および評価結果を国際会議APEMC2017にて大学院生と共著で発表したところ、Best student paper awardが授与されたことから、本研究成果の産業界・学会へのインパクトは高かったものと考えられる。

今後の展望として、まずは前節(3)と(4)で述べた課題を解決することで、ESD保護素子を含むシステムレベルのESDストレスシミュレーションを完成させたい。さらに次のステップとして、ICやLSI内部に実装されたESD保護回路に対するモデリング方法を開発することで、電子機器の開発現場で実用できるレベルのESDストレスシミュレーションの実現につなげてゆきたい。

<引用文献>

多ヶ谷修平, 吉田孝博, “VNAを用いたESD保護素子の応答特性モデリング手法に関する検討”, 静電気学会春期講演会, 1p-10, pp. 53-58, 2016
 木村伸弘, 吉田孝博, “静電気保護素子の応答特性を反映したESDストレスシミュレーションの精度改善”, 電気学会・電磁環境研究会, EMC-17-007, pp. 31-35, 2017
 Nobuhiro Kimura, Takahiro Yoshida, “A Study on Response Characteristics Modeling Method for ESD Protection Device by Vector Network Analyzer”, Proc. of APEMC2017, WE-PM-4-2, 2017
 Takahiro Yoshida, Manabu Endo, “A Study on ESD Protection Characteristic Difference Measurement of TVS Diodes by VNA”, Proc. of EMC Beijing 2017, 31TP2-2, 2017

5. 主な発表論文等

〔雑誌論文〕(計 0 件)

〔学会発表〕(計 4 件)

Takahiro Yoshida, Manabu Endo, “ A Study on ESD Protection Characteristic Difference Measurement of TVS Diodes by VNA ”, Proc. of 5th International Symposium on Electromagnetic Compatibility (EMC Beijing), 31TP2-2, 2017 [査読付プロシーディング]

Nobuhiro Kimura, Takahiro Yoshida, “ A Study on Response Characteristics Modeling Method for ESD Protection Device by Vector Network Analyzer ”, Proc. of 2017 Asia-Pacific International Symposium on Electromagnetic Compatibility (APEMC2017), WE-PM-4-2, 2017 [査読付プロシーディング]

木村伸弘, 吉田孝博, “ 静電気保護素子の応答特性を反映した ESD ストレスシミュレーションの精度改善 ”, 電気学会・電磁環境研究会, EMC-17-007, pp. 31-35, 2017

多ヶ谷修平, 吉田孝博, “ VNA を用いた ESD 保護素子の応答特性モデリング手法に関する検討 ”, 静電気学会春期講演会, 1p-10, pp. 53-58, 2016

〔図書〕(計 0 件)

〔産業財産権〕

出願状況 (計 0 件)

取得状況 (計 0 件)

〔その他〕

なし

6. 研究組織

(1) 研究代表者

吉田 孝博 (YOSHIDA, Takahiro)
東京理科大学工学部第二部・准教授
研究者番号：10385544

(2) 研究分担者

なし

(3) 連携研究者

なし

(4) 研究協力者

なし