

平成 30 年 5 月 28 日現在

機関番号：15401

研究種目：基盤研究(C) (一般)

研究期間：2015～2017

課題番号：15K06018

研究課題名(和文) トンネル電界効果トランジスタを用いた極低電圧シリコン光変調器の基礎検討

研究課題名(英文) Fundamental study of low drive voltage silicon optical modulator using tunnel field-effect transistor

研究代表者

田部井 哲夫 (Tetsuo, Tabei)

広島大学・ナノデバイス・バイオ融合科学研究所・特任准教授

研究者番号：40536124

交付決定額(研究期間全体)：(直接経費) 3,700,000円

研究成果の概要(和文)：シリコン光変調器の低消費電力化を目的として、低電圧駆動が可能なトンネル電界効果トランジスタを位相変調器として利用した低電圧駆動マッハツェンダ型シリコン光変調器の実現可能性を検討した。トンネルトランジスタはソース・チャネル間で電子のトンネルによって動作するトランジスタであり、本研究ではそれを光変調器に適用するための構造を提案し、それを作製するための簡便化したCMOS互換プロセスを検討した。試作したデバイスでは光変調を確認出来なかったが、SOI基板上的シリコントンネルトランジスタ作製プロセスにおける様々な課題を洗い出すことが出来た。

研究成果の概要(英文)：In order to reduce power consumption of a silicon optical modulator, a low voltage driven Mach-Zehnder type silicon optical modulator using a tunnel field-effect transistor as a phase shifter was studied. A tunnel field-effect transistor is a transistor operated by tunneling of electrons between source and channel. In this study, we proposed a structure for applying it to silicon optical modulator, and investigated a simplified CMOS compatible fabrication process. Although the optical modulation could not be confirmed with the prototype device, we could found out various problems and their solutions in the process of fabricating silicon tunnel field-effect transistors on the SOI substrate.

研究分野：半導体デバイス・プロセス工学

キーワード：シリコン光変調器 トンネル電界効果トランジスタ

### 1. 研究開始当初の背景

大規模集積回路 (Large Scale Integrated circuit, LSI) への光配線の導入や光回路の超小型集積化への応用を目的として、シリコンフォトニクスが注目されている。電気信号を光信号に変換する光変調器は光電子集積回路の重要な構成要素のひとつであり、シリコンベースのマッハツェンダ干渉計型やリング共振器型光変調器が研究されてきた。

チップ上光配線用のシリコン光変調器には微細な素子サイズ、高い消光比、低消費電力、高速変調、温度安定性等の多くの要求が課せられる。代表的な光変調器であるマッハツェンダ干渉計型 [1, 2] は 40Gbps 以上の高速変調が実現されている。素子サイズについても、従来は数 mm に及ぶことが欠点であったが、近年はフォトニック結晶を用いた長さ数百  $\mu\text{m}$  のデバイスが報告されている [3]。しかしながら駆動電圧は数 V に及び、消費電力の低減に関する積極的な研究はあまりない。

一方リング共振器型 [4, 5] は 10  $\mu\text{m}$  以下の微細な素子サイズが可能であり、駆動電圧も 1 V 程度のものが報告されている。しかし変調帯域が狭いことや温度変化に対して敏感であるため動作が不安定であるなどの課題があるため、近年は光変調素子としての研究は少なくなっている。

[1] A. Liu, et al., Nature **427**, p. 615 (2004).

[2] L. Liao, et al., Elect. Lett. **43**, p. 1196 (2007).

[3] H. C. Nguyen, et al., Opt. Exp. **19**, 13000 (2011)

[4] Q. Xu, et al., Nature **435**, p. 325 (2005).

[5] L. Chen, et al., Opt. Exp. **17**, 15248 (2009).

### 2. 研究の目的

チップ上光配線用シリコン光変調器の開発には、高消光比、高速変調に重点が置かれる一方、低消費電力化の積極的な研究はあまり見られない。シリコン光変調器では基本的にキャリアプラズマ効果による屈折率変化によって位相変調が行われるが、キャリア密度の制御には pn 接合ダイオードや MOS キャパシタ構造が使用されるのが一般的であり、それ以外の素子を利用することはなかなか難しい。そのことが極低消費電力シリコン光変調器の研究が少ないことの原因の一つと考えられる。

そこで本研究では、低電圧駆動が可能なトンネル電界効果トランジスタ (Tunnel Field-Effect Transistor, TFET) [1] を位相変調器として利用する、低電圧駆動マッハツェンダ型シリコン光変調器の実現可能性を検討する。TFET は、電子のトンネル効果を利用したトランジスタであり、従来の電界効果トランジスタ (Metal-Oxide-Semiconductor

Field-Effect Transistor, MOSFET) にあったサブスレッショルド係数の理論限界値 60mV/decade を超えたスイッチング特性を持つことから低消費電力化が期待されるトランジスタとして近年積極的に研究されている。最新の研究では 0.3V 以下の駆動電圧も報告されている。しかしながら TFET はトンネル効果を利用するため、従来の MOSFET よりも電流が小さいという課題がある。そのため大きな電流駆動力を得るために様々な素子構造の TFET が探索されている。電流密度はキャリアプラズマ効果にも大きく影響するため、本研究では素子構造の探索が重要な課題の一つと考えられる。以上のことを踏まえ、本研究では TFET による光の位相変調の確認及び、低電圧で効率良く光の位相変調が出来る構造の探索を主に行っていく。

[1] A. M. Ionescu and H. Riel, Nature **479**, p. 329 (2011)

### 3. 研究の方法

TFET はトンネル効果を利用した電界効果トランジスタであり、その断面構造及びバンド図を図 1 に示す。図 1 の TFET は p 型基板

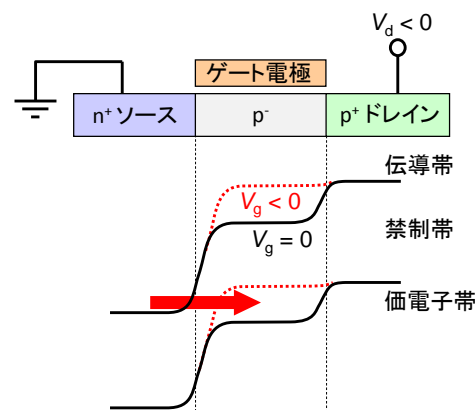


図 1 p チャネルトンネル電界効果トランジスタ (TFET) の断面構造とバンド図。

を利用した p チャネル TFET であり、n<sup>+</sup>ソースを接地し、p<sup>+</sup>ドレインは負電圧が印可される。従ってソース-ドレイン間は逆方向にバイアスされ、電流は流れない。ゲート電圧 V<sub>g</sub> が 0 の時はソース-ドレイン間に電流は流れないままだが、V<sub>g</sub> が負の時はゲート電極直下のチャネル部のバンドが上に持ち上げられ (赤の点線)、チャネル部の価電子帯の頂上は n<sup>+</sup>ソース部の伝導帯の底より上にくると、チャネル部の価電子が n<sup>+</sup>ソースの伝導体へトンネルするようになり、赤の矢印方向の電流が流れることになる。TFET には通常の MOSFET で問題となるショートチャネル効果やサブスレッショルド係数の限界 (60mV/decade) がない。このため極低電圧でのトランジスタ動作が可能となる。

MOS キャパシタ構造のシリコン光変調器の断面構造の一例を図 2 に示す。一般に MOS キャパシタ構造の場合はリブ型導波路が用いられ、光は赤の点線で示した領域に閉じ込め

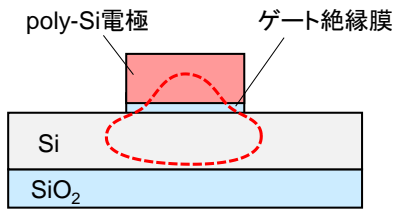


図 2 MOS キャパシタ構造のシリコン光変調器の断面構造の一例。赤の点線で示した領域に光のパワーが集中して紙面垂直方向へ伝搬していく。

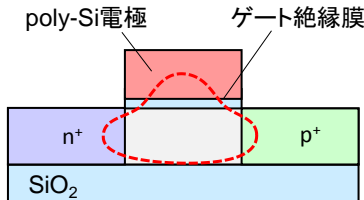


図 3 図 2 の MOS キャパシタシリコン光変調器にソース・ドレインを設けて TFET シリコン光変調器としたもの。

られて伝搬する。ゲート電極に電圧を印可するとゲート絶縁膜を挟んだ上下の電極にキャリアが蓄積され、キャリアプラズマ効果により屈折率が変化して伝搬光が位相変調される。この位相変調器を用いてマッハツェンダ干渉計型の光変調器が構成される。

TFET を位相変調器に利用する場合、考えられる一番単純な構造は MOS キャパシタの両側にソース・ドレインを設けることである (図 3)。ソース・ドレイン間は逆バイアスされるため、ゲートが OFF の時はチャネル部 (光導波部) のキャリアは引き出され、フリーキャリア吸収による伝搬損失は低減される。ゲートが ON になると光導波部にキャリアが注入され、キャリアプラズマ効果により屈折率が変化し、伝搬光が位相変調される。

しかし TFET シリコン光変調器を単純に図 3 の構造にしてしまうことには問題がある。図 1 より、TFET ではソース側の伝導帯の底とドレイン側の価電子帯の頂上と同じ程度の位置にあることが望ましい。これはそれぞれの領域の不純物濃度を  $10^{19} \sim 10^{20} \text{ cm}^{-3}$  程度にする必要がある。図 4 はドナーイオンを注入された Si の吸収係数の不純物濃度依存性を、ドルーデモデルを使って求めたものであり、不純物濃度が高くなるほど吸収係数が著し

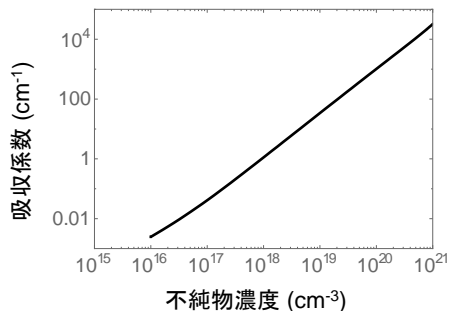


図 4 ドルーデモデルによる、不純物(ドナー)を注入された Si の吸収係数。

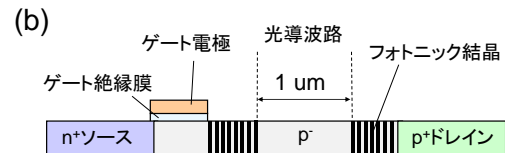
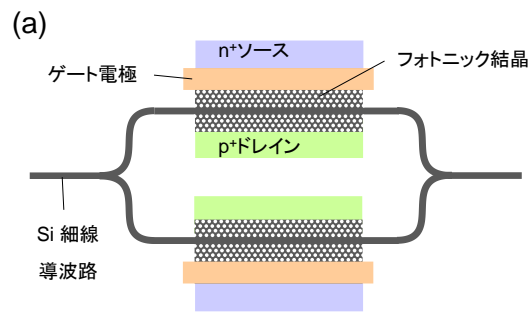


図 5 新たに考案した光変調素子の(a)上面図、及び(b)位相変調素子の断面図。

く上昇することが分かる。従って高濃度の不純物が注入されたソース・ドレインが光導波部に近い位置にあると、伝搬損失が大きくなることが予想される。

そこで本研究では図 5 に示すような構造の光変調素子を考案した。この位相変調素子では光伝搬損失を抑えるため、トランジスタのソース・ドレイン、そしてゲート電極を光導波部から遠い位置に配置している。またフォトニック結晶導波路を採用し、光導波部の断面サイズを  $0.5 \mu\text{m} \times 1 \mu\text{m}$  程度とすることで細線導波路に結合しやすい構造となっている。ゲート電極とドレイン領域のオーバーラップが無くなっているが、そうすることでオフ電流が低減可能となるという報告 [1] があるため、トランジスタの動作には問題無いと考えられる。

[1] A. S. Verhulst, et al., Appl. Phys. Lett. 91, 053102 (2007).

#### (1) 簡略化した作製プロセスの検討

本研究の光変調素子は Silicon-on-Insulator (SOI) 基板を用い、CMOS 互換プロセスにて作製される。通常の CMOS プロセスでは 1 回の試作に数ヶ月かかるため、本研究ではまず構造及びその作製プロセスを可能な限り簡略化して、作製時間を短縮することを目標とした予備実験を行った。図 6 に作製した CMOS トランジスタの構造を示す。このトランジスタではアクティブ領域を厚さ 500nm の熱酸化膜のウェットエッチングのみで形成することで素子分離を行い、ゲート電極には Al を使用してゲート電極上の層間絶縁膜を省いている。その作製プロセスを図 7 に示す。基板は抵抗率  $8-12 \Omega \cdot \text{cm}$  の p 型バルク基板である。基板に厚さ 500nm の酸化膜を形成後、フッ酸によるウェットウェットエッチングで n-ウェル領域形成用の窓を形成した。そこにさらにイオン注入時の保護膜として 20nm のシールド酸化膜を形成し、P

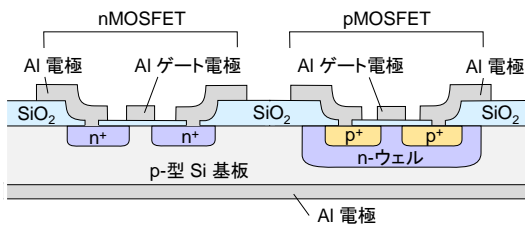


図6 構造を簡略化した CMOS トランジスタ。

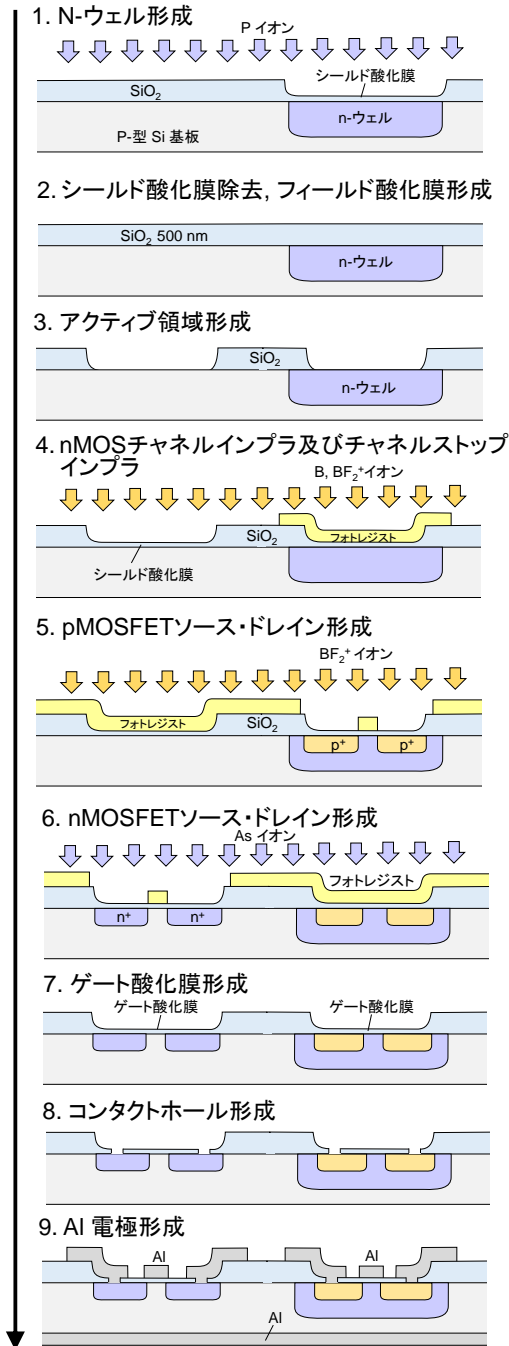


図7 簡略化 MOSFET の作製プロセス

イオンを注入後、1150°Cのアニールを13時間行ってn-ウェル領域を形成した。酸化膜を一旦除去した後素子分離用のフィールド酸化膜500nmを形成し、ウェットエッチングによりアクティブ領域を形成した。続いてアクティブ領域にシールド酸化膜20nmを形成後、

n-チャネル MOSFET の閾値電圧調整のためチャンネル部へ  $BF_2^+$ イオン注入を行った。p-チャネル MOSFET の閾値電圧調整のチャンネルインプラは行わなかった。次にn-チャネル MOSFET のソース・ドレイン形成のためにAs イオンを、p-チャネル MOSFET のソース・ドレイン形成のために  $BF_2^+$ イオンを注入し、850°Cの活性化アニールを行った。続いて厚さ20nmのゲート酸化膜を形成し、 $n^+$ 及び $p^+$ 領域にコンタクトホールをフッ酸によるウェットエッチングで形成した。最後にAlをスパッタリングで成膜し、リン硝酸酸によるウェットエッチングで電極を形成後、400°Cの水素アニールを行ってデバイスを完成させた。このデバイス作製プロセスではリソグラフィにマスクレス露光装置を利用した。作製時間は5日程度である。このような構造では信頼性は低下するが、研究用には十分と考えられる。

本研究で作製するシリコン光変調素子は図7のCMOSプロセスを参考に極力簡略化を目指した。図8にTFET光変調素子の断面構造を示す。デバイスはSOI基板上に作製し、ゲート絶縁膜は厚さ20nmの熱酸化膜、ゲート電極はAlとした。層間絶縁膜は無い。フォトニック結晶部は図9に示すように六方格子で、孔の径は0.21 $\mu m$ 、間隔は0.33 $\mu m$ とした。この構造において波長1.55 $\mu m$ の光が結晶内部を伝搬出来ないことをシミュレーションで確かめた。

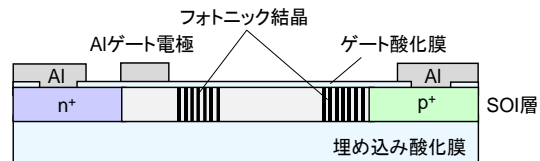


図8 作製する光変調素子の構造。

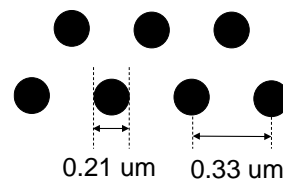


図9 フォトニック結晶格子のレイアウト。

図10に光変調素子の作製プロセスを示す。まずSi導波路の高さを400~500nmにするため、熱酸化及びフッ酸によるウェットエッチングを繰り返してSOI層の厚さを調整した。次にSiエッチング用ハードマスクとして、SOI層表面に厚さ100nmの熱酸化膜を形成し、電子ビーム描画によってSi導波路及びフォトニック結晶をパターンニング後、 $CF_4$ ガスによる熱酸化膜のドライエッチング、その後 $Cl_2$ ガスによるSiドライエッチングを行い、Si導波路及びフォトニック結晶を形成した。続いてSOI層表面にシールド酸化膜20nmを形成後、トランジスタの閾値電圧調整のためのチャンネル部への  $BF_2^+$ イオン注入、ソース・ドレイン形成のためのP及びBイオンの注入を

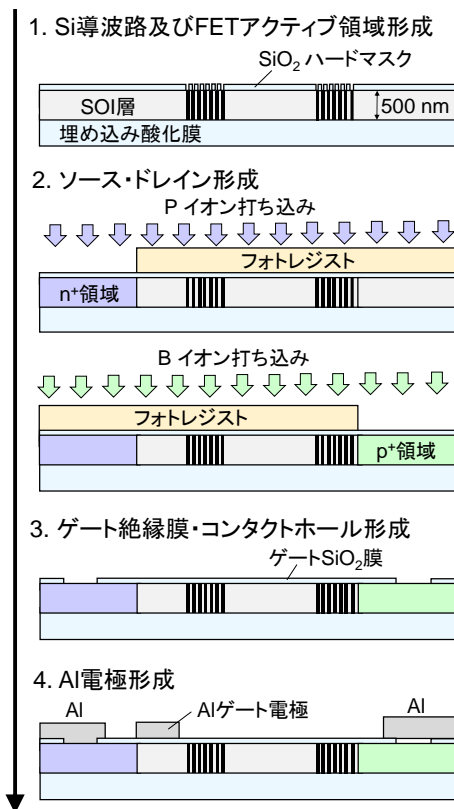


図 10 光変調素子作製プロセス。

イオン注入装置により行った。P イオンはドーズ量  $2 \times 10^{15} \text{cm}^{-2}$ 、加速エネルギー 50KeV 及びドーズ量  $5 \times 10^{15} \text{cm}^{-2}$ 、加速エネルギー 130KeV の 2 段階の注入を実施し、B イオンもドーズ量  $2 \times 10^{15} \text{cm}^{-2}$ 、加速エネルギー 30KeV 及びドーズ量  $3 \times 10^{15} \text{cm}^{-2}$ 、加速エネルギー 100KeV の 2 段階の注入を行った。これらの条件は厚さ 500nm の SOI 層内で不純物濃度が  $10^{19} \sim 10^{20} \text{cm}^{-3}$  でほぼ均一なる様、プロセスシミュレーションによって決定した。その後シールド酸化膜を取り除き、活性化アニールを兼ねたゲート酸化膜 (厚さ 20nm) 形成を行い、酸化膜をフッ酸でエッチングして Al コンタクト用ホールを形成した。Al 電極の形成では、ウェットエッチングでは段差部分で Al が切れてしまうため、次の 2 通りを実施した。① Al を真空蒸着装置で成膜後、リソグラフィーで電極のパターニングを行い、 $\text{Cl}_2$  ガスによるドライエッチングを実施。②電極のレジストパターニングを行ったあと、Al を成膜してレジストを剥離するリフトオフを実施。Al 電極形成後は  $\text{H}_2$  アニールを行い、デバイスを完成させた。本研究では Al 電極形成をマスクレス露光装置で、それ以外はポイントビーム方式の電子線描画装置でリソグラフィーを実施した。デバイス作製には約 15 日かかったが、その約 3 分の 1 の時間は電子線リソグラフィーによるものである。

#### 4. 研究成果

(1)簡略化した CMOS 作製プロセスによる CMOS トランジスタの特性評価

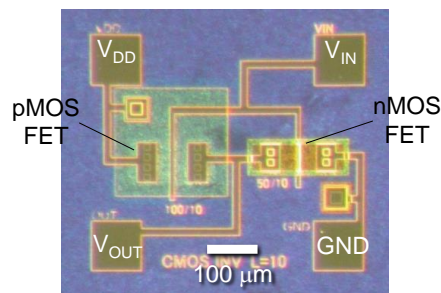


図 11 簡略化 CMOS 作製プロセスにより作製した CMOS インバータの光学顕微鏡写真。

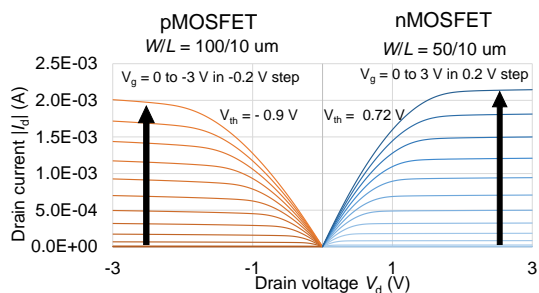


図 12 CMOS インバータ内の n-チャンネル及び p-チャンネル MOSFET のドレイン電流 ( $I_d$ )—ドレイン電圧 ( $V_d$ ) 特性。

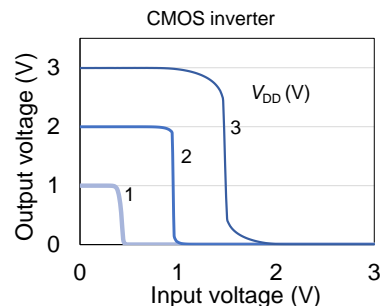


図 13 CMOS インバータの入出力特性。

簡略化作製プロセスで試作した CMOS インバータの光学顕微鏡写真を図 11 に示す。インバータ内にある nMOSFET のゲート幅/長は 50/10um、pMOSFET のゲート幅/長は 100/10um である。それぞれの MOSFET のドレイン電流 ( $I_d$ )—ドレイン電圧 ( $V_d$ ) 特性を図 12 に示す。閾値電圧は nMOSFET で 0.72V、pMOSFET で -0.9V であった。pMOSFET では飽和領域においてチャンネル長変調効果による僅かなドレイン電流の増加が見られるが、両 FET ともほぼ良好な特性を確認出来た。図 13 は CMOS インバータの入出力特性であり、こちらも正常な動作を確認出来た。従って簡略化した CMOS プロセスでも良好な特性を持つデバイスが作製可能であることが確認出来た。

一方で同一チップ内に TFET も作製したが、こちらはトランジスタ動作を確認出来なかった。n チャンネル MOSFET の閾値電圧が約 1V となるようにチャンネル部へ  $\text{BF}^{2+}$  イオンをドーズ量  $4.6 \times 10^{12} \text{cm}^{-2}$  で注入したが、TFET の閾値電圧を 1V にするには十分ではなかった。図 14 はチャンネル部へ B イオンをドーズ量  $2 \times 10^{13} \text{cm}^{-2}$  で注入した場合の p チャンネル TFET

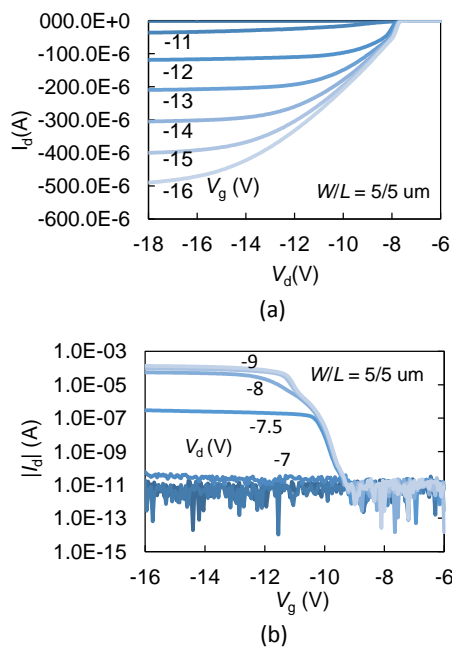


図14 試作したTFETの(a)ドレイン電流( $I_d$ )-ドレイン電圧( $V_d$ )特性、及びドレイン電流( $I_d$ )-ゲート電圧( $V_g$ )特性。

の  $I_d$ - $V_d$  及びドレイン電流 ( $I_d$ )-ゲート電圧 ( $V_g$ ) 特性である。閾値電圧は-10.2Vである。また、 $V_g$ が約 -7V で電流が流れ始めているが、これはソース・ドレインの不純物濃度が十分でなかったことが考えられる。p<sup>+</sup>ドレインの価電子帯の頂上がn<sup>+</sup>ソース部の伝導帯の底より下にあると、ソース-チャンネル間でトンネルが起きてもチャンネル-ドレイン間の障壁によってキャリアの移動が阻まれるからである。またサブスレッショルド係数は約180mV/decadeであり、ソース-チャンネル間の接合があまり急峻になっていないことが、サブスレッショルド係数が大きくなった原因と考えられる。

#### (2)簡略化 CMOS プロセスによる光変調素子

図15に作製した光変調素子の光学顕微鏡写真、及びSi細線導波路とフォトニック結晶導波路の接続部分のSEM像を示す。Si導波路及びフォトニック結晶は共にSOIレイヤーに形成されているが、パターンサイズが大きく異なるため、レジストパターン形成時の設計データではそれぞれ別レイヤーとし、ポジレジストを使用して最初にフォトニック結晶のパターンを露光し、そのあとに導波路部を露光した。

試作した光変調素子の電気的特性については、残念ながらゲート電極に大きなリーク電流が流れてしまい、正常なトランジスタ動作を確認することは出来なかった。Al電極形成時にドライエッチングをしたため、ゲート酸化膜にダメージが入ったことが原因と考えられる。またソース・ドレイン間にもリーク電流が流れてしまったサンプルが多かった。素子のサイズが大きくゲート幅は数  $\mu\text{m}$  に及ぶため、どこかにリークのパスが出来て

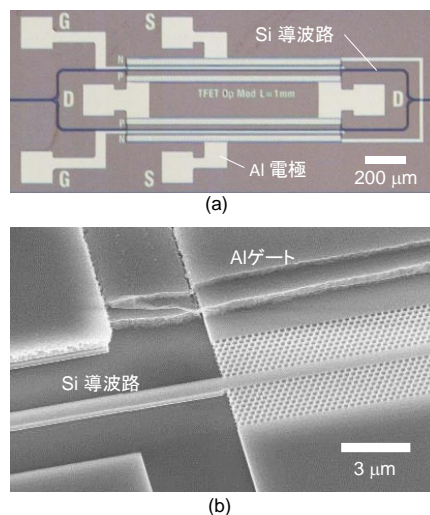


図15 作製した光変調素子の(a)光学顕微鏡写真、及び(b)Si細線導波路とフォトニック結晶導波路の接続部分のSEM像。

しまうと素子は正常に動作しなくなる。またTFETが正常に出来なかったため、光変調も確認することは出来なかった。

今回のデバイス試作ではTFETによる光変調は確認出来なかったが、SOI基板上のシリコンTFET作製プロセスにおける様々な課題を洗い出すことが出来た。今後は更に作製プロセスを見直して正常なトランジスタ動作を確認し、TFETによる光変調を目指す。

#### 5. 主な発表論文等

[学会発表] (計3件)

- ①田部井哲夫, 横山新, トンネル電界効果トランジスタを用いた低電圧駆動シリコン光変調器, 第65回応用物理学会春期学術講演会, 2018年3月20日, 早稲田大学西早稲田キャンパス
- ②T. Tabei, et al., Biomedical Engineering Application of Short Turnaround CMOS Circuits, 2nd Int. Symp. Biomedical Engineering, Nov. 9-10, 2017, Tokyo Inst. Tech.
- ③T. Tabei, et al., Short Turnaround CMOS Fabrication for Biomedical Engineering Application, Int. Symp. Biomedical Engineering, Nov. 10-11, 2016, Tokyo Medical and Dental Univ.

#### 6. 研究組織

##### (1)研究代表者

田部井 哲夫 (TABELI, Tetsuo)  
 広島大学・ナノデバイスバイオ融合科学研究所・特任准教授  
 研究者番号: 40536124

##### (2)研究分担者

横山 新 (YOKOYAMA, Shin)  
 広島大学・ナノデバイスバイオ融合科学研究所・教授  
 研究者番号: 80144880