

平成 30 年 6 月 22 日現在

機関番号：10106

研究種目：基盤研究(C) (一般)

研究期間：2015～2017

課題番号：15K06048

研究課題名(和文) 確率的フラッシュAD変換器の試作と設計手法の確立

研究課題名(英文) Study on Stochastic Flash A-to-D Converter Design and Its Implementation

研究代表者

谷本 洋 (TANIMOTO, Hiroshi)

北見工業大学・工学部・教授

研究者番号：20322886

交付決定額(研究期間全体)：(直接経費) 3,800,000円

研究成果の概要(和文)：デバイスの微細化に伴う製造バラツキの影響を受け難い高速AD変換器として知られる「確率的フラッシュAD変換器(SFADC)」の設計手法を提案・整備し、必要な分解能と変換速度からLSI回路の設計パラメータが設計できるようにした。

SFADC用の比較器における問題点を明らかにし、その設計手法を示した。次いで比較器の閾値電圧の分布から一様分布を合成する線形化手法を提案した。SFADCでは量子化雑音の無相関化が重要であることを初めて指摘し、無相関化の回路手法を提案した。提案した線形化SFADCをトランジスタレベルで設計し、提案設計手法が有効であることを回路シミュレーションで確認した。

研究成果の概要(英文)：We have proposed a design methodology for "Stochastic Flash A-to-D Converter (SFADC)", which is known as a kind of high-speed ADC, robust against processing variations under nanoscale integration.

First, we clarified the issues in comparators for SFADC and showed its design procedure. Then we proposed a linearization method to synthesize uniform distribution from the distribution of threshold voltages of comparators. In SFADC, we at the first time pointed out that decorrelation of quantization noise is important and proposed a decorrelation method and its circuit implementation. We designed the SFADC, with the above proposed methods, as an LSI and verified by circuit simulation for the effectiveness of the proposed design method.

研究分野：通信・ネットワーク工学

キーワード：確率的フラッシュAD変換器 一様確率密度関数の合成 線形化 量子化雑音の無相関化 設計理論 回路シミュレーション

1. 研究開始当初の背景

アナログ LSI 内で取り扱える信号の最大値は電源電圧以下に抑えられ、同じく最小値は回路素子から発生する熱雑音と素子値のバラツキの影響のどちらか大きい方で決まる。この最小値以下の信号分解能を得ることは通常不可能であり、最大値と最小値の比をダイナミックレンジ (DR) という。

ところで、LSI の分野では「スケーリング則」に基づいて高速化・低消費電力化を目的とした製造プロセスの微細化が強力に推進されてきた。しかし、微細化は必然的に電源電圧の低下を伴うため、アナログ回路では微細化が却って回路の DR を低下させることが大きな問題となっている。

DR を低下させないためには回路のインピーダンスを低く設計して熱雑音を下げることで、素子値のバラツキを低減するため、素子のサイズを大きく製造することが定石であるが、いずれも結果として回路の消費電流を増加させるため、高速化・低消費電力化というスケーリングの恩恵が享受できない。

本研究の対象である AD 変換器における問題の本質は、熱雑音の問題というよりは、AD 変換器 (ADC と略記) を構成する比較器の閾値電圧バラツキが微細化によってほとんど改善されないため、回路の DR が狭まる点にある。特に、最高速の AD 変換方式である「フラッシュ ADC」(図 1(a)) は多数の比較器を用いる方式であるためバラツキの影響が大きく、従来のフラッシュ ADC の設計手法ではこれまで実現できていた 6~8 ビットの分解能をより高速・低消費電力にて実現する事が難しくなっている。

この状況を打開するため ADC では種々の回路的工夫が提案されており、高速な変換を得意とするフラッシュ ADC では、比較器のバラツキを肯定的に捉えてその存在を積極的に利用する「確率的フラッシュ ADC」(以後 SFADC と略記する; 図 1(b)) が提案された。従来のフラッシュ ADC は外部から与えられた等間隔の参照電圧 (物差しの目盛りに相当) を持つ比較器群に信号入力電圧を与え、比較器の出力が何番目の目盛りまで変化したかを以て入力信号の大きさを AD 変換する。このため、いくら参照電圧が正確でも、個々の比較器の閾値電圧がばらつくため、ちょうど不等間隔目盛りの物差しで計測したとき同様、正確な結果が得られなくなる。

これに対して SFADC は正確に等間隔の参照電圧を得ることを放棄し、比較器の閾値電圧そのものを参照電圧として利用することにより不等間隔の目盛りを持った物差しを構成しようというものである。勿論、不等間隔の目盛りでは正確な値を計測できないから、これを可能にするため、従来よりも非常に多数の比較器を用いる。すなわち、目盛りが不等間隔の物差しを多数用意し、それらで計測した精度の低い多数の計測値から統計操作によってより精度の高い推定値を求める方式で

ある。

研究開始当初、SFADC に関してはバラツキを利用して ADC が構成可能であるというアイデアを実証することに注力されており、たとえば 1,152 個の比較器を用いて 5.5 ビット程度の最大分解能が得られたという報告がなされている一方、SFADC の設計論に関してはほとんど整備されておらず、使用する比較器数と実現可能な最大分解能のラフな見積もりが報告されている程度であった。

ADC として重要な、SFADC では比較器の閾値電圧バラツキによって得られる最大分解能がどの程度ばらつくか、歪特性はどうか、量子化雑音の性質が従来のフラッシュ ADC と同じかどうか等、重要な事項についてはまったく知られていなかった。

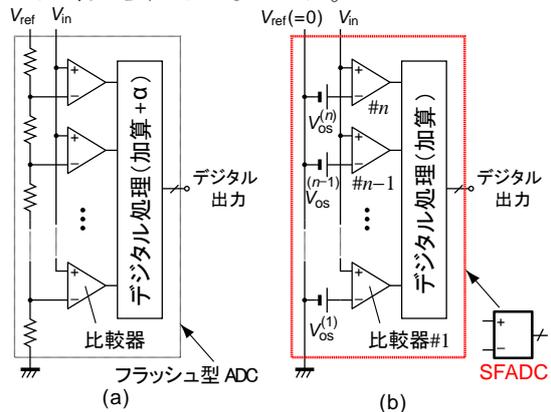


図1. フラッシュ型 ADC の構成 (a), SFADC の構成 (b)

2. 研究の目的

このような状況に鑑み、本研究の目的は理論に基づいた SFADC の設計手法を確立することとした。すなわち、既存のフラッシュ ADC と SFADC の量子化誤差の違いの解明、次いで系統的な SFADC の設計パラメータの決定手法確立、および高速動作する SFADC の実現可能性の検討である。

より具体的にいえば、従来の設計手法では製造バラツキのため 3~4 ビットの分解能しか実現できない低耐压の微細デバイスを使用して、SFADC により 1GHz 程度の高速で動作し 5~6 ビット程度の分解能を従来のフラッシュ ADC よりも低消費電力で確実に得る手法を確立することが本研究の目的である。

3. 研究の方法

従来の SFADC の研究と我々の分析によって明らかになった SFADC 設計上の問題点として、(1)比較器の閾値電圧の確率密度分布 (PDF) が正規分布状であることによって発生する SFADC の非線形歪を改善する方法、(2) SFADC の量子化雑音の性質が全く分かっていないのでそれを明らかにすること、等に問題を分割してアタックする。さらに前記(2)の結果、量子化雑音が入力信号と強い相関を持つことが示されたので、(3)SFADC の量子化雑音を無相関化する手法を検討する。最後に、(4)以上の研究結果をまとめた SFADC の

設計手法を提案し、これに基づいて実際に SFADC を標準的 $0.18\ \mu\text{m}$ の CMOS プロセスで設計し、トランジスタレベルのシミュレーションにより提案設計手法の検証を行う。

4. 研究成果

(1) 正規分布する比較器の閾値電圧から一様分布を合成する方法の提案

平均値がゼロで標準偏差が σ の正規分布を多数組用意し、各組に等間隔 Δ のオフセット電圧を与えることにより、広い範囲にわたる一様分布を合成する方法を提案し、適切な Δ の値が約 1.5σ であることを理論解析および数値シミュレーションにより明らかにした(図 2)。これにより、線形性が大幅に改善されるだけでなく、有効利用できる比較器の数が従来の 40%程度から 90%程度まで改善される。

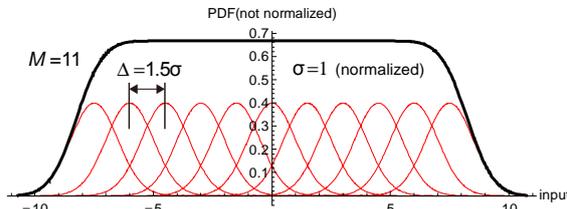


図 2 11 個の正規分布から 1 つの一様分布を合成する例

(2) SFADC の量子化雑音の性質の研究

通常の高ビット ADC では入力信号とデジタル出力の差である量子化雑音はよい近似で入力と無相関であり、このため量子化誤差の大きさは入力信号の大きさと無関係であることが知られている。これに対して、我々は量子化雑音が入力と強い相関を持つことをはじめて指摘し、その原因は SFADC が多数の 1 ビット量子化器の出力を加算して統計的に高ビットの AD 変換結果を得ているためであることを明らかにした。これは SFADC の動作原理そのものが原因ということであり、従来の素朴な SFADC ではいかに上記(1)の線形化を行おうとも、量子化雑音の大きさが入力信号の大きさの平方根に比例して増大することが分かった(図 3 の青線)。

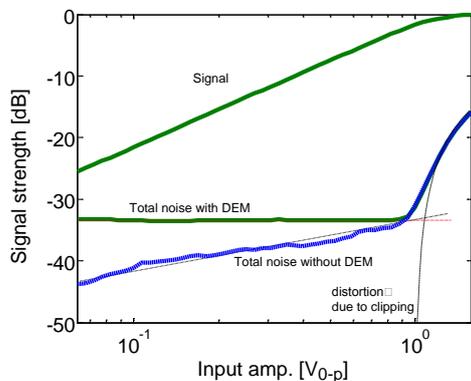


図 3 入力信号の大きさ対出力と量子化雑音

量子化雑音が入力と相関を持つということ

は AD 変換結果に歪成分を含むだけでなく、SNR が入力信号の大きさに比例しないことを意味する。

通常の信号処理は量子化雑音が入力信号の大きさによらず一定の大きさのランダムな加法的雑音であることを前提とした理論体系となっているため、量子化雑音が入力信号と無相関化しなければ、SFADC を実用に供せないという重大な事実が明らかになった。これを解決するため、次項で量子化雑音の無相関化の研究を行った。

(3) SFADC の量子化雑音を無相関化する手法の研究 SFADC において入力信号と量子化誤差が相関を持つのは、同じ入力値であれば AD 変換に関わる比較器群がいつも同じであり、常に同じ量子化誤差を出力するからである。すなわち、SFADC の非直線性と入力信号が乗算され、通常の ADC のような加法性雑音ではなく乗法性雑音が発生する。

これを解消するにはいつも同じ比較器を使わず、変換のたびに異なる比較器を使うようにすればよい。このアイデアを実現するため、動的素子整合法 (DEM 法) を利用して 2 通りの実現方法を提案した(図 4)。

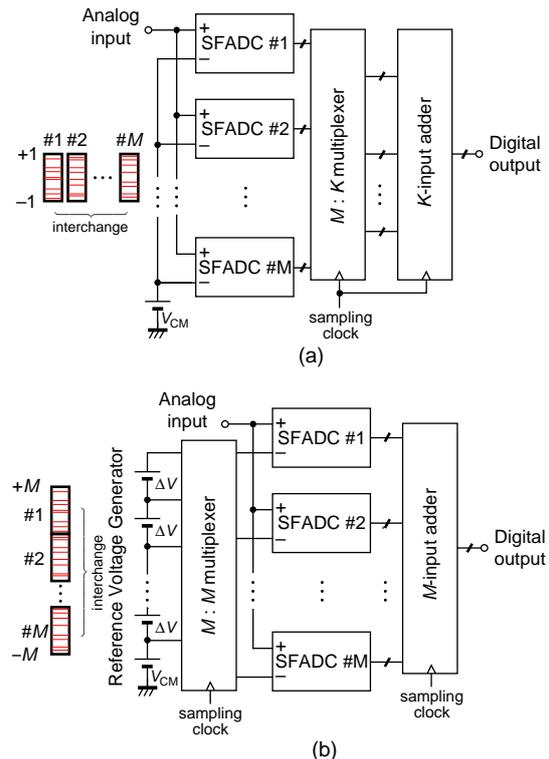


図 4 (a) 並列方式, (b) 縦積み方式

図 4(a) の並列方式は全比較器を等分割して M グループに分け、1 回の変換ごとに異なる組み合わせの $K(<M)$ グループを用いるものである。 $K=M$ とすると、常に同じグループばかり用いることになるので、たとえば $K=M/2$ 程度とすることにより実質的に毎回異なる組み合わせで比較器を用いることができる。例えば、わずかに $M=12$ でも ${}_{12}C_6=924$ 通りの異なる比較

器の組み合わせが作れる。

図4(b)の縦積み方式は全比較器を等分割してMグループに分け、各グループに毎回異なる参照電圧を与えることで実質的に全ての比較器を満遍なく利用することができる。例えばM=12なら $12! = 479 \times 10^6$ 通りの膨大な順列が作れる。このように、同じグループ数でもランダム化の効果が高く、控えとして無駄になる比較器が生じないことから、縦積み方式を採用して無相関化の効果をシミュレーションによって検証し(図3緑の線)、量子化雑音が入力信号の大きさによらず十分に一定値になることを確かめた。

(4)提案したSFADCのLSI化設計

我々が提案した、比較器の閾値電圧のPDFを一様分布に変換する手法と、縦積み方式の無相関化を行う手法をSFADCに適用し、これをLSIとして実装する場合の回路設計上の問題を検討するため、1GHzサンプルで5~6ビット分解能を目標としたSFADCを標準的な0.18μm CMOSプロセスで設計する。目標仕様は我々の開発した設計手法により、1,024個の比較器をM=16グループに分割して実現できることが分かった。

SFADCの構成要素でもっとも重要なのは比較器であり、動作速度、広い同相入力範囲において閾値電圧が変化しないことが求められる。このため、NMOSの差動対を初段とするラッチング比較器を設計した(図5)。

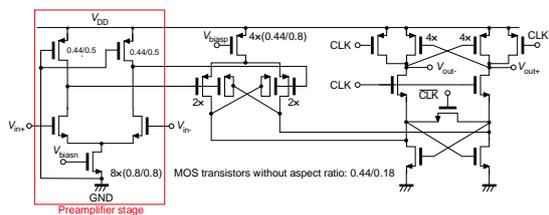


図5 設計した比較器の回路

縦積み方式の無相関化回路は高速動作のため、参照電圧を円環状に配置した比較器群に切り替えスイッチを介して差動的に与える方式を考案した(図6)。

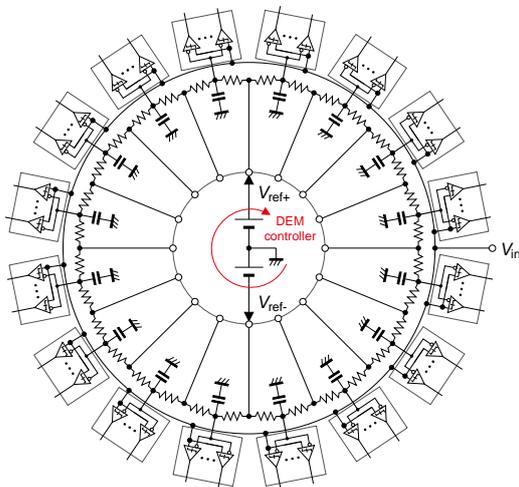


図6 バレルシフト構造の参照電圧発生回路

デジタル加算器部はVerilogHDLで記述し、自動合成した。0.18μm CMOSプロセスでは1GHzでの動作は困難であり、9段のパイプラインで設計したが、なお500MHzでの動作が上限であった。

設計したSFADC全体のレイアウトを図7に示す。

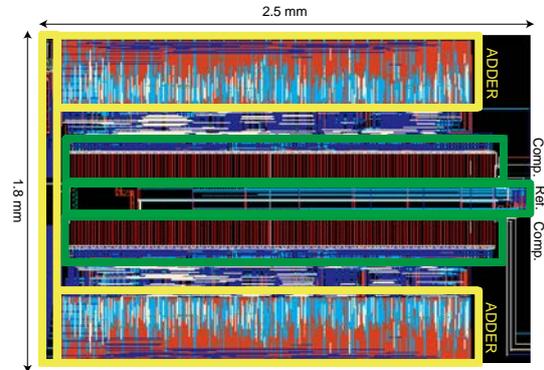


図7 設計したSFADCのレイアウト

表1 設計目標とシミュレーション結果の比較

	目標値	シミュレーション
サンプリング周波数	1 GHz	500 MHz
有効ビット数	5 bit	3.5 bit
SNDR	>30 dB	20 dB (SFDR=39 dB)
消費電力	<100mW	アナログ部 90 mW デジタル部 320 mW
比較器数	1,024	1,024
同上分割組数	8	16 (=8×2)
比較器数/組	128	64

設計したLSIを試作したが、配線に誤りがあり、正常に動作しなかったため、シミュレーションで評価した。結果を表1に示す。デジタル部は1GHzでは動作しなかったが、比較器と無相関化回路は1GHzで正常に動作した。有効ビット数が目標に達していないが、回路シミュレータによる統計解析の結果によれば、閾値電圧の分布が正規分布よりも尖度の大きい分布だったため(標準偏差は約60mV)、線形入力範囲が設計よりも狭まったためと考えられる。このため、実効的にAD変換に寄与する比較器が600~700個程度に留まり、SNRが低下したと考えられる。これに対してSFDRは目標値を超える38dBであり、線形化の効果は十分検証できた。デジタル部の消費電力が意外に大きかったのは高速化のため多段のパイプライン構成としたためで、加算器アーキテクチャ最適化により数分の1に低減できる目途がたっている。

なお、同じ0.18μmのCMOSプロセスで試作された従来型のフラッシュADCの報告では、代表的な例で2GHzサンプル5.5ビット分解能で消費電力が310mWであり、我々の設計とほぼ同程度である。このことから、比較器を多数使用するSFADCでも、従来と同程度の消費電力で実現できることが確かめられた。

以上をまとめると、これまで手探りであつ

た SFADC の設計手法を提案・整備し、必要な分解能と変換速度から LSI 回路の設計パラメータが設計できるようにした。また、SFADC の主要な構成要素である比較器の回路実現において問題となる諸点を明らかにし、SFADC に適した比較器の設計手法を示した。次いで比較器の閾値電圧の分布から一様分布を合成する手法を提案し、SFADC の線形化に貢献した。さらに SFADC では量子化雑音の無相関化が重要であることを初めて指摘し、そのための回路手法を提案した。提案した線形化 SFADC をトランジスタレベルで設計し、提案設計手法が有効であることを回路シミュレーションで確認した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

- ① T.Takahashi, T.Sugimoto, H.Tanimoto, S.Yoshizawa, “A Proposal for Downconverting A-to-D Converter Based on Even-Harmonic Mixer and $\Delta\Sigma$ -TDC,” *IEEJ Transactions on Electronics, Information and Systems*, Vol.138, No.1, pp.50-56, Jan. 2018. (査読あり)
- ② S.Yoshizawa, H.Tanimoto, T.Saito, “Data Selective Rake Reception for Underwater Acoustic Communications in Strong Multipath Interference,” *Journal of Electrical and Computer Engineering*, Volume 2017, Article ID 5793507, 9 pages, May 2017. (査読あり)

[学会発表] (計 20 件)

- ① 杉本俊貴, 谷本洋, 吉澤真吾, “線形化と DEM を適用した確率的フラッシュ AD 変換器の LSI 設計”, 電気学会電子回路研究会資料, ECT-18-025, 2018 年 3 月 (査読なし)
- ② 杉本俊貴, 谷本洋, 吉澤真吾, “閾値が一様分布する確率的フラッシュ AD 変換器の量子化雑音の確率密度関数”, 電気学会電子回路研究会資料, ECT-17-110, 2017 年 10 月 (査読なし)
- ③ 北田昂成, 杉本俊貴, 谷本洋, 吉澤真吾, “偶高調波ミクサを用いた周波数変換型 AD 変換器のブレッドボード実験”, 平成 29 年度電気・情報関係学会北海道支部連合大会 講演論文集, 2, 2017 年 10 月. (査読なし)
- ④ 杉本俊貴, 北田昂成, 谷本洋, 吉澤真吾, “周波数変換機能を持つ AD 変換器の提案”, 電気学会電子回路研究会資料, ECT-17-075, 2017 年 7 月 (査読なし)
- ⑤ 谷本洋, “[招待講演]対称性を利用した回路 — 研究生活を振り返って”, 電気学会電子回路研究会資料, ECT-17-060, 2017 年 7 月 (査読なし)
- ⑥ T.Abe, H.Tanimoto, S.Yoshizawa, “A Simple

Current Reference with Low Sensitivity to Supply Voltage and Temperature,” *Proc. of MIXDES 2017*, Bydgoszcz, POLAND, Jun. 2017. (査読あり)

- ⑦ T.Sugimoto, H.Tanimoto, S.Yoshizawa, “Comparator Design for Linearized Statistical Flash A-to-D Converter,” *Proc. of MIXDES 2017*, Bydgoszcz, POLAND, Jun. 2017. (査読あり)
- ⑧ 高橋卓人, 杉本俊貴, 谷本洋, 吉澤真吾, “偶高調波ミクサと $\Delta\Sigma$ -TDC を用いたダウンコンバーティング ADC の提案”, 電気学会電子回路研究会資料, ECT-16-090, 2016 年 12 月 (査読なし)
- ⑨ 鈴木優太, 谷本洋, 吉澤真吾, “平衡型偶高調波ミクサの IM3 の LO 駆動波形依存性”, 平成 28 年度電気・情報関係学会北海道支部連合大会 講演論文集, 7, 2016 年 11 月 (査読なし)
- ⑩ 高橋卓人, 谷本洋, 吉澤真吾, “偶高調波ミクサと $\Delta\Sigma$ -TDC を用いたダウンコンバーティング ADC の提案”, 平成 28 年度電気・情報関係学会北海道支部連合大会 講演論文集, 8, 2016 年 11 月 (査読なし)
- ⑪ 北田昂成, 谷本洋, 吉澤真吾, “CMOS インバータを用いた差動型偶高調波ミクサの時間変換特性の検討”, 平成 28 年度電気・情報関係学会北海道支部連合大会 講演論文集, 9, 2016 年 11 月 (査読なし)
- ⑫ 杉本俊貴, 谷本洋, 吉澤真吾, “確率的フラッシュ AD 変換器のための比較器設計”, 平成 28 年度電気・情報関係学会北海道支部連合大会 講演論文集, 10, 2016 年 11 月 (査読なし)
- ⑬ 鈴木優太, 谷本洋, 吉澤真吾, “高調波抑圧型偶高調波ダウンコンバータ”, 電気学会電子回路研究会資料, ECT-16-080, 2016 年 10 月 (査読なし)
- ⑭ T.Sugimoto, H.Tanimoto, S.Yoshizawa, “Design of Reference Voltage Generator for SFADC with Dynamic Element Matching,” *Proceedings of 2016 International Conference on Analog VLSI Circuits*, pp.43-48, Boston, USA, Aug. 2016. (査読あり)
- ⑮ 高橋卓人, 谷本洋, 吉澤真吾, “AD 変換機能を持つ偶高調波ミクサの提案”, 平成 27 年度電気・情報関係学会北海道支部連合大会 講演論文集, 3, 2015 年 11 月 (査読なし)
- ⑯ 鈴木優太, 谷本洋, 吉澤真吾, “負帰還による偶高調波ミクサ線形化手法の提案”, 平成 27 年度電気・情報関係学会北海道支部連合大会 講演論文集, 4, 2015 年 11 月 (査読なし)
- ⑰ 谷本洋, “無損失伝送線路における無効電力の意味”, 平成 27 年度電気・情報関係学会北海道支部連合大会 講演論文集, 11, 2015 年 11 月 (査読なし)
- ⑱ 杉本俊貴, 谷本洋, 吉澤真吾, “確率的フラッシュ ADC の非線形量子化に関する

一考察”，平成 27 年度電気・情報関係学会北海道支部連合大会 講演論文集, 14, 2015 年 11 月 (査読なし)

- ⑱ 竹端久登, 谷本洋, 吉澤真吾, “確率的フラッシュ型 AD 変換器線形化手法のばらつき耐性”, 平成 27 年度電気・情報関係学会北海道支部連合大会 講演論文集, 15, 2015 年 11 月 (査読なし)
- ⑳ 谷本洋, 永井信夫, “複素理想変成器は無損失か?”, 平成 27 年電気学会電子・情報・システム部門大会, MC5-4, 2015 年 8 月 (査読なし)

6. 研究組織

(1) 研究代表者

谷本 洋 (TANIMOTO, Hiroshi)

北見工業大学・工学部・教授

研究者番号：20322886

(2) 研究分担者

吉澤 慎吾 (YOSHIZAWA, Shingo)

北見工業大学・工学部・准教授

研究者番号：20447080