

平成 30 年 5 月 31 日現在

機関番号：11301

研究種目：挑戦的萌芽研究

研究期間：2015～2017

課題番号：15K12000

研究課題名(和文)ポストCMOSデバイスを用いたマイクロプロセッサの設計空間探索

研究課題名(英文)Design Space Exploration of Future Microprocessors using the post CMOS devices

研究代表者

江川 隆輔(EGAWA, Ryusuke)

東北大学・サイバーサイエンスセンター・准教授

研究者番号：80374990

交付決定額(研究期間全体)：(直接経費) 2,700,000円

研究成果の概要(和文)：本研究では、2025年頃に実用化が期待されている新規デバイス技術を用いた高エネルギー効率マイクロプロセッサの実現を目的に、新規デバイスを用いた回路設計、メモリサブシステムに関する研究に取り組んだ。回路設計に関してはCNFETを用いたウェーブパイプライン化回路の設計手法に取り組んだ。また、メモリサブシステムに関しては、3次元積層技術、STT-RAMに着目し、将来のメモリサブシステムにおけるキャッシュバイパス機構、マルチバンクメモリのための省電力データ配置手法、ラストレベルキャッシュ(LLC)の低消費電力管理機構に関する研究に取り組み、シミュレーションによりその有効性を明らかにしている。

研究成果の概要(英文)：In this research, for realizing a high energy efficiency microprocessor using novel device technologies in the post-Moore's era, expected to be practical around 2025, we have worked on circuits and memory subsystems designs. Regarding the circuit design, we worked on the design method of wave-pipelined circuits using CNFET. For the memory subsystem, we focus on a die stacking and STT-RAM technologies. We have examined the cache-bypass mechanism, the energy efficient data allocation method for the multi-bank memory, and the power-aware controlling mechanism for STT-RAM last-level caches.

研究分野：コンピュータアーキテクチャ, 高性能計算

キーワード：CNFET 3次元積層 STT-RAM メモリ ウェーブパイプライン

1. 研究開始当初の背景

これまでマイクロプロセッサの性能向上を牽引してきた半導体加工技術の微細化は、加工精度の物理的な限界により、いよいよ終焉を迎えつつある。これらの状況を打破すべく、TSV (Silicon Through Via) を用いた LSI の 3 次元積層や、TSV とシリコン(Si)インタポータを用いた LSI 高集積化に向けた研究開発が精力的に行われている。これらの技術は、現在の半導体加工技術との高い親和性による実用性と有用性から今後 10 年間マイクロプロセッサの性能向上を支える要素技術として極めて有望だと考えられている。

しかし、現在の積層技術のみに頼った高集積化は、物理的限界に近づいた既存の半導体加工技術を利用し続けることを想定しているため、将来再びプロセスの微細化が直面している問題に再度陥ることが予想される。現在の 100 倍から 1,000 倍のエネルギー効率求められる 2025 年頃のマイクロプロセッサ設計では、3 次元積層技術などの既存技術の進化のみに頼らず、現在主流の CMOS では超えられない微細化の壁を越えることが可能な新規デバイスの積極的な活用が鍵となる。

そこで本研究では、実用化へ向けたデバイスレベルの研究開発成果が出揃いつつある新規デバイス技術に着目し、将来の新規デバイスと最新のデバイス技術を用いた回路設計とメモリサブシステムの設計空間探索に取り組む。

2. 研究の目的

本研究は来るべきポスト CMOS 設計時代を見据え、新規デバイス技術が段階的に既存の半導体加工プロセスと併用されるシナリオのもとで、最終的には 2025 年以降に実現が期待されているデバイスを用いた高速・超低消費電力マイクロプロセッサの設計空間の探索に基づき、ポスト CMOS デバイスを用いた ULSI 設計時代における高性能、且つ超低消費電力マイクロプロセッサの設計の基礎を確立することにある。

3. 研究の方法

本研究では、将来のコンピュータシステム設計における回路設計、メモリサブシステム設計の 2 つの設計空間を対象として、回路設計においては、新規デバイスとしてカーボンナノチューブ(以下 CNT)に着目する。CNT の直径は 50nm 以下と極めて微細であり、現在一般的な配線として用いられている銅の 1,000 倍以上の高電流密度耐性、銅の 10 倍の高熱伝導特性、高機械強度の特性を有していることから、配線における消費電力が約 70% と言われる近年のマイクロプロセッサが直面しているパワーウォールを克服する要素技術として期待されている。

特に本研究では、CNT トランジスタの電気信号の立ち上がり・立ち下がり遅延時間の差が従来の CMOS と比較して小さいことに着目し、これらの特性を考慮した高性能・低消費電力演算回路設計手法に関する研究を遂行する。

また、メモリサブシステムでは現在のマイクロプロセッサの主要な電力消費源、かつ性能のボトルネックとなり得る多階層キャッシュメモリとメインメモリからなるメモリサブシステムに着目し、現在実際の製品が世に出つつある 3 次元積層技術や、ノーマリーオフコンピューティング時代の主要デバイス技術として期待されている STT-RAM (Spin-Transfer Torque RAM) を用いた高エネルギー効率メモリサブシステムの構成・管理手法に関する研究を通して、来るポスト CMOS 時代におけるマイクロプロセッサの設計空間探索に取り組む。

4. 研究成果

以下に、本研究課題の成果のうち(1)CNT を用いた回路設計、および、(2)STT-RAM を用いた低消費電力キャッシュ管理機構を取り上げ、その成果概要について述べる。

(1)CNT を用いたウェーブパイプライン化回路設計

CNT を用いた回路設計では、CNT 演算回路のウェーブパイプライン化設計に取り組んだ。ウェーブパイプラインは組合せ論理回路内の全ての入力から出力までの遅延時間を均一化する遅延調整とよばれる回路最適化を行う事で、複数の信号を組み合わせ論理回路内に介在させ、パイプラインレジスタを用いることなく演算回路のパイプライン化を実現する。遅延調整は、遅延素子の挿入、論理回路の再構成を行うラフチューニング、論理ゲートの内のトランジスタの再構成を行うファインチューニングからなる。

しかし、深い論理段数を持つ従来の CMOS で構成される大規模な組み合わせ論理回路のウェーブパイプライン化では、入力信号依存の遅延差が回路経路上で蓄積し、回路全体の遅延差が増大する。また、遅延調整の対象となるトランジスタ数が増加するためファインチューニングのコストが非常に大きくなる。これにより、その高い潜在能力にも関わらず、ウェーブパイプライン回路の実用化例は多くない。回路設計でのファインチューニングの負荷を軽減することができれば、論理段数が増える組み合わせ論理回路のウェーブパイプライン化が容易となり、将来のマイクロプロセッサ設計においてウェーブパイプラインが有用な高速化・低消費電力化技術になると考えられる。

一方、CNT は直径が nm 単位と極めて微細であり、銅に比べて電流密度耐性、熱伝導特性が極めて高い。また、半導体的特性を持

つCNTは電子、正孔ともに高い移動速度を持ち、かつ同速であることが特徴として挙げられる。このことから、CNTをチャンネルとして使用するCNFETは、CMOSと比較して、スイッチング速度の高速化と、入力依存の遅延差の縮小が期待される。これらのCNFETの特徴から、CNFETはウェーブパイプライン回路を構成する上で、遅延差をあらかじめ削減し、ファインチューニングの負荷を軽減するために有効であるといえる。

そこで図1に示すように、CNFETを用いたウェーブパイプライン回路のための遅延調整法を提案し、スタンフォード大学が提供しているVS-CNFETを用いて評価した。提案手法により、CNFETを用いたウェーブパイプライン化された32-bit KSAでは、調整前の論理ゲートを用いたウェーブパイプライン化した回路と比較して、遅延差を9%低減することができた。さらに、従来手法と比較して、ファインチューニングにおけるゲートサイジングの対象となる論理ゲートの数が大幅に削減し、約4段のウェーブパイプライン回路を実現可能であることを示している。

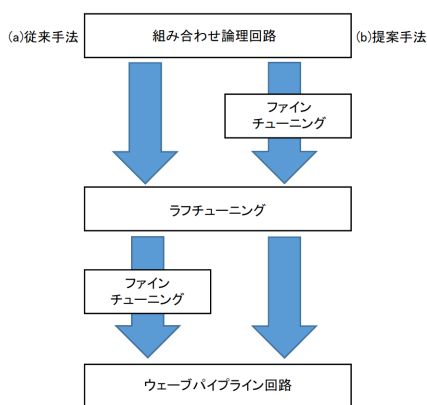


図1：CNFETを用いた遅延調整手法と従来手法の比較

(2) STT-RAMを用いた低消費電力キャッシュ管理機構

近年のプロセッサは、トランジスタの微細化に基づき、より多くの独立したコアを有するマルチコアプロセッサが主流となっている。チップ上のコア数の増加によりスループットの向上が実現するが、一方で高いデータ供給能力も必要となる。このため、マルチコア化と同時にラストレベルキャッシュ(以下LLC)の大容量化が推し進められてきた。この結果、近年のプロセッサにおいて、LLCをはじめとするキャッシュメモリが、チップ全体の半分の面積を占めており、この傾向は将来も続くことが予想されている。

これらのLLCはこれまでSRAMを基本素子として設計されてきたが、その素子特性により、SRAMを用いたLLCの大容量、低消費電力化は困難だと言われている。一方、STT-RAMの記憶セルは、1つのトランジス

タとMagnetic Tunnel Junction(MTJ)と呼ばれるセルから構成される。このため、6つのトランジスタから構成されるSRAMと比較して記憶セルあたりの面積が小さく、高い集積度を有する。また、STT-RAMは不揮発性メモリの一種であるため、MTJに情報を維持するために常に電圧を印加する必要が無い。このため、待機電力の大幅な削減が可能となる。上記の理由により、STT-RAMをLLCの記憶素子として利用することで、LLCの大容量化と静的消費エネルギーの削減の両立が期待されている。

一方、STT-RAMには、データ書き込み時の消費エネルギーがSRAMに比べて大きいという問題がある。そのため、LLCにおけるデータの書き込み頻度が高いアプリケーションにおいては、書き込みエネルギーの増加量が静的消費エネルギーの削減量を上回り、結果的にキャッシュ全体の消費エネルギーが増大することが予想される。そこで、予備評価を行い、

予備評価により、STT-RAMを用いたキャッシュにおいては、キャッシュラインサイズを長くすることで、LLCのタグアレイへのアクセスコストを削減し、単位データ量当たりの書き込みエネルギーを削減できる可能性があることを明らかにした。

これらの検討を踏まえ、STT-RAMから構成されるLLCへのライトバック処理に関して、再利用性のないデータはLLCをバイパスし、再利用性のあるデータは空間的に隣接するキャッシュライン同士をまとめてLLCへ書き込む機構を提案(図2)し、シミュレーションによる評価を行った。その結果、ほぼ全てのベンチマークでLLC消費エネルギーの削減効果が得られた。また、最大で28%消費エネルギーを削減できることを明らかにしている。

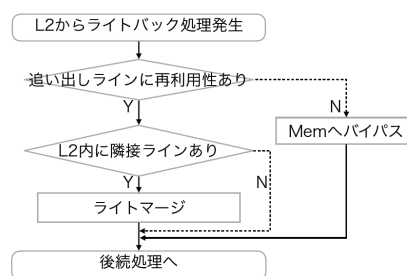


図2：STT-RAM LLCのためのライトマージ制御フロー

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計3件)

1. Masayuki Sato, Yoshiki Shoji, Zentarō Sakai, Ryusuke Egawa, and Hiroaki

Kobayashi, "An Adjacent-Line-Merging Writeback Scheme for STT-RAM-Based Last-Level Caches," IEEE Trans. on Multi-Scale Computing Systems pp. 1 – 12. (査読有り) (採録決定)

2. Masayuki Sato, Zentaro Sakai, Ryusuke Egawa, and Hiroaki Kobayashi, "An adjacent-Line-Merging Writeback Scheme for STT-RAM Last-level Cache," Proceedings of IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips 20), pp. 1 - 3, 2017. (査読有り)
3. 宇野 涉, 佐藤 雅之, 江川 隆輔, 小林 広明, "三次元積層時代における高電力効率メモリ階層設計," 信学技報 Vol. 115, No. 271, pp19-24, 2016. (査読無し)

〔学会発表〕(計4件)

1. Takuya Toyoshima, Masayuki Sato, Ryusuke Egawa and Hiroaki Kobayashi, "An Application-Adaptive Data Allocation Method for Multi-channel Memory," IEEE International Symposium on Low-Power and High-Speed Chips(COOL Chips 20), 2017年4月20日, 横浜市, 横浜情報文化センター.(査読有り)
2. 豊嶋拓也, 佐藤雅之, 江川隆輔, 小林広明, "高メモリ幅メモリのための省電力データ配置手法に関する研究," 電気関係学会東北支部連合大会, 2016年8月30日, 仙台 東北工業大学.(査読無し)
3. Takuya Toyoshima, Masayuki Sato, Ryusuke Egawa, and Hiroaki Kobayashi, "A Power-Performance Tradeoff of HBM by Limiting Access Channels," IEEE International Symposium on Low-Power and High-Speed Chips (COOL Chips 19), 2016年4月19日, 横浜市, 横浜情報文化センター(査読有り)
4. Ryusuke Egawa, "Design Space Exploration for Green Microarchitectures in the More-than-Moore Era," Young and Bright HPC Researcher Session of ISC15, 2015年7月13日, 独フランクフルト市, フランクフルト国際会議場.(招待講演)

〔図書〕(計0件)
該当無し

〔産業財産権〕
該当無し

出願状況(計0件)
該当無し

〔その他〕
ホームページ等
該当無し

6. 研究組織

(1)研究代表者

江川 隆輔 (Egawa Ryusuke)
東北大学・サイバーサイエンスセンター・
准教授
研究者番号：80374990

(2)研究分担者

該当無し

(3)連携研究者

小林 広明 (Kobayashi Hiroaki)
東北大学・情報科学研究科・教授
研究者番号：40205480

滝沢 寛之 (Takizawa Hiroyuki)

東北大学・サイバーサイエンスセンター・
教授
研究者番号：70323996

多田 十兵衛 (Tada Jubee)

山形大学・理工学研究科・助教
研究者番号：30361273

(4)研究協力者

佐藤 雅之 (Sato Masayuki)
宇野 涉 (Uno Wataru)
豊嶋 拓也 (Toyoshima Takuya)
坂井 然太郎 (Sakai Zentaro)
小笠原大輔 (Ogasawara Daisuke)