

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 8 日現在

機関番号：16101

研究種目：挑戦的萌芽研究

研究期間：2015～2016

課題番号：15K12002

研究課題名（和文）タイミングウインドウ内の電荷供給量によるICの電流テスト法に関する研究

研究課題名（英文）IC Test Method Based on Charge Volume Injected from a Power Supply Circuit within a Timing Window

研究代表者

橋爪 正樹（Hashizume, Masaki）

徳島大学・大学院理工学研究部・教授

研究者番号：40164777

交付決定額（研究期間全体）：（直接経費） 2,200,000円

研究成果の概要（和文）：電源からICに流れ込む電源電流でICを検査する検査法は「電流テスト法」と呼ばれている。IC内に断線や短絡故障が発生すると、ICへの検査入力印加後に流れる電源電流値だけでなく、「タイミングウインドウ」と呼ばれるある時間範囲内に電源から供給される電荷量に顕著な影響が現れる。本研究では従来の電流テスト法のように電源電流値で検査するのではなく、タイミングウインドウ内で電源から供給される電荷量による検査を可能にするIC内組み込み型検査回路を開発し、それを用いた検査法とその検査入力生成法の開発を行った。それにより既存の検査法では発見できない断線故障が開発した検査法で発見できることを明らかにした。

研究成果の概要（英文）：ICs are tested by means of supply current supplied from a DC voltage source to them, since supply currents depend on open defects and short ones that occur in ICs. The test method is called a supply current test method. Larger change occurs in the charge volume supplied from a power supply source circuit within a specified timing window than in a supply current due to the defects. No test method had not been proposed to test ICs by means of the charge volume. We have developed a supply current test method based on the volume of charge supplied from a power supply circuit, together with its supply source circuit and the test input generation algorithm. We show by experiments and simulations that open defects that cannot be detected by measuring output signals of an IC can be detected by the test method.

研究分野：ディペンダブルコンピューティング

キーワード：IC検査 電流テスト 電荷注入 断線故障 電気検査 欠陥検出

1. 研究開始当初の背景

IC は様々な電子機器に組み込まれている。その IC 内の断線、短絡故障により電子機器の誤動作を生じる場合があり、IC の高信頼性が求められている。その一方で半導体製造技術の発展により IC 内に大規模で複雑な回路を作ることができるようになり、回路内に発生した断線、短絡故障を見逃す可能性が高まっている。そのためより強力な検査法の開発が求められている。

通常の IC 検査では検査入力を IC に印加し、その時に IC から出力される論理信号を計測し、それが期待値と一致するか調べ検査している。その方法では故障によって発生する論理値異常を IC の出力端子まで伝搬する必要があり、大規模回路を内蔵した IC では検出できない場合があり問題となっている。その問題を解決するために電源から IC に流れる電源電流により検査する検査法が提案されている。その検査法は「電流テスト法」と呼ばれている。

その検査法では故障により発生させた論理値異常を必ずしも IC の出力端子まで伝搬させる必要がない。そのためその検査法は論理値測定による検査法では見逃す故障を発見できる可能性がある。しかし近年のディープサブマイクロン IC では IC に流れる漏れ電流が大きく、故障によって生じる電源電流異常を埋もれさせ、故障の発見が困難となっており、そのような IC の検査を可能にする新たな電流テスト法の開発が求められている。

2. 研究の目的

IC 内に断線や短絡故障が発生すると、IC への検査入力印加後に流れる電源電流だけでなく、ある時間範囲（以後、「タイミングウインドウ」と呼ぶ）内に電源から供給される電荷量にも故障の影響が現れる。本研究では従来の電流テスト法のように電源電流値により検査するのではなく、タイミングウインドウ内で電源から IC に供給される電荷量での検査を可能にする IC 内組み込み型検査回路を開発し、それをを用いた検査法とその検査入力生成法の開発、ならびにその検査能力を明らかにすることを目的としている。

3. 研究の方法

- (1)電源から IC に注入されるタイミングウインドウ内の電荷供給量の異常による検査を可能にする検査用回路は現在まで提案されていない。本研究ではその検査用回路を開発する。
- (2)開発した検査用回路を用いた IC の電流テスト法を提案し、その検査可能性を明らかにする。
- (3)開発した電流テスト法の検査入力を明らかにしその生成法を開発する。
- (4)故障を故意に挿入した IC を設計・試作し、回路シミュレーションならびに実験により

検査能力を調査する。

4. 研究成果

(1) IC への電荷注入量による検査原理を図 1 に示す。IC に検査入力 Tst1 を印加後、Tst2 を印加すると、図 1 (b) のような波形の電源電流が IC に流れる。Tst2 印加直後には動的電源電流 IDDT が流れ、その後、静的電源電流 IDDQ が流れる。IDDT は IC 内の論理ゲートの出力論理値変化がなくなるまで現れる。IC 内に図 1 (a) の断線や短絡故障が発生しそれ以降の論理ゲートの出力論理値変化が生じなければ、図 1 (b) の断線、短絡故障発生時波形のように正常時と異なる IDDT 波形が現れる。

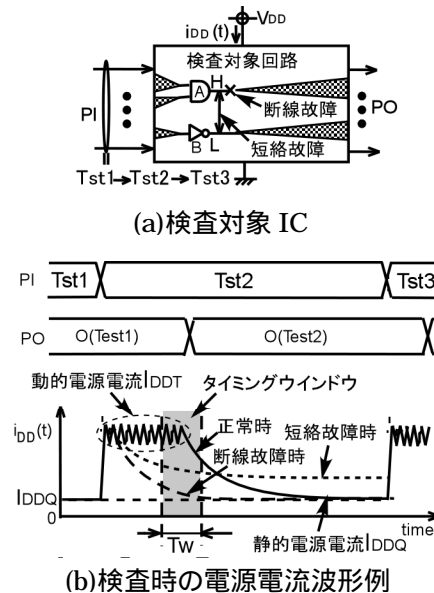


図 1 CMOS IC 動作時の電源電流波形

検査入力を印加した時に現れる電源電流波形全体の違いで IC を検査するよりも、指定した時間幅 Tw の時間窓であるタイミングウインドウ内の電源電流波形の違いで IC を検査することで、より顕著に正常時との違いが現れ、故障の検出が容易となることが期待できる。また電源電流波形の違いを観測するには高価な計測装置が必要となり、IC 価格の上昇を招く。そこで本研究では電源電流波形を測定せずにタイミングウインドウ内の電源電流の異常で IC 内の故障を検出する検査法の開発を行った。

電源電流は電源から IC 内に電荷を注入することで流れる。そこで本研究ではタイミングウインドウ内の電源電流波形を測定し検査するのではなく、そのタイミングウインドウ内で IC に注入する電荷量により検査する。その検査で直流電圧源を用いて IC を駆動すると IC への電荷注入量を測定できないため、本研究では図 2 に示すような電荷注入量の検査を可能にする電荷供給回路と電源電圧監視回路からなる検査用回路を開発した。

その電荷供給回路は図2に示すようにコンデンサとスイッチから構成する。コンデンサ内に規定値の電荷量を充電した後、各コンデンサ内に充電した電荷を順にICに注入する。その注入を繰り返すことで、ICの電源電圧は図3の $V_{DD}(t)$ に示すように充電毎に増大する。検査用回路内の電源電圧監視回路でその電源電圧を指定したしきい値電圧 V_{TH} と比較し、 V_o からHが出力されている間のコンデンサからの電荷注入回数をカウントしそのカウント値の異常で検査する。つまり、タイミングウインドウ内でIC内の検査対象回路の電源電圧が V_{TH} を超えるまでに電荷供給回路内のコンデンサから何度電荷を供給したかで検査する。そのため従来のような電源電流波形を測定しそれで検査する検査法に比べ、本検査法による検査では高価な測定装

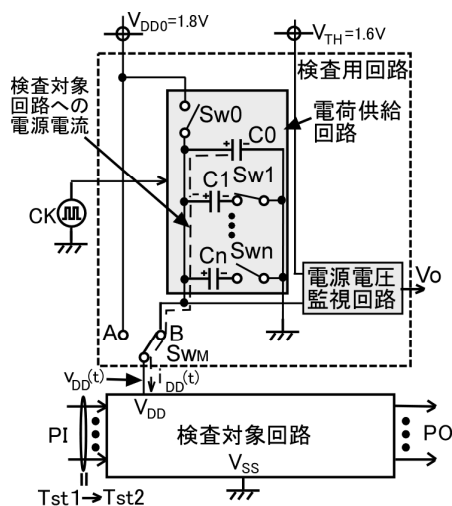


図2 タイミングウインドウ内の電荷注入量による検査法のための検査用回路

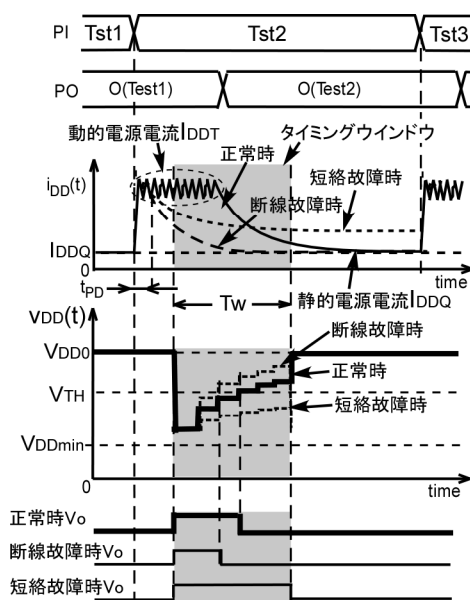


図3 タイミングウインドウ内の電荷注入時の検査用回路出力

置を必要としない。また本検査法では電荷供給回数というデジタル値でICを検査できるという従来にない特長を有している。

本研究ではこの検査法のために図4、図5の2種類の電荷供給回路を開発した。図4は多数のコンデンサを最初に充電し、1個ずつICに電荷を注入するというものである。図5はコンデンサの個数を3個に減らし、 C_1, C_2 に充電した後、どちらかのコンデンサからICに電荷注入しもう一方を充電するという操作を繰り返しICに電荷を注入するものである。

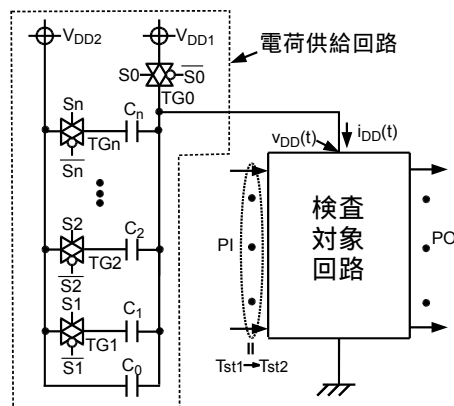


図4 開発した電荷供給回路1

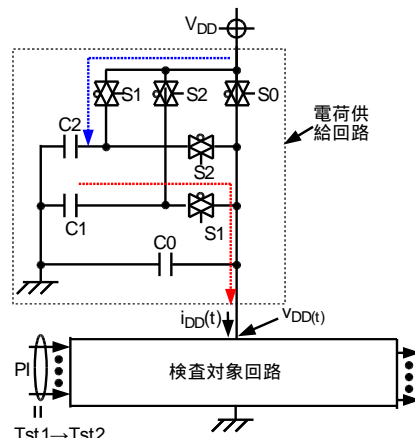


図5 開発した電荷供給回路2

(2)本研究では開発した検査用回路を用いた電流テスト法を2種類開発した。一つはデジタル論理ICやICとして多用されているメモリICの検査法、もう一つは近年高速で低消費電力で大規模回路の実装が可能で3次元積層ICのICチップ間の配線を検査する検査法である。

それら検査法による検査可能性を明らかにするため、本研究で開発した2種類の電荷注入回路からなる検査用回路を内蔵したICを設計・試作し、それらの検査用回路を用いて、ICチップ内の断線、短絡故障が検査可能か実験と回路シミュレーションで調査した。

ICチップ内に短絡故障が発生すると図3に示すように電流が流れ続け、 V_{TH} までICチップの電源電圧が上昇しないため、相当大き

な充電回数となり、容易に発見できる。ICチップ内に断線故障が発生した場合は電源電流に現れる故障の影響が少ないので、短絡故障に比べ発見が難しい。しかし本研究では本検査法で発見できることを明らかにした。図6にICチップの検査時のシミュレーション波形例を示す。図6で、正常ICの場合9回の電荷注入で1.7Vのしきい値電圧までそのICの電源電圧が上昇する。それに対し完全断線発生時には4回で、抵抗成分を伴った半断線発生時には15回の電荷注入を行っても1.7VをそのICの電源電圧が上昇していない。そのことからそれらの断線故障は本検査法で発見できることがわかる。

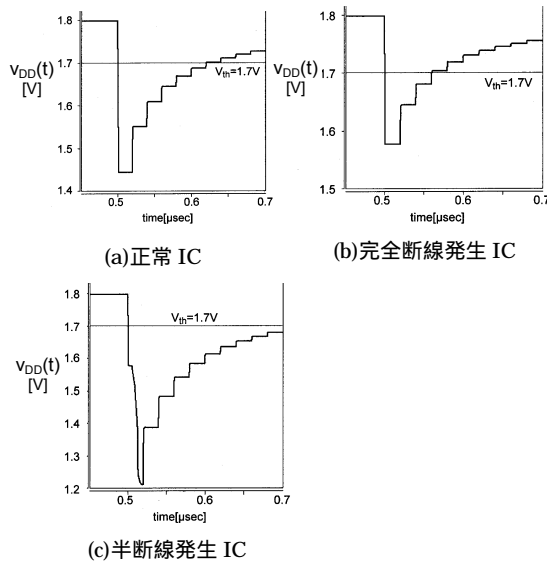


図6 ICチップの検査例

メモリを内蔵したICでは図4の電荷注入回路で作られた検査用回路をIC内に組み込み、指定したアドレスに0を書き込んだ時と1を書き込んだ時とは電荷注入回数が異なることを実験で確認し、本検査法によるメモリICの検査可能性を明らかにした。

3次元積層ICは通常のICチップを積層し作製するICである。3次元積層ICは十分検査し正常ICチップと判定されたICチップを積層し作られる。しかしそれらのICチップ間を接続する際にその接続部に断線や短絡故障が発生する。その接続部の信号は外部から直接測定できないため検査が困難で、問題となっている。本研究ではその故障を電荷注入量により発見する検査法ならびにその検査用回路も開発した。

その検査法による検査原理図を図7に示す。その検査法ではICチップ間の接続部分の検査を容易とするバウンダリスキャンテスト回路を本検査法による検査信号を印加するのに流用するものである。その検査法での検査を可能にするため3次元積層IC内のICチップ間の配線にpMOSトランジスタを追加しそのゲート端子に負の狭パルスの検査制御信号を印加し、検査対象配線の電位を下

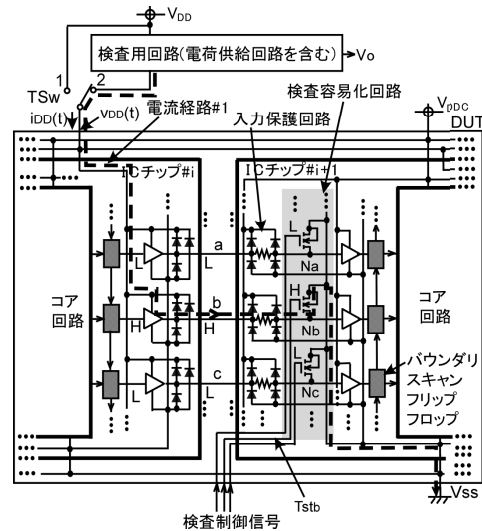


図7 3次元積層IC内配線の検査法

げる。その後、電荷供給回路で電荷を供給しその配線の電圧を上昇させる。その検査法ではその電圧があるしきい値電圧 V_{th} を超えるまでに充電する回数の正常ICとの違いにより検査する。それによりバウンダリスキャンテストで発見できない半断線までの発見が期待できる。

その検査法によるその検査可能性を明らかにするため、本研究ではインバータチェーン回路をコア回路とするICを設計した。図8にそのICの検査例を示す。図8より断線抵抗が100より大きくなると2.7Vより小さくならず V_{th} を超えるまでの回数が正常ICの時に比べ非常に大きくなるため検出できることがわかる。それらの故障発生により論理信号には非常に短い遅延時間の増大という故障の影響しか現れないため、バウンダリスキャンテスト法では見逃す可能性が高い。それに対し本検査法ではそれらの故障を確実に発見でき、本検査法は高い検査能力を有していることがわかった。

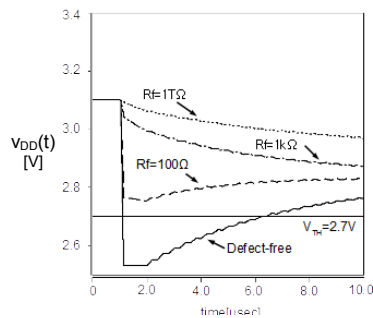


図8 3次元積層IC内配線の検査例

(3)本検査法はIC内の論理信号に故障の影響を発生させる必要があるものの、発生させた故障の影響を外部出力端子まで伝搬しなくてもよいという特長を持つ。過去に提案されている検査入力生成法は必ずどこかの外部出力端子まで伝搬させるものである。それが

IC内の回路が複雑・大規模となった現在、非常に難しくなり、その検査法の故障検出率の低下を招いている。本検査法では必ずしも外部出力端子まで伝搬しなくてもよく、従来の検査法では発見できない故障の検出が期待できる。そこで本研究では本検査法のための検査入力生成法を開発した。その検査入力を印加することで従来の検査法で見逃す故障の発見ができ、ICの高信頼化実現の可能性をシミュレーションで明らかにした。

その検査入力生成過程において発生させた故障の影響を外部出力端子に向かってどこまで伝搬すればよいかは使用する検査用回路に依存する。現時点ではその検査用回路の最適化が完了していないので本検査法の検査入力生成法の評価まで至っていない。今後の検査用回路の最適化が完了した後で再度、検査入力生成を行い、開発した検査入力生成法を評価する予定である。

3次元積層ICの検査のための検査入力に関しては検査対象配線にHを与えた後、その配線に追加されたpMOSをオンにする検査用信号を印加すればよい。検査入力生成法を新たに開発する必要がない。またその検査入力印加ではICチップ内のバウンダリスキャンテスト回路を流用するため、その検査を可能にする検査用設計も不要となり、本検査法による検査のための面積オーバーヘッドを小さくできることがわかった。

(4)本研究では開発した検査用回路を内蔵したICを3種類設計し、そのうち2種類のICを試作し入手した。

設計したIC内のコア回路はメモリ回路、インバーターチェーン回路および検査能力評価用ベンチマーク回路である。インバーターチェーン回路を内蔵したICは電荷注入量による検査法の検査パラメータを決めるためのものである。メモリ回路、ベンチマーク回路を内蔵したICはタイミングウインドウ内の電荷注入量による検査法の検査可能性を評価するためのものである。

インバーターチェーン回路を内蔵したICを用いて電荷注入回路内のコンデンサの容量決定法を開発した。またそのICを用いて検査入力生成工程で指定する必要のある、発生させた故障の影響を伝搬すべきゲートの個数を決定した。ベンチマーク回路を内蔵したICを用いてタイミングウインドウを設定した検査用回路による検査可能性を評価した。その評価により、タイミングウインドウを設定することにより、設定しない場合には発見できない断線故障が発見できることを明らかにした。その研究成果については今後、学会において発表する予定である。

試作ICによる評価では高精度でタイミングウインドウの設定が行えず、実験でタイミングウインドウの有効性を明らかにところまでは至っていない。高精度でタイミングウインドウの設定を可能とする回路を検査用

回路として追加することでその検証は可能となるので、今後、そのICを設計・試作し本検査法の検査能力を評価する予定である。

3次元積層ICに対する検査能力評価は試作ICに高額な費用が必要となるので、本研究では回路シミュレーションでのみ行った。ICチップ自体の検査の場合、過渡電源電流波形が検査入力により変わるため、タイミングウインドウの設定の効果が得られる。それに対し、3次元積層ICのICチップ間配線の検査の場合はタイミングウインドウを設定しなくても狭パルス信号印加後に電荷注入するだけで、検査可能となることをその研究で明らかにした。

5. 主な発表論文等

〔雑誌論文〕(計4件)

Kouhei Ohtani, Masaki Hashizume, Daisuke Suga, Hiroyuki Yotsuyanagi and Shyue-Kung Lu, A Power Supply Circuit for Interconnect Tests Based on Injected Charge Volume of 3D IC, Proc. of IEEE CPMT Symposium Japan 2016, 査読有, 2016, 139-140

Kouhei Ohtani, Daisuke Suga, Hiroyuki Yotsuyanagi and Masaki Hashizume, A Built-in Test Circuit for Injected Charge Tests of Open Defects in CMOS ICs, Proc. of International Technical Conference on Circuits/Systems, Computers and Communications 2016, 査読有, 2016, 291-294.

Daisuke Suga, Masaki Hashizume, Hiroyuki Yotsuyanagi and Shyue-Kung Lu, Electrical Interconnect Test Method of 3D ICs by Injected Charge Volume, Proc. of IEEE 3D System Integration Conference 2015, 査読有, 2015, TS8.19.1-TS8.19.5.

Daisuke Suga, Hiroyuki Yotsuyanagi and Masaki Hashizume, Electrical Test for Open Defects in CMOS ICs by Injected Charge, Proc. of International Technical Conference on Circuits/Systems, Computers and Communications 2015, 査読有, 2015, 653-656.

〔学会発表〕(計5件)

大谷航平, 菅大介, 四柳浩之, 橋爪正樹, 電荷注入回数によるIC間配線の試験回路, 第31回エレクトロニクス実装学会春季講演大会論文集, 2017年3月6日, 慶応大学(神奈川県・横浜市)

大谷航平, 菅大介, 四柳浩之, 橋爪正樹, 電荷注入量による断線不良検出の回路規模に対する影響調査, 電気関係学会四国支部連合大会, 2016年9月17日, 徳島大学(徳島県・徳島市)

三好大地, 四柳浩之, 橋爪正樹, IDDT出現時間を用いる断線故障検査法の伝搬不

能故障検出に対する有効性調査，電気関係学会四国支部連合大会，2016年9月17日，徳島大学（徳島県・徳島市）

Masaki Hashizume, Kohei Ohtani, Daisuke Suga, Hiroyuki Yotsuyanagi and Shyue-Kung Lu, A Power Supply Circuit for Detecting Open Defects by Amount of Injected Charge, Taiwan and Japan Conference on Circuits and Systems, Aug.1, 2016, Tainan (Taiwan)

菅 大介，四柳 浩之，橋爪正樹，電荷注入量による IC 間配線の電流テストの可能性評価，電気関係学会四国支部連合大会，2015年9月26日．高知工科大学（高知県・香美市）

〔その他〕

ホームページ等

<http://tameone.ee.tokushima-u.ac.jp/~tameone/RSP/charge/>

6．研究組織

(1)研究代表者

橋爪 正樹 (HASHIZUME Masaki)

徳島大学・大学院理工学研究部・教授

研究者番号：40164777