

平成30年6月6日現在

機関番号：14401

研究種目：挑戦的萌芽研究

研究期間：2015～2017

課題番号：15K13948

研究課題名(和文)フレキシブル基板上への高性能スピントロニクス材料・デバイスの実証

研究課題名(英文)Development of spintronic materials and devices on flexible substrates

研究代表者

山田 晋也 (Yamada, Shinya)

大阪大学・基礎工学研究科・助教

研究者番号：30725049

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：本研究では、低消費電力フレキシブル・システムインディスプレイの創製を目指して、薄膜トランジスタ技術と高性能スピントロニクス技術の融合の可能性を独自に探索した。主な研究成果として、(1)ガラス基板およびフレキシブル基板上への大粒径Ge(111)薄膜の低温形成技術の開発、(2)低温作製プロセスを用いた薄膜トランジスタの動作実証、(3)大粒径Ge(111)薄膜上への高性能スピントロニクス材料の結晶成長、の3つの成果が挙げられる。今後、薄膜トランジスタのさらなる性能向上や高性能スピントロニクスデバイスを実証することで、低消費電力フレキシブル・システムインディスプレイへの可能性が拓かれる。

研究成果の概要(英文)：In this project, we have studied an innovation of flexible system-in-display devices with low power consumption. We have obtained the following results. First, we have developed a method for demonstrating pseudo-single-crystalline, i.e., large-area, (111)-oriented, and high-crystallinity Ge films below 300 C on glass and flexible substrates. Next, by developing a low-temperature fabrication process for the gate-stack structure on Ge(111), we have observed a reasonable p-channel transistor operation in pseudo-single-crystalline Ge thin film transistors on glass and flexible substrates. Finally, we have examined crystal growth of a Heusler alloy, one of candidate spintronic materials, on the pseudo-single-crystalline Ge films. From now on, we should enhance the performance of the thin-film transistors and demonstrate the high-performance spintronic devices.

研究分野：電気電子材料

キーワード：フレキシブル 薄膜トランジスタ ゲルマニウム ホイスラー合金

### 1. 研究開始当初の背景

薄くて軽く、持ち運びに便利なフレキシブル・システムインディスプレイの実現を目指し、国内外で研究が盛んに進められている。携帯性向上のためには、長期にわたりバッテリー駆動を実現する必要がある、如何にして消費電力を低く抑えるかが重要な課題となっている。

近年、次世代の低消費電力デバイス技術として『不揮発メモリ機能』を導入することで大幅な省電力化を実現する「スピントロニクス」に注目が集まっている。しかし、ディスプレイ技術にスピントロニクス技術を応用するという研究は非常に少ない。それは、一般にスピントロニクス技術がデバイスの高性能化に高温(~500 °C)熱処理を必要とするのに対し、ディスプレイ技術がフレキシブルの軟化温度(~300 °C)以下の低温プロセスに限られているためである。

代表者らはこれまで、高性能スピントロニクス材料として有望視されているホイスラー合金と IV 族半導体ゲルマニウム(Ge)の(111)面の原子配列が完全に一致することに着目し、分子線エピタキシー(MBE)法を用いた低温結晶成長技術を駆使することで、ホイスラー合金薄膜の高規則構造を室温(~25 °C)で得ることに成功した。一方、金誘起層交換成長(GIC)法を利用して、ガラス基板やフレキシブル基板上に方位制御された Ge(111)結晶が低温(~250 °C)で得られるという報告がなされ、フレキシブル基板上の軟化温度以下で Ge(111)結晶までも低温形成できる状況にある。この Ge(111)結晶を薄膜トランジスタ(TFT)のアレイ構造およびホイスラー合金薄膜を形成するためのテンプレートとして有効利用し、代表者らのシーズ技術である低温結晶成長技術と融合することで、フレキシブル基板上への高性能スピントロニクスデバイスを実証できる可能性が現実的なものとなる。ディスプレイ技術とスピントロニクス技術の融合を目指した斬新かつ挑戦的な研究テーマである。

### 2. 研究の目的

本研究では、低消費電力システムインディスプレイを指向した Ge-TFT とスピントロニクスデバイスの融合を目指し、以下の技術課題を解決へと導く。

(1) ガラス基板およびフレキシブル基板上への大粒径 Ge 薄膜の低温形成と品質評価を行い、TFT 形成およびホイスラー合金に適した Ge 薄膜の作製法を確立する。

(2) Ge-TFT の低温形成プロセスを確立し、性能評価の後、素子性能向上の指針を得る。

### 3. 研究の方法

従来の GIC 法では、結晶粒径が 100 μm 程度の Ge 薄膜しか得られなかったため、TFT アレイ構造及びホイスラー合金薄膜の形成に不向きであるという欠点があった。それを解決するためには、Ge 薄膜の結晶粒界を低減し、

Ge 結晶の大粒径化を図る必要がある。そこで先ず、GIC 法の結晶成長プロセスに深く踏み込み、結晶成長技術を巧みに制御する糸口を掴む。次に、不明瞭である GIC-Ge(111)薄膜の電気特性の詳細を議論し、TFT 応用への糸口を掴む。最後に、GIC-Ge(111)薄膜上へのホイスラー合金薄膜の形成技術を探索する。

### 4. 研究成果

#### (1)大粒径 Ge(111)薄膜の低温形成

GIC 法は、ガラス基板やフレキシブル基板上に Au 層と非晶質 Ge(a-Ge)層を積層して低温で熱処理を施し、Au 層と a-Ge 層の層交換を誘起することで、Ge 結晶を得る手法である。代表者らは、結晶粒径と核発生密度の関係に着目し、原子層堆積(ALD)法による Al<sub>2</sub>O<sub>3</sub> 膜を用いることで、Ge 核発生密度の抑制に成功した。さらに、Au と Ge の多層構造を組み合わせることにより[図 1(a)], Ge 結晶の成長を促進させ、300 °C 以下の低温プロセスにおいて、結晶粒径が最大で 1 mm 弱[図 1(b),(c)]にも達する大粒径 Ge 薄膜をガラス基板およびフレキシブル基板上に形成することに成功した。

Ge 薄膜の結晶性をラマン分光法を用いて評価したところ、Ge-Ge 結合に起因するラマンピークが観測され、その半値幅は 3.7-5.3 cm<sup>-1</sup>であった。この値は、Ge 基板の半値幅が 3.4 cm<sup>-1</sup>であることから、作製された Ge 薄膜の結晶性が高いことを示唆している。また、Al 誘起層交換成長(AIC)法を用いて作製した Ge 薄膜の半値幅は~17.0 cm<sup>-1</sup>程度であり、低温形成 Ge の中でも結晶性が優れていることが明らかとなった。また、ラマンマッピングの測定結果から、広範囲にわたって均一な結晶性を有していることが明らかとなった。さらに、Ge 薄膜の配向性を電子線後方回折散乱

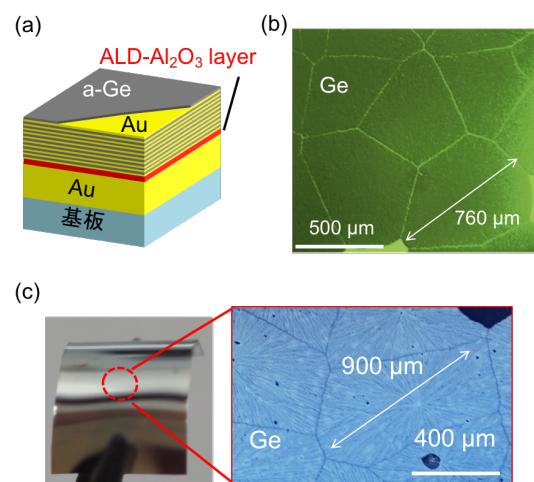


図 1. (a)本研究で開発した GIC 法の熱処理前の試料構造の模式図. (b)ガラス基板および(c)フレキシブル基板上に形成した大粒径 Ge(111)薄膜の光学写真.

(EBSD)法を用いて評価した結果、面直方向から見たとき、Ge 結晶は(111)面に配向しており、面内方向から見たとき、双晶なく同一方向に配向していることが明らかとなった。この大粒径 Ge 薄膜は、従来と比較して数百倍にもわたる領域にわたって均一な結晶性を有しており、TFT アレイ構造およびホイスラー合金薄膜を形成するためのテンプレートとしての活用が期待できる。

## (2) 低温作製プロセスを用いた Ge-TFT の実証

### ①大粒径 Ge(111)薄膜の電気特性

まず、大粒径 Ge(111)薄膜の電気特性を評価するため、フォトリソグラフィ、Ar イオンミリングを用いてホール素子へと加工した。外部磁場に対してホール電圧が正の傾きで変化したことから、GIC-Ge は p 型であることが判明した。室温におけるキャリア密度は、ガラス基板およびフレキシブル基板上でそれぞれ、 $\sim 1.2 \times 10^{18} \text{ cm}^{-3}$ 、 $\sim 3.2 \times 10^{17} \text{ cm}^{-3}$  と見積もられ、これまでに報告されている Al 誘起層交換成長(AIC)法を用いて低温形成した Ge 薄膜(AIC-Ge)と比較して2桁程度低い値を示した。室温におけるキャリア移動度は、ガラス基板およびフレキシブル基板上でそれぞれ $\sim 206 \text{ cm}^2/\text{Vs}$ 、 $\sim 190 \text{ cm}^2/\text{Vs}$  と見積もられた。この値は、AIC-Ge と比較して1桁以上高い値を示した。以上の結果は、高性能 TFT への応用が期待される結果である。

### ②ガラス基板上での Ge-TFT の実証

近年、Ge-MOSFET の要素プロセスが整いつつあるが、その多くは良質なゲート絶縁膜を形成するために、フレキシブル基板の軟化温度( $\sim 300 \text{ }^\circ\text{C}$ )以上の高温プロセスを必要としている。そこで、フレキシブル基板上においても応用可能な  $300 \text{ }^\circ\text{C}$  以下における TFT の低温作製プロセスの開発を目指した。九州大学・中島研究室との共同研究により、ALD 法と電子サイクロトロン共鳴(ECR)プラズマ酸化法を用いたゲートスタック構造の低温( $300 \text{ }^\circ\text{C}$  以下)プロセスを新たに開発した。

(2)で述べた通り、GIC-Ge 薄膜は p 型伝導を示しており、ソース・ドレイン電極はオーミック接合であるので、TFT は蓄積モードでの動作を想定している。この場合、Ge 薄膜の膜厚を  $30 \text{ nm}$  以下にする必要がある。加えて、GIC-Ge 薄膜の表面には多数の凹凸が見られたため、化学機械研磨(CMP)を用いて表面の平坦化を行いながら、 $30 \text{ nm}$  以下まで薄膜化を行った。原子間力顕微鏡や走査型電子顕微鏡による観察から、CMP 前後で Ge 薄膜の薄膜化および表面の平坦化ができていることを確認した。

上記の手法を用いて、ガラス基板上に形成した GIC-Ge 薄膜を薄膜化した後、TFT に加工[図 2(a)]し評価を行った。図 2(b)には Ge 薄膜を  $10 \text{ nm}$  以下まで薄膜化した TFT のドレイン電圧-ドレイン電流( $V_d$ - $I_d$ )特性を示す。ゲート電圧の減少につれて、チャンネルコンダクタ

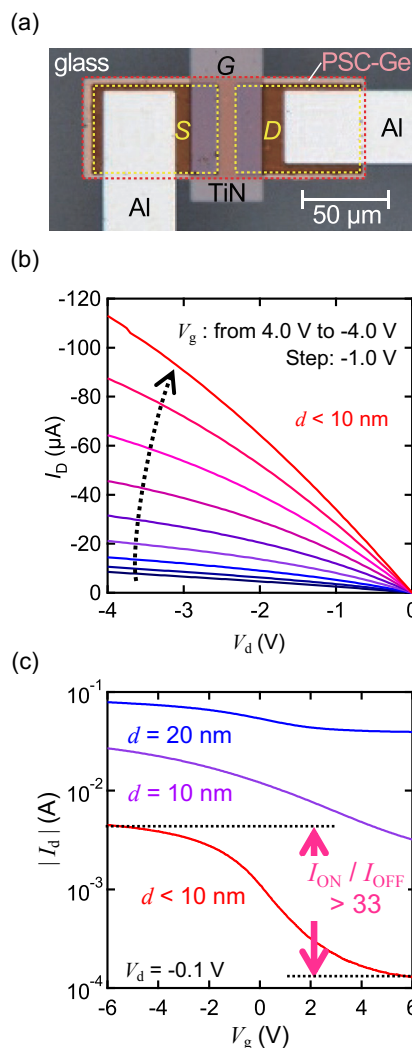


図 2. ガラス基板上に形成した薄膜トランジスタの(a)光学写真、(b) $V_g$ - $I_d$ 特性、(c) $V_g$ - $I_d$ 特性.

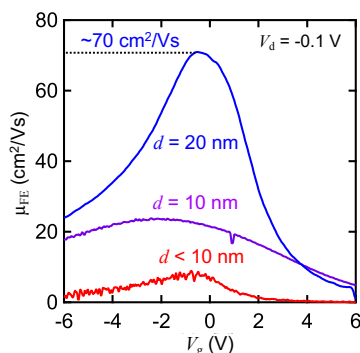


図 3. 薄膜トランジスタの  $\mu_{FE}$ - $V_g$  特性.

ンスが増加している。これは、p 型チャンネルの TFT の一般的な動作であり、 $300 \text{ }^\circ\text{C}$  以下において作製した p 型チャンネル Ge-TFT の動作実証を示唆する結果である。図 2(c)には Ge 薄膜の厚さがそれぞれ $\sim 20 \text{ nm}$ 、 $\sim 10 \text{ nm}$ 、 $10 \text{ nm}$ 以

下の場合の TFT のゲート電圧-ドレイン電流 ( $V_g$ - $I_d$ )特性を示す(ドレイン電圧  $V_d = -0.10$  V)。Ge 薄膜を 10 nm 以下まで薄くした際に、TFT の ON/OFF 比は最高で 33 程度となった。しかし、Ge 薄膜を 30 nm 以下にまで薄膜化したにもかかわらず、ON/OFF 比が最大でも 1 桁程度と非常に小さかった。この原因について考察するため、電界効果移動度の Ge 膜厚依存性を調査した。その結果を図 3 に示す。膜厚が 20 nm の時に、電界効果移動度が最大で  $71 \text{ cm}^2/\text{Vs}$  となった。この値は  $300^\circ\text{C}$  以下で低温形成した p 型半導体 TFT の中でも高い値を示している。一方、膜厚が 20 nm から 10 nm に減少すると、電界効果移動度は  $71 \text{ cm}^2/\text{Vs}$  から  $8.2 \text{ cm}^2/\text{Vs}$  に減少した。その原因として、基板界面付近に存在する Ge 薄膜の欠陥の存在とそれに起因した  $\sim 10^{19} \text{ cm}^{-3}$  という高いキャリア密度が薄膜トランジスタの性能を劣化させている原因だと考察した。

### ③ポストアニールによる電気特性の改善

電気特性の改善を図るため、ポストアニールの効果を調査した。Ge 薄膜の膜厚が 10 nm 以下の TFT を  $\text{N}_2$  雰囲気中で、 $400^\circ\text{C}$  で 30 分間アニール処理を行った。その結果、 $I_d$ - $V_d$  特性から、ON 電流は増加し、OFF 電流が抑制される様子が観測された。 $I_d$ - $V_g$  特性から、ポストアニールによって ON/OFF 比は 170 まで到達し、アニール処理前と比較して 1 桁以上改善した。また、電界効果移動度も  $\sim 30 \text{ cm}^2/\text{Vs}$  まで増加した。電気特性が改善するメカニズムとしては、 $\text{N}_2$  雰囲気中の残留酸素が界面付近の欠陥をパッシベーションすることによるものであると考えられる。

### ④フレキシブル基板上での Ge-TFT の実証

フレキシブル基板上に低温形成した GIC-Ge(111)薄膜を CMP で薄膜化した後、TFT に加工[図 4]し評価を行った。その結果、明瞭な

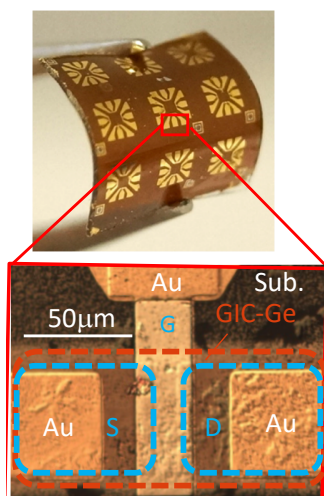


図 4. フレキシブル基板上に形成した Ge-TFT の光学写真。

ON/OFF 動作を示し、ゲート電圧の減少につれて、チャネルコンダクタンスが増加する様子が観測されたことから、作製した TFT が蓄積型 pMOS として動作していることが実証できた。電界効果移動度が  $21.9 \text{ cm}^2/\text{Vs}$ 、ON/OFF 比が 20 という結果が得られた。この電界効果移動度の値は、低温で作製した p 型の有機物半導体 TFT や酸化物半導体 TFT に比べて高い値を示した。フレキシブル基板上においても、GIC-Ge の高いポテンシャルを証明した。

### (3) 大粒径 Ge(111)薄膜上へのホイスラー合金の成長

Ge(111)薄膜上に、MBE 法を用いて Sn 添加 Ge 薄膜を MBE 成長(成長温度: $150^\circ\text{C}$ )し、CMP を施すことで、表面平坦性の改善に成功した。その直上に  $\text{Fe}_3\text{Si}$  を低温形成したところ、薄膜形成後の反射高速電子回折(RHED)パターンから、 $\text{Fe}_3\text{Si}$  の単結晶化を示唆するパターンが観測された。因みに、Sn 添加 Ge 薄膜を導入せずに  $\text{Fe}_3\text{Si}$  を形成したところ、 $\text{Fe}_3\text{Si}$  は多結晶成長したことから、Sn 添加 Ge 薄膜を導入することで、 $\text{Fe}_3\text{Si}$  の単結晶化が促進されていることが明らかとなった。しかし、形成された  $\text{Fe}_3\text{Si}$  薄膜には、Ge 原子の拡散が見られ、品質がまだ十分ではないことが明らかとなった。今後は、Sn 添加 Ge 薄膜の厚膜化と CMP の条件を最適化し、テンプレート層としての品質を改善させることで、 $\text{Fe}_3\text{Si}$  薄膜の品質改善を図っていくとともに、 $\text{Fe}_3\text{Si}$  よりスピン機能の高い多元系ホイスラー合金への展開を図っていく必要がある。

### 5. 主な発表論文等

[雑誌論文] (計 4 件)

- (1) H. Higashi, K. Kudo, K. Yamamoto, S. Yamada, T. Kanashima, I. Tsunoda, H. Nakashima, and K. Hamaya, "Electrical properties of pseudo-single-crystalline Ge films grown by Au-induced layer exchange crystallization at  $250^\circ\text{C}$ ", J. Appl. Phys. (in press).  
[DOI: 10.1063/1.5031469]
- (2) H. Higashi, M. Nakano, K. Kudo, Y. Fujita, S. Yamada, T. Kanashima, I. Tsunoda, H. Nakashima, and K. Hamaya, "A crystalline germanium flexible thin-film transistor", Appl. Phys. Lett. 111, 222105 (2017).  
[DOI: 10.1063/1.5007828]
- (3) K. Kasahara, H. Higashi, M. Nakano, Y. Nagatomi, K. Yamamoto, H. Nakashima, and K. Hamaya, "Effect of post annealing on electrical properties of pseudo-single-crystalline germanium films fabricated on glass substrates", Materials Science in Semiconductor Processing 70, 68-72 (2017).  
[DOI: 10.1016/j.mssp.2016.07.004]
- (4) H. Higashi, K. Kasahara, K. Kudo, H. Okamoto, K. Moto, J. -H Park, S. Yamada, T. Kanashima, M. Miyao, I. Tsunoda and K.

Hamaya, "A pseudo-single-crystalline germanium film for flexible electronics", Appl. Phys. Lett. 106, 041902 (2015).  
[DOI: doi.org/10.1063/1.4906612]

[学会発表] (計 3 件)

- (1) K. Kudo, H. Higashi, M. Nakano, S. Yamada, K. Yamamoto, T. Kanashima, I. Tsunoda, H. Nakashima, and K. Hamaya, "Electrical properties of pseudo-single-crystalline Ge film grown on SiN<sub>x</sub>/SiO<sub>2</sub> substrates", The 10th International Conference on Silicon Epitaxy and heterostructures, Warwick, UK, May 14-19, 2017
- (2) H. Higashi, M. Nakano, K. Kasahara, S. Yamada, T. Kanashima, and K. Hamaya, "High hole mobility in pseudo-single-crystalline germanium films on flexible substrates", 2016 MRS Spring Meeting, EP-14, Phoenix, Alizona, USA, March 28-April 1, 2016.
- (3) 東英実, 中野茉莉央, 工藤康平, 藤田裕一, 山田晋也, 金島岳, 角田功, 中島寛, 浜屋宏平, "結晶性 Ge を用いたフレキシブル薄膜トランジスタの実証", 第 77 回応用物理学会秋季学術講演会、15a-B10-5、朱鷺メッセ(新潟), 2016 年 9 月 13-16 日.

[その他]

ホームページ等

<http://www.semi.ee.es.osaka-u.ac.jp/hamayalab/>

## 6. 研究組織

### (1)研究代表者

山田晋也 (YAMADA, Shinya)

大阪大学・大学院基礎工学研究科・助教  
研究者番号：30725049

### (2)研究分担者

浜屋宏平 (HAMAYA, Kohei)

大阪大学・大学院基礎工学研究科・教授  
研究者番号：90401281