

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 4 日現在

機関番号：82401

研究種目：若手研究(B)

研究期間：2015～2016

課題番号：15K17669

研究課題名(和文)核媒質中における中間子質量変化測定のための電磁カロリメータ用高速回路の開発

研究課題名(英文) A development of high speed electronics system for electromagnetic calorimeters used in the experimental study of mass spectra change of vector mesons in nuclei.

研究代表者

高橋 智則 (Takahashi, Tomonori)

国立研究開発法人理化学研究所・仁科加速器研究センター・客員研究員

研究者番号：80612134

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：安価に電荷情報が得られ、かつ高速動作する読み出し回路の開発を目標として、パルス幅を高時間分解能で測定するTDCを市販のFPGAに実装した。このTDCではクロックカウンティングによる計測と、クロック間隔を内挿するtapped delay lineを用いる高時間分解能測定を組み合わせる。各tapの微分非線形性の補正はFPGA内のBlock RAMとクロック合成器を用いて自動的に較正されるようにした。本研究ではXilinx Spartan 6 FPGA XC6SLX150-2FGG484Cを使って16チャンネルの高時間分解能TDCを開発し、時間分解能30 psec以下を得た。

研究成果の概要(英文)：An FPGA-based high resolution Time-to-Digital Converter was developed to obtain the charge information through the pulse width measurement with short deadtime and an affordable cost. The TDC consists of two counters, one is called as a coarse counter which uses clock counting to extend the measurement region to more than microsecond order, the other is called as a fine counter which uses a tapped delay line to interpolate the clock interval and to obtain the high precision of a few ten picoseconds. The differential nonlinearity of the tapped delay line was corrected by the built-in Block RAM and clock synthesizer in the FPGA. Through the present R&D project, 16 channel TDC with a time resolution of better than 30 psec was developed using a Xilinx Spartan 6 FPGA (XC6SLX150-2FGG484C).

研究分野：原子核物理実験、データ収集

キーワード：粒子測定技術 高時間分解能TDC FPGA データ収集 読み出し回路

1. 研究開始当初の背景

ハドロン質量は QCD におけるカイラル対称性の自発的破れにより生じていると考えられている。カイラル対称性は高温または高密度において回復し、ハドロン質量変化として現れると予想されており、それを検証すべく J-PARC E16 実験では 10^{10} Hz の大強度一次陽子ビームを原子核標的に照射し、原子核内で生成したベクターメソンの e^+e^- 崩壊における不変質量を系統的に測定することを計画している。E16 では原子核内でのベクターメソン質量変化の速度依存性・原子核サイズ依存性を調べ、世界で初めて各媒質に関する分散関係の知見を得ることを目指している。

この目的達成には、高分解能と高統計(高レート耐性)および e^+e^- 事象同定におけるバックグラウンドの除去が重要である。E16 の検出器には GEM(ガス電子増幅器)を用いた低物質質量な飛跡検出器(GTR)と電子検出器(HBD)、鉛ガラス電磁カロリメータ(LG)を用いる。LG は最大約 1.7T の磁場中に置かれるため信号増幅を行う光電子増倍管(PMT)は強磁場用の fine-mesh PMT を主に用いる。この fine-mesh PMT は読み出し信号線に正極性の高電圧を印加する仕様になっており、高電圧をブロックするコンデンサを介して信号を読み出す必要がある。そのため、E16 で予想される PMT 1 本あたり 1-2 MHz の高計数率では信号ベースラインが変動し、電子同定性能を低下させる問題が残っている。そこで、高レートでの信号パイルアップやベースライン変動をオフライン解析で補正可能なように、GHz で波形サンプリングするアナログメモリ DRS4 を用いた ADC を開発してきたが、Level-1 トリガー段階では DRS4 の波形情報が使えないため新たにベースライン再生回路の導入を検討している。また、Level-1 trigger 段階における電荷情報に関して波高弁別による 1 bit の情報より多くの情報を得て効率のよいトリガーを生成するには ADC を使うことになるが、高速サンプリング可能な ADC の場合は製造コストが高くなるため、ADC を使わずに電荷情報を取得したい。そのための技術として time-over-threshold (TOT) を測定する方法や、それを発展させて電荷に比例したパルス幅を出力させる Q-to-T (charge-to-time) と呼ばれる手法があり、Q-to-T と high resolution TDC を組み合わせることで dead time が小さい電荷読み出しシステムを安価に構築できる [1]。

2. 研究の目的

本研究では J-PARC E16 実験の電磁カロリメータのトリガー性能を向上させるため、1 MHz の高計数率でも動作する高速ベースライン再生回路と Q-to-T 回路及び FPGA ベースの high resolution TDC を開発することを目指した。また、安価な high resolution TDC は Q-to-T による電荷測定だけでなく、多くの実験で使われる time-of-flight 測定にも適用できるように汎用性をもたせる。

3. 研究の方法

high resolution TDC の適用用途及び需要の多さを考慮し、FPGA による high resolution TDC の実装技術の研究を優先させた。

(1) tapped delay line を用いた時間計測回路の実装

通常の FPGA TDC ではクロックカウンタ方式を採用しており、その場合 FPGA で仕様できるクロック周波数が 100 MHz オーダーであるため、時間計測も nsec オーダーに制限される。100 psec 以下の高時間分解能の測定を μ sec 以上の広い計測領域で行うにはクロックカウンタ方式による計測(coarse counter)とクロックを内挿する計測(fine counter)を組み合わせる。本研究では、クロック間隔を内挿する方法として tapped delay line を採用した。tapped delay line 方式の TDC では、遅延素子を並べた遅延線に測定対象のデジタル信号を入力し、遅延線を伝播する様子を遅延素子に付随する D Flip-Flop で取り込み、遅延線上のどこまで進んだかを同定し、時間情報へと変換する(図 1)。1 素子あたりの遅延量を bin width と呼ぶことにすると、FPGA 内で利用できる素子としては carry 回路(加算回路)の bin width が最小(数 psec から数 10 psec 程度)であり、これが並んだ carry chain を遅延線として使うことで high resolution TDC が実現できる。tapped delay line に使われる carry chain 部分は FPGA 内で連続して一列に並んでいる必要があるため、配置制約を適用した。実際には carry chain を伝播する信号が Flip-Flop に到達する経路差やクロックのスキューがあるため、理想的な tapped delay line とは異なり伝播信号の先端部で信号が到達した tap の順番が入れ替わることにより出力ビットパターンとして 1 と 0 が入れ替わる現象(バブルと呼ばれる [2])が起きる。本研究では、carry chain 出力に対して AND ゲートベースの回路を適用しバブル除去を行った。

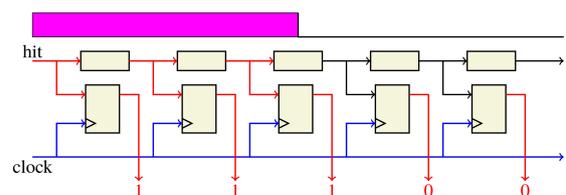


図 1: tapped delay line の概念図。この例では 5 個の tap で構成される遅延線を 3 個目の tap まで信号が伝播している様子を表す。

(2) bin width の自動校正回路の実装

bin width は tap 毎に異なるため高時間分解能実現には tap 毎に校正する必要がある。この校正には、code density test と呼ばれるヒストグラムを使う方法を適用した。code density test では tapped delay line のサンプリングクロックに対して偏りのない入力信号の統計を十分貯めると i 番目の tap に対して伝播信号の先端が到達した回数 w_i は i 番目の tap の bin width (Δt_i) に比例するとみなせる。

$$\Delta t_i \propto w_i \quad (1)$$

n_i を各ビンの要素とするヒストグラムで表示した場合に、その積分値をサンプリングクロックの間隔で規格化すると時間に換算した bin width が得られる (図 2)。このヒストグラムを FPGA 内の Block RAM を true dual port RAM として用いて、Block RAM のアドレスを tap 位置、そのアドレスに格納するデータを bin width となる Look-up-Table (LUT) として実装することで bin width の較正を自動化することができた。また、較正用の入力信号として外部からのランダム信号を使うのではなく、FPGA 内のクロック合成器を使って TDC のサンプリングクロック (375 MHz) に対する位相が十分細かく均等に分布する周波数 (26.4258 MHz) を作成してこれを較正用信号として使用することで、較正時の誤差を抑えるようにした。以上の 2 点、「FPGA 内の Block RAM を使った自動計算」と「FPGA 内のクロック合成器を使った較正用信号作成」により、tapped delay line を使う TDC における較正の煩雑さを解消した [3]。

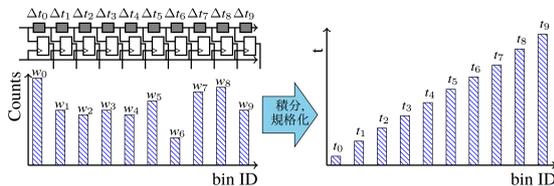


図 2: ヒストグラムを使った tapped delay line の較正法の概念図。

(3) マルチヒット・マルチイベントバッファの実装

高計数率環境下での不感時間の削減のため、ランダムでやってくる入力信号を derandomize してパイプライン処理するマルチヒットバッファを各チャンネルごとに用意した。このうち Level-1 トリガー (TDC のコモンストップ信号) を受信待ちするバッファ (L1 buffer) では、一定時間経過した古いヒットを自動的に削除し、トリガー受信時には指定した time window に収まるヒットのみを後段に転送する仕様とした。また、L1 buffer から time window によるカット条件を満たしたヒットを取り出して貯めるイベントバッファは、全体の深さに制限はあるもののイベント毎のサイズは固定しないマルチイベントバッファとして実装した。

(4) wave union TDC の実装

tapped delay line の TDC をベースにしてより高時間分解能を実現するために入力信号を複製して複数回測定する方法がある。信号の複製方法として

- delay line を複数用意してそれぞれに同じ信号を入れる
- 同じ delay line に複数回入射させる (wave union TDC)[1,4]

があり、FPGA のリソース使用効率では後者の方が有利である。wave union TDC には、不感時間と時間分解能のトレードオフを考慮して固定

パターンを入射させる launcher A とリングオンシレータ方式の launcher B が提案されている。本研究では不感時間の少ない launcher A の wave union TDC を実装した。

4. 研究成果

tapped delay line による TDC と wave union TDC のそれぞれに関して、LUT の実測や時間分解能測定を行った。図 3,4 にそれぞれの方式の LUT、bin の幅を示す。今回使用した Spartan-6 (speed grade -2) では 375 MHz クロックの 1 サイクル (2.67 nsec) を fine counter で内挿するには、通常の tapped delay line 方式で約 145 bin を必要とし、各 bin の時間幅は 20 psec 程度であることがわかった。一方、wave union TDC の場合は各 virtual bin (wave union TDC では複数回の測定の tap 位置を測定した virtual bin を用いる) の幅が 10 psec 程度と前者の約 1/2 となっており、最良の条件下で 10 psec の分解能が得られると期待される。TDC に NIM 信号を 2 つの channel に入れて測定し、その時間差を表したのが図 5、6 である。通常の delay line と wave union TDC の両方の場合で $\sigma < 30$ psec が得られており、1 チャンネルの分解能としては $\frac{1}{\sqrt{2}}$ 倍して約 20 psec となった。wave union TDC は LUT の各 bin 幅が小さいにも関わらず時間分解能は wave union launcher を使わない場合と同程度となっており、これは FPGA を載せている基板の電源、グラウンド、入力信号線にのってくるノイズが原因で、wave union TDC の性能を引き出すには FPGA のロジック設計だけでなくこれらを考慮した基板設計も必要であると推測している。

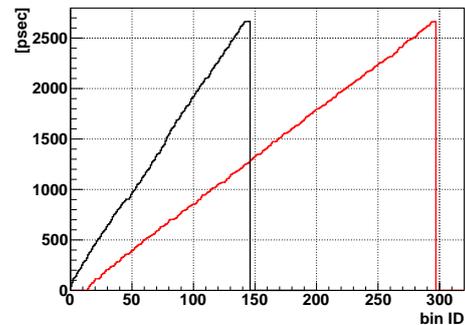


図 3: delay line の tap 位置を時間情報に変換する look-up-table (LUT). 黒: 普通の tapped delay line の LUT. 赤: wave union TDC のときの LUT.

開発した回路の諸元をまとめる。

- FPGA: Xilinx Spartan-6 XC6SLX150-2FGG484C. SLICE 使用率 ~80%. (TDC 以外にも DRS4 の波形取得用回路も同じファームウェアに含まれている)
- 16 channel の入力信号の leading edge 及び trailing edge 測定及び、common stop 信号 1 channel の測定を行う wave union TDC
- チャンネル毎に 160 ヒット分のマルチヒ

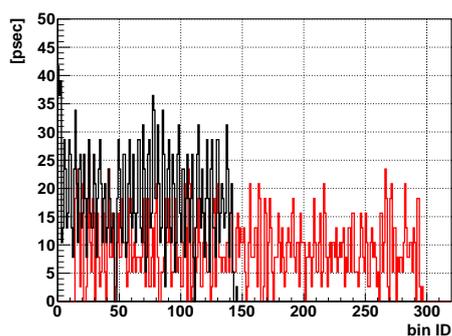


図 4: delay line の tap 毎の時間幅. 黒: 普通の tapped delay line の LUT. 赤: wave union TDC のときの LUT.

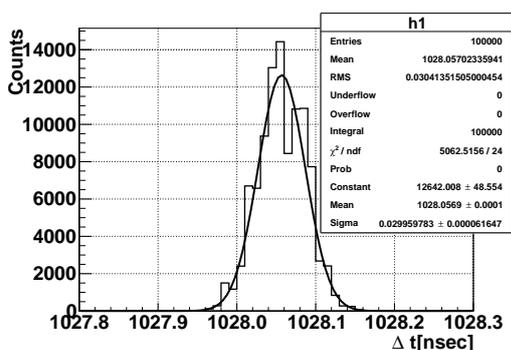


図 5: NIM 信号の leading edge を開発した TDC で測定した時間差 (普通の tapped delay line 方式).

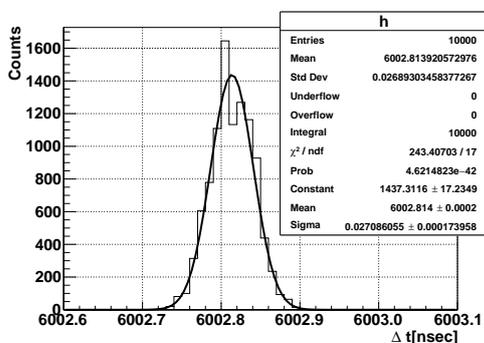


図 6: NIM 信号の leading edge を開発した wave union TDC で測定した時間差.

ットバッファ。(そのうち 128 ヒット分は Level-1 トリガーの待ち受けバッファ)

- TDC 24 bit (LSB = 2.6 psec, 最大測定レンジ 43 μ sec), シングルチャンネル分解能 30 psec 以下 (σ)
- データ出力は 100BASE-T

以上のように、市販の FPGA を用いて 30 psec 以下の分解能をもつ TDC を実装する技術を確認したことにより、high resolution TDC を大量に必要とするような原子核・素粒子実験に対して低コストでの導入を支援するなど、本研究の成果の展開が期待できる。一方、ベースライン再生回路や Q-to-T 回路の開発やこれらを組み合わせたシステムの試験に関する進捗は遅れており、この研究期間では目標を達成できなかった。

<引用文献>

- [1] TRB3, <http://trb.gsi.de/>
- [2] J. Wu, IEEE TNS (2010) 1543.
- [3] J.Wu, IEEE NPSS RT2014.
- [4] J. Wu and Z. Shi, IEEE NSS Conf. Rec. (2008) 3440.

5. 主な発表論文等

[雑誌論文] (計 1 件)

T.N. Takahashi, S. Ajimura, R. Honda, Y. Igarashi, M. Ikeno, Y. Komatsu, K. Mizutani, W. Nakai, M. Niiyama, M. Sekimoto, K. Tanida, N. Tomida, T. Uchida, "Development of a FPGA-based high resolution TDC using Xilinx Spartan-6", RCNP Annual Report 2016, 査読無し, http://www.rcnp.osaka-u.ac.jp/~annurep/2016/ResearchReport/3ExperimentalFI/TakahashiTN_3_2016.pdf

[学会発表] (計 3 件)

① 高橋智則, "J-PARC high-p における次世代高速 DAQ システムの開発", 計測システム研究会, 2016 年 10 月 13 日, KEK 東海キャンパス (茨城県東海村)

② 高橋智則, "FPGA を用いた TDC の開発", Open-It 物理計測技術若手の会研究会, 2016 年 10 月 7 日, 阿蘇プラザホテル (熊本県阿蘇市)

③ 高橋智則, 味村修平, 本多良太郎, 五十嵐洋一, 池野正弘, 水谷圭吾, 中井恒, 新山雅之, 谷田聖, 富田夏希, 内田智久, "FPGA を用いた高時間分解能 TDC の開発", 日本物理学会, 2016 年 9 月 21 日, 宮崎大学 (宮崎県宮崎市)

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 0 件)

○取得状況 (計 0 件)

[その他]

6. 研究組織

(1) 研究代表者

高橋 智則 (TAKAHASHI, Tomonori)
国立研究開発法人理化学研究所・仁科加速器研
究センター・客員研究員
研究者番号：80612134

(2) 研究分担者

()
研究者番号：

(3) 連携研究者

()
研究者番号：

(4) 研究協力者

()