

令和元年6月14日現在

機関番号：12608

研究種目：若手研究(B)

研究期間：2015～2018

課題番号：15K20960

研究課題名(和文) Si基板上光学素子作製のための低損失バッファ層の開発と高機能デバイスの実現

研究課題名(英文) Development of low-loss buffer layer for fabrication and realization of high-performance optical devices on Si substrates

研究代表者

星井 拓也 (Hoshii, Takuya)

東京工業大学・工学院・助教

研究者番号：20611049

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：本研究では低損失・高機能な半導体デバイスをシリコン基板上に作製するための薄膜バッファ層結晶成長技術を検討するとともに、埋もれた成長界面層を評価するための電気的測定手法について研究した。分子線エピタキシー装置でSi(111)基板上に成長したInAs薄膜には、成長初期には面内圧縮ひずみが導入されており、ある程度成長させると面内引張ひずみに転じることが分かった。また、結晶成長界面のような埋もれた界面の評価手法として、光インピーダンス測定法およびポテンシャル掃引アドミタンス法を検討し、準位密度分布などを評価できることを示した。

研究成果の学術的意義や社会的意義

本研究は半導体デバイスのさらなる高機能化を目指すためのものであり、結晶成長技術を用いて異種材料を集積する高機能構造について知見を深めることができた。さらに直接的な評価の難しい埋もれた界面についての評価手法を提案・実証したことは、今後の材料開発およびデバイス開発において特性評価を通じた最適化の一助となると期待できる。これらの知見を得た過程や手法は異なる材料系においても普遍的に活用しうるものであると考える。

研究成果の概要(英文)：Epitaxial growth of thin film buffer layer is promising technology to integrate low-loss and high-performance semiconductor devices on silicon platform. Also, evaluation methods for buried interfaces, such as growth hetero-interfaces, are necessary. It was found that InAs thin film grown on Si(111) substrate using MBE has compressive strain in the initial few mono-layer and tensile strain after certain thickness, respectively. Additionally, it was demonstrated that photo-assisted impedance spectroscopy and potential-sweep admittance method can evaluate the states at buried interfaces.

研究分野：半導体デバイス

キーワード：MBE III-V族化合物半導体

様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

1. 研究開始当初の背景

シリコン集積回路へ発光素子などの光学素子を集積した光電気集積回路は飽和しつつある既存の集積回路の性能向上を推し進めるための重要な要素の一つとされている。他方、高機能・高性能な光学素子を低コストで作製するための技術として、安価な基板を使った結晶成長や薄膜剥離技術が注目されている。これらに共通して要求されるのは低損失・高機能な結晶成長界面層である。シリコンフォトニクスは次世代光集積回路として期待され要素技術の研究は大きく進展してきているが、発光素子や受光素子を Si 電子回路との集積させる技術において十分とは言えず、本命不在の状況である。

本研究の狙いは Si 基板上への発光素子集積に大きく有利となる技術を開拓するものであり、インプラントウェル上への選択成長と組み合わせることにより電子回路との親和性を保ちつつ Si 基板上への発光素子集積も可能にすることが期待される。さらにシリコンオンインシュレーター(SOI)基板やゲルマニウムオンインシュレーター(GOI)基板への選択成長集積により、埋込酸化膜(BOX)層を光導波路とした光電気集積回路の実現を強く後押しすることもできると期待される。先行研究において、Si(111)基板上の InAs 結晶成長、および InAs 膜をバッファ層とした GaSb 層成長と電子デバイス動作についての報告はあったが、結晶成長初期の状態についての理解(格子定数の変化過程)については詳細な検討がなされていなかった。さらに結晶成長界面のような埋もれた界面の評価について検討も十分ではなかった。

そこで本研究では、Si 基板を成長基板とした高性能光学素子の実現手段として、シリコン基板上での数原子層レベルの薄膜バッファ層を介した III-V 族化合物半導体エピタキシャル成長の研究を行った。加えて埋もれた界面を電氣的に評価するための手法についても検討した。

2. 研究の目的

先行研究において、Si(111)基板上での InAs 結晶成長は大きな格子定数の差を持つにもかかわらず、非常に高品質な結晶膜が得られることが知られており、この InAs 膜をバッファ層とした GaSb 層の成長も実現されている[A. Ohtake *et. al.*, *Appl. Phys. Lett.* **104**, 032101 (2014)]。これは InAs が成長界面に周期的に点欠陥を導入し上部の結晶層に転位を伝搬させないことが要因であると考えられている。さらに InAs と GaSb は比較的近い格子定数(InAs: 6.0585 Å, GaSb: 6.095 Å)を持つため、結晶成長が比較的容易であることが知られており、その混晶が非常に不安定な相である[K. Onabe *et. al.*, *Jpn. J. Appl. Phys.* **21**, L323 (1982)] ため相互拡散などの問題が発生しづらい系である。このような特徴により良好なヘテロ界面が形成できる系である。

以上の点より、光学素子単体としても Si 基板は III-V 族化合物基板に比べてはるかに安価である点、必要な InAs バッファ層は数~数十 ML 程度である点、Sb は比較的蒸気圧が高いことから結晶成長時の資源利用効率が高い点などから、これまでにない低コスト III-V 族化合物デバイスの実現が見込まれる。具体的には太陽電池などのエネルギーデバイス、LED や赤外線レーザー、テラヘルツ帯量子カスケードレーザーなどの発光素子といったデバイスを Si 基板上に形成可能であり、薄膜剥離技術の応用により更に低コスト高性能なデバイスを実現しうると考えられる。

3. 研究の方法

本研究では低損失・高機能な Si/InAs/III-V 族半導体界面を獲得し、Si 基板上での高性能光学素子を作製するための結晶成長技術を検討するとともに、埋もれた成長界面層を評価するための電氣的測定手法について研究した。

結晶成長には個体ソースの分子線エピタキシー(MBE)法を用いた。RHEED により成長表面の再構成を観察しながら、Si(111)基板上への InAs 薄膜の成長を行った。成長した InAs 薄膜に対しラマン分光法を用いることで、初期成長膜内のひずみを評価した。(111)面では TO(横型光学)フォノン、LO(縦型光学)フォノン両方のピークを観測できる。TO フォノン、LO フォノンはそれぞれ面内方向、面直方向の結合距離に影響を受けるので、それぞれから面内方向、面直方向のひずみを導出した。

埋もれたヘテロ界面の評価手法として、光インピーダンス測定法およびポテンシャル掃引アドミタンス法を検討した。光インピーダンス測定では母体材料のバンドギャップ以下のエネルギーの光照射化においてインピーダンス変化を見ることで光吸収により禁制帯中の準位を介するキャリアの応答を見ることが出来る。一方、ポテンシャル掃引アドミタンス法は、一定の深さの界面を対象としたアドミタンス法であり、DLTS 法と組み合わせることでエネルギー校正をすることでエネルギー分解能・準位密度分解能ともに高い評価が可能である。

4. 研究成果

結晶成長

MBE 装置をもちいて Si(111)基板上に成長した 2~10ML の InAs 層に対し、ラマン分光法により InAs 層に導入された面内ひずみを評価した。ひずみの傾向は TO フォノンと、LO フォノンで違いはないが、面内ひずみに対してより敏感で精度が高いと期待される TO フォノンでの評価を主とした。成長初期には面内に~1.7%の圧縮ひずみが導入されており、10ML まで成長させた InAs 膜には~0.4%の引張ひずみが導入されていることがわかった。これは格子定数に換算す

ると 5.94~6.09 に相当する。先行研究で示唆されているように Si(111)上 InAs 薄膜は成長界面で大きく緩和していることが伺えるが、残留しているひずみが膜厚の増加により緩和していくことが示された。10ML の InAs 成長において Si 基板上で期待される圧縮ひずみではなく引張ひずみとなったことについては更なる検証が必要であるが、膜厚によりひずみが変わることから、上層の半導体の格子定数に応じた膜厚を選択することである程度の柔軟性を持った積層構造の設計が可能になると考えられる。たとえば GaSb の格子定数は 6.10 であるので、10ML 程度の InAs 層をバッファ層としてもちいることで、格子定数差のほとんどない状態で結晶成長が行えたことが示唆された。

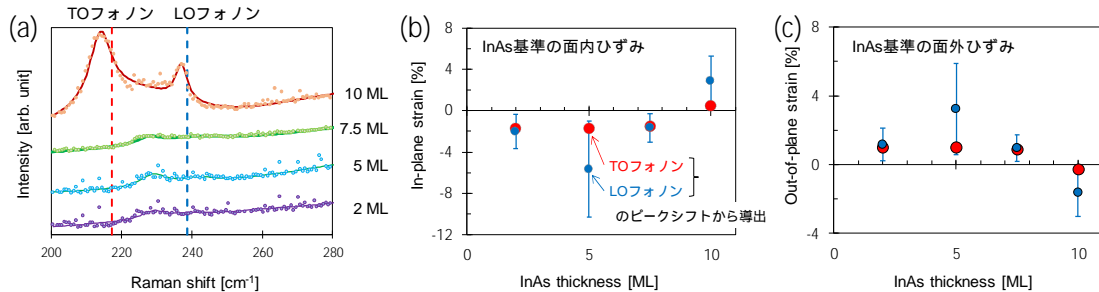


図 1. (a)膜厚の異なる Si(111)基板上的 InAs 薄膜のラマンスペクトル、およびピークシフトから評価した (b)面内ひずみと(c)面外ひずみの大きさ。

埋もれた界面の評価手法

結晶成長界面などの埋もれた界面に対する評価手法を検討するにあたって、半導体 pn 接合中に埋め込まれた量子ドット層を用いた。光インピーダンス測定法では、バンドギャップ以下のエネルギーを持った光を照射したことによる量子ドット層の準位の応答を検出できた。さらに量子ドットに Si ドーピングを行い準位の電子充填率を変化させた場合に、さらにエネルギーの低い光での応答を観測できた。これは埋もれた界面に存在する準位と、そのキャリア捕獲状態を議論しうることを意味している。よって、本手法を成長ヘテロ界面などに応用することで、成長界面に形成される準位を評価することができることが示唆された。

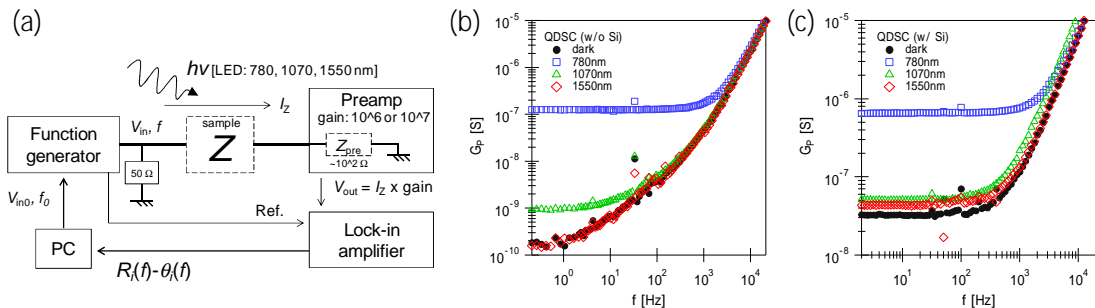


図 2. (a)光インピーダンス測定法の測定系の構成、および量子ドット層を埋め込んだ pn 接合の測定結果。(b)Si ドーピングのない量子ドット層では波長 1550nm の光ではインピーダンス変調が起こっていないが、(c)Si ドーピングをした量子ドット層は変調が観測されている。

さらに量子ドット層を埋め込んだショットキーバリアダイオードに対し、ポテンシャル掃引アドミタンス法と過渡容量分光法(DLTS)とを組み合わせた測定を行った。ポテンシャル掃引アドミタンス法におけるバックグラウンドの理論式を求め、それを差し引くことで欠陥からの応答を抽出し、高精度化を行った。

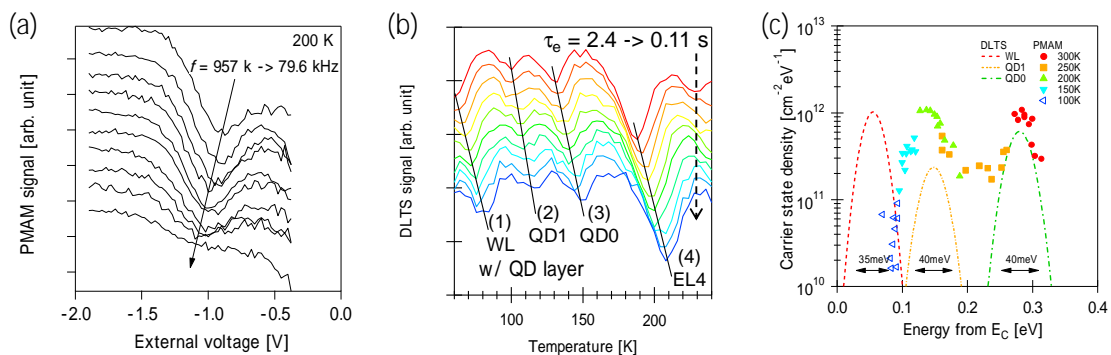


図 3. 量子ドット層を埋め込んだショットキーバリアダイオードにおける (a)ポテンシャル掃引アドミタンス法のスペクトルと (b)DLTS スペクトル、および (c)DLTS の結果からエネルギー校正を行ったポテンシャル掃引アドミタンス法による準位密度のエネルギー分布。

また、ポテンシャル挿引アドミタンス法を用いることで、高速原子線(FAB)照射により導入された基板表面近傍の欠陥をショットキーダイオードで観察することに成功した。照射した原子種による欠陥密度や深さ分布を推定することができ、極めて表面に近い領域でも本手法が有効であることを示した。

5 . 主な発表論文等

〔雑誌論文〕(計 1件)

Takuya Hoshii, Shunya Naitoh, and Yoshitaka Okada, "Photoassisted impedance spectroscopy for quantum dot solar cells", Japanese Journal of Applied Physics, 査読 有, **55**, 4S, 2016, 04ES11 (DOI: 10.7567/JJAP.55.04ES11)

〔学会発表〕(計 9件)

Takuya Hoshii, Shunya Naitoh, and Yoshitaka Okada, "Photo-Assisted Impedance Spectroscopy for Quantum Dot Solar Cell", 2015 International Conference on Solid State Devices and Materials, Sapporo Convention Center, Sapporo, Japan (Sept. 27-30, 2015)

星井拓也, 内藤駿弥, 岡田至崇 “光刺激インピーダンス分光法による量子ドット太陽電池の評価” 第34回電子材料シンポジウム, ラフォーレ琵琶湖, 滋賀県 (2015年7月15-17日)

内藤駿弥, 宮下直也, 星井拓也, 岡田至崇 “Si ドープした InAs 量子ドットへの赤外光集光効果” 第34回電子材料シンポジウム, ラフォーレ琵琶湖, 滋賀県 (2015年7月15-17日)

山下大之, 渡辺健太郎, 藤野真久, 星井拓也, 杉山正和, 岡田至崇, 須賀唯知, 中野義昭 “超高効率多接合太陽電池作製に向けた表面活性化接合界面の評価” 春季第63回応用物理学関係連合講演会, 東京工業大学, 東京都 (2016年3月19-22日)

Daiji Yamashita, Kentaroh Watanabe, Masahisa Fujino, Takuya Hoshii, Yoshitaka Okada, Yoshiaki Nakano, Tadatomo Suga, and Masakazu Sugiyama, "Admittance spectroscopy analysis on the interfacial defect levels in the surface-activated bonding of GaAs", IEEE 43th Photovoltaic Specialists Conference, Portland, OR, USA (June 5-10, 2016)

Yuta Ikeuchi, Takuya Hoshii, Hithoshi Wakabayashi, Kazuo Tsutsui, Kuniyuki Kakushima, and S. Ishikawa, "Characteristics of Fe/pGaN Contact upon Annealing Process", 47th IEEE Semiconductor Interface Specialists Conference, Catamaran Hotel, CA, USA (Dec. 7-10, 2016)

Takuya Hoshii, "Electrical Evaluation of Energy Distribution of State Density in Embedded Nanostructure", International conference on Materials Processing and Applications 2016, Vellore Institute of Technology, Vellore, India (Dec. 14-16, 2016) [招待講演]

Takuya Hoshii, Hiroki Kuroiwa, Takuya Hamada, Tokio Takahashi, Toshihide Ide, Mitsuaki Shimizu, and Kazuo Tsutsui, "III-V Crystal Growth on Si for Power Generation and Saving Devices", International Conference on Advanced in Materials Science and Technology, Vellore Institute of Technology, Vellore, India (Oct. 9-11, 2017) [招待講演]

神林郁哉, 星井拓也, 角嶋邦之, 若林整, 筒井一生 “Si(111)基板上に成長した InAs 極薄膜のラマン分光法による歪み評価” 秋季第79回応用物理学関係連合講演会, 名古屋国際会議場, 愛知県 (2018年9月18-21日)

〔図書〕(計 0件)

〔産業財産権〕

○出願状況 (計 0件)

○取得状況 (計 0件)

〔その他〕

ホームページ等

6 . 研究組織

(1)研究分担者

該当なし

(2)研究協力者

該当なし

※科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。