

令和 3 年 6 月 22 日現在

機関番号：14301

研究種目：基盤研究(A) (一般)

研究期間：2016～2019

課題番号：16H01713

研究課題名(和文) 自律的に最小エネルギー動作を実現する集積回路設計技術

研究課題名(英文) LSI Design Method for Minimum Energy Operation

研究代表者

小野寺 秀俊 (Onodera, Hidetoshi)

京都大学・情報学研究科・教授

研究者番号：80160927

交付決定額(研究期間全体)：(直接経費) 31,900,000円

研究成果の概要(和文)：必要とされる動作速度が与えられた場合に、トランジスタ特性や回路の動作環境を自己診断し、所定の動作速度を満足しつつ消費するエネルギーが最小となる電源電圧と閾値電圧を求める方法を開発した。試作した32bitプロセッサを用いた実測により、幅広い動作速度の要求や動作環境の変化に対して、最小エネルギー動作から5%以内のエネルギー損失で回路を動作させることを確認した。また、P/Nウェル電圧を独立に制御可能なDLL型の基板電圧生成回路を開発し、最小エネルギー動作が自律的に達成できることを実チップで確認した。

研究成果の学術的意義や社会的意義

集積回路内のトランジスタは、加わる電圧により強反転状態と弱反転状態に大別される。従来、最小エネルギー動作を与える電源電圧としきい値電圧の値は、動作領域ごとに別々に求められてきた。本研究では、動作状態によらずに閉形式の形で求めることに成功した。これにより、動作電圧や環境が大きく変動する状況においても、集積回路が最小エネルギーで動作するように電源電圧やしきい値電圧を連続して調節することが可能となった。本技術により、所定の動作速度を達成しつつ最小の消費エネルギーで回路を動作させる事が可能となった点に大きな社会的意義がある。

研究成果の概要(英文)：We have developed a method for deriving a set of supply voltage and threshold voltage that enables the circuit to operate at the minimum energy consumption under a wide range of operating conditions and a specified delay constraint. We experimentally confirmed using a fabricated 32-bit processor that the derived set of supply voltage and threshold voltage can operate the circuit with less than 5% excess energy from the minimum energy consumption under a wide variety of delay constraints and operating conditions. We also developed a DLL-type body bias generator that generate P/N well-voltages independently so that the energy consumption becomes minimum, which was verified by fabricated test chips.

研究分野：集積回路設計工学

キーワード：最小エネルギー動作 低消費電力設計 低電圧動作 動的電圧制御 基板電圧制御

1. 研究開発当初の背景

集積回路は各種 IT 機器の中核を担う基幹デバイスであり、その低消費電力化は喫緊の課題である。IoT 時代を向かって IT 機器の消費電力が急増し、2025 年には全電力消費の 20 % にまで達するとの予想もある (グリーン IT 推進協議会の試算)。低酸化化により持続可能な社会を実現する上でも、集積回路の低消費電力化は最優先で取り組むべき課題のひとつである。

2. 研究の目的

集積回路の消費エネルギーと動作速度は、電源電圧 (V_{dd}) だけでなくトランジスタのしきい値電圧 (V_{th}) によっても変化する。一定の動作速度となる動作点 (V_{dd} と V_{th} の組み合わせ) は無数に存在しており、各動作点での消費エネルギーの値は様々である。これらの中で、所定の動作速度を達成し最も消費エネルギーの低い動作点を最小エネルギー動作点 (MEP: Minimum Energy Point) と定義する。MEP は集積回路が所定の動作をする際の最適動作点であり、動作温度や稼働率などにより変化する [1]。そこで、「MEP の変動に自律的に追従し、常に MEP で動作することにより消費エネルギーを最小化する (MEPT: Minimum Energy Point Tracking)」という動作機構を提案する。所定の動作速度を達成するための最小エネルギーが MEP であり、MEPT を実現する事により、所定の動作を最小エネルギーで実現する事が達成される。MEPT 動作を行なわない場合と比較すると大幅な消費エネルギー削減が可能となる。

3. 研究の方法

研究内容は、動作状態により変化する MEP を追従するアルゴリズムを明かにする問題 (MEP 探索技術) と、MEP 動作を実現するために V_{th} や V_{dd} をどのように調節するかという問題 (MEPT 動作機構) に分類できる。

MEPT 探索技術については、回路の動作状態 (動作余裕や稼働率と消費エネルギー) や動作環境 (プロセスばらつきや温度) の自己診断結果より、所定の動作速度や稼働率における最小エネルギー動作点 (MEP) を与える V_{dd} と V_{th} を求める方法を明かにする。MEPT 動作機構については、基板バイアス電圧の調節により V_{th} を制御して自律的に MEP を追従するための基板バイアス電圧生成回路を開発する。

4. 研究成果

先に述べたように、本課題は、MEP 探索技術と MEPT 動作機構の開発に大別できる。そこで、それぞれの課題ごとに研究成果を説明する。

(1) MEP を実現する V_{dd} と V_{th} の決定手法

① 回路の最小エネルギー動作

回路の動作エネルギー (1 クロックサイクルあたりに消費されるエネルギー) と動作速度は、 V_{dd} と V_{th} により大きく変化する。図 1 に遅延等高線、エネルギー等高線、MEP の軌跡の一例を示す。65-nm SOTB プロセスを想定し、50 段 ファンアウト 4 (FO4) インバータチェーンの回路シミュレーションにより求めた。青い線、黒い点線、赤い破線はそれぞれ遅延等高線、エネルギー等高線、MEP を表す。遅延等高線は概ね直線状になり、エネルギー等高線は年輪状に広がる。MEP は遅延等高線とエネルギー等高線の接点となる。

② MEP を実現する V_{dd} と V_{th} の追跡

MEP は、要求される遅延制約により変化するが、回路の活性化率や動作温度によっても変化する。そこで、動作速度や回路動作環境の変化に合わせて、MEP を追跡する手法を開発した。開発手法は、遅延追跡モード (図 2) と MEP 追従モード (図 3) の 2 段階で MEP を追跡する。遅延追跡モードは、要求動作速度が変化した場合を想定している。要求速度を満足する動作状態 (“LUT”) に LUT 等の情報に基づき移動した後、モニタ等により取得した “LUT” 状態における実遅延 D_{LUT} 、温度 T 、動的消費エネルギー E_d 、静的消費エネルギー E_s の値から、 V_{dd} と V_{th} を以下の式に従い調節し、MEP 動作を実現する。MEP 追従モードにおいても、同様である。

$$V_{dd,MEP} = f(D)(V_{th,MEP} - V_{th,D}) + V_{dd,LUT}, \quad (1)$$

$$V_{th,MEP} = V_{th,LUT} + V_0 \ln \left(\frac{r_{LUT} D_{MEP} V_{dd,LUT}}{2f(D)V_0 D_{LUT}} \right) \quad (2)$$

$$p = \left(\frac{D_{LUT}}{D_{MEP}} \right)^{\frac{1}{\alpha}} \ln \left(1 + e^{\frac{V_{dd,LUT} - V_{th,LUT}}{\alpha V_0}} \right) \quad (3)$$

$$V_{th,D} = V_{dd,LUT} - \alpha V_0 \ln[e^p - 1] \quad (4)$$

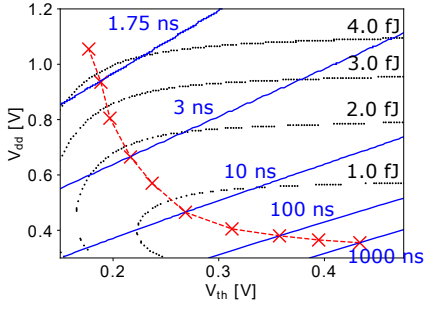


図 1: 温度 25 °C, 活性化率 0.01 における遅延等高線, エネルギー等高線, MEP.

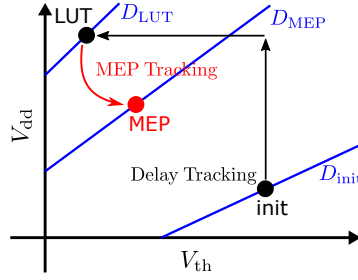


図 2: 遅延追跡モードの動作

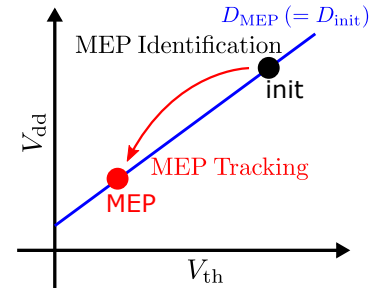


図 3: MEP 追従モードの動作

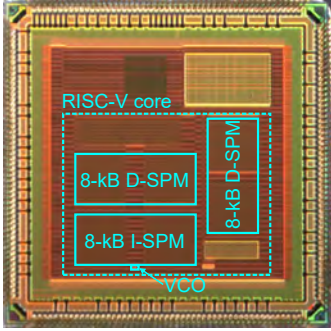


図 4: 制御対象の 32-bit RISC プロセッサ

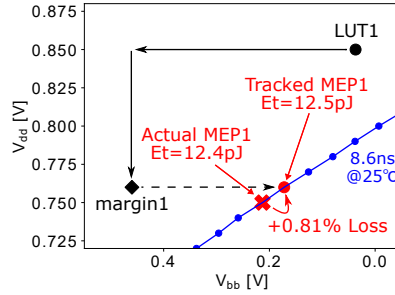


図 5: 遅延追跡モードの検証 ($D_{MEP} = 8.6 \text{ ns}$, $T = 25 \text{ }^\circ\text{C}$)

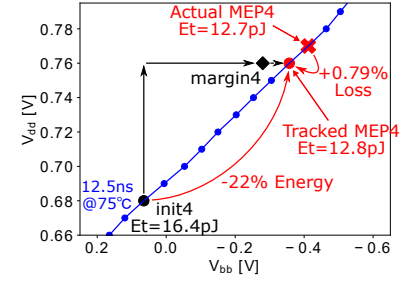


図 6: MEP 追従モードの検証 ($D_{MEP} = 12.5 \text{ ns}$, 温度 T が 25 °C から 75 °C に変化)

$$f(D) = \frac{V_{dd,LUT}}{V_{dd,LUT} - \frac{\alpha V_0}{1 - e^{-\alpha}}} \quad (5)$$

ここで、 α はフィッティング係数、 V_0 は MOSFET の理想係数 n と熱電圧 v_t の積、 r_{LUT} は $(E_s/E_d)_{LUT}$ である。

③ RISC プロセッサを用いた実証実験

開発した MEP 追跡手法に基づく MEP 動作実験を、65nm SOTB プロセスにて試作した 32-bit 4 段パイプラインの RISC プロセッサを用いて行なった。図 4 にプロセッサのチップ写真を示す。スタンダードセルによる 8-kB の I-SPM と 16-kB の D-SPM が搭載されており、幅広い電源電圧で動作する。プロセッサでは、離散コサイン変換を計算するプログラムを実行した。 E_d と E_s は消費電流の実測値から求めた。測定系は恒温槽に入れて T を一定に保ち、実遅延 D は、最大動作周波数の測定値から求めた。図 5 に、遅延追跡モードでの動作の一例を示す。温度 T が 25 °C で目標遅延時間 D_{MEP} が 8.6 ns である。動作状態 LUT1 を初期値として、提案手法により動作点 Tracked MEP1 に到達した。真の MEP 動作点 (Actual MEP1) と比べて、エネルギー消費量の増加は 0.81% であった。MEP 追従モードでの動作の一例を図 6 に示す。目標遅延 $D_{MEP} = 12.5 \text{ ns}$ において、動作温度が 25 °C から 75 °C に変化した。元の温度での動作点は init4 である。MEP 追従により、動作点 Tracked MEP4 に到着した。真の MEP 動作点 (Actual MEP4) と比べて、エネルギー消費量の増加は 0.79% であった。init4 と比べると、22% の消費エネルギーを削減する事ができた。温度 0 °C から 75 °C まで、電源電圧 0.35 V から 0.85 V までの範囲において、様々な条件で MEP 動作の追跡実験を行なった結果、MEP からの消費エネルギー増加量が最悪でも 5% の動作状態に追従できることを確認した。

(2) P/N ウェル電圧を独立に制御可能な DLL 型基板電圧生成回路

① DLL 型基板電圧生成回路

集積回路が MEP 動作を行なうためには、要求される動作速度が動作環境に合わせてしきい値電圧 (V_{th}) と電源電圧 (V_{dd}) を適切な値に調節する必要がある。ここで、 V_{dd} の調整はチップ外に設置する既存の DC-DC コンバータを利用する。一方、 V_{th} はチップ内の要素ブロックごとに設定することも想定し、オンチップで基板バイアス電圧を発生する基板電圧生成回路 (BBG: Body-Bias-Generator) を開発した。製造プロセスのばらつきにより、PMOS トランジスタと NMOS トランジスタのしきい値電圧に不均衡が生じることがある。そのため、BBG では、P ウェル電圧と N ウェル電圧の独立制御が必要である。制御対象回路は標準セル方式で実装されることが殆どと考えられるため、BBG

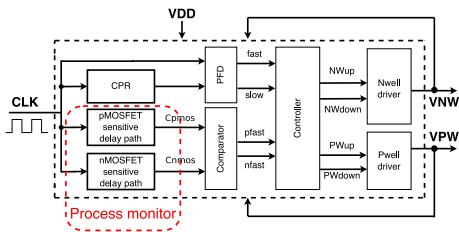


図 7: BBG のブロック図

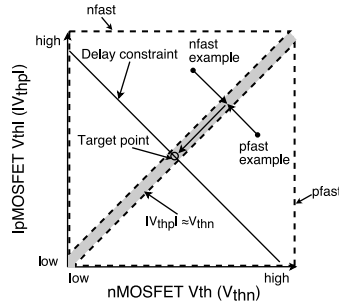


図 8: BBG の動作機構

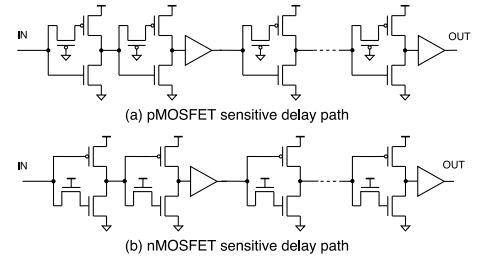


図 9: しきい値電圧に敏感な遅延回路

においてもセルベース設計が望まれる。また、BBG 自体の消費エネルギーやチップ占有面積はできる限り削減する事が望まれる。そこで、標準セル方式の自動設計に適したデジタル回路を基本とした構成をとる Delay Locked Loop (DLL) 型 BBG を開発した。

開発した BBG のブロック図を図 7 に示す。BBG は、ターゲットとなる回路のクリティカルパスレプリカ (CPR)、位相周波数比較器 (PFD)、PMOS トランジスタと NMOS トランジスタのそれぞれのしきい値電圧に敏感な遅延回路、遅延比較回路 (Comparator)、制御回路、N ウェルと P ウェルそれぞれのドライバ回路から構成される。このうち、それぞれのしきい値電圧に敏感な遅延回路がプロセスモニタを構成しており、PMOS トランジスタと NMOS トランジスタのしきい値電圧が均衡するように両ウェル電圧を独立に制御する。

本 BBG によるしきい値電圧の調整機構を図 8 に示す。横軸と縦軸は NMOS トランジスタと PMOS トランジスタのしきい値電圧である。左下から右上への対角線近傍が、NMOS トランジスタと PMOS トランジスタのしきい値電圧が均衡した領域である。この領域において、静的消費電力が最小となる。左上から右下への対角線が、動作速度が等しい状態を表している。従って、MEP 動作の必要条件は、静的消費電力が最小となる領域において、所定の動作速度で動作する事である。本 BBG は、まず、両トランジスタのしきい値電圧が均衡するように基板電圧を制御する。その後、しきい値電圧の均衡状態を保ちながら、クリティカルパスレプリカの遅延時間が所望の値となるように基板電圧を調節する。図 9 にしきい値電圧に敏感な遅延回路の構造を示す。図 10 に両遅延回路の出力を比較する回路と、各ウェルのドライバ回路を示す。

② テストチップによる実証実験

開発した BBG 回路を、標準セル方式のレイアウト設計環境により 65nm プロセスで設計し、試作した。図 11 にチップ写真を示す。BBG を含むテスト回路の面積は 0.13 mm^2 である。BBG 回路自体の面積は 0.0036 mm^2 であり、テスト回路に占める割合は 2.7%となる。本 BBG は、同一チップに集積された 32-bit 4 段パイプラインの RISC-V プロセッサ (面積 2.95 mm^2) の基板電圧を制御する事もできる。なお、本プロセッサは、(1)③での実験に使用したものと同一である。

図 12 に、 $V_{DD} 0.6 \text{ V}$ 、クロック周波数 $f_{in} 10 \text{ MHz}$ における BBG 出力のステップ応答波形を示す。P ウェルと N ウェルに順方向バイアスが加わり、それぞれの最終値は 0.34 V と 0.31 V となった。90%の応答時間は約 $10 \mu\text{s}$ である。RISC-V プロセッサを制御対象として、基板バイアスを加えない場合と順方向に基板バイアスを加えた場合の最大動作周波数を電源電圧に対して求めた結果を図 13 に示す。順方向基板バイアス印加により、 $V_{DD} 0.7 \text{ V}$ において、最大動作周波数は 52%増加した。 $V_{DD} 0.85 \text{ V}$ での動作周波数を保ったまま、基板バイアス印加により $V_{DD} 0.7 \text{ V}$ まで電源電圧が削減できる。図 14 には、基板バイアス印加による消費エネルギー削減効果を動作周波数に対して求めた結果を示す。150 MHz 動作動作の場合、基板バイアスを加えない状態から、18%の消費エネルギーが削減された。図 15 には、電源電圧 $V_{DD} 0.6 \text{ V}$ 、温度 $75 \text{ }^\circ\text{C}$ における等速度線と等リークエネルギー線の実測結果を示す。また、本 BBG により基板電圧を調節して到達した動作点を赤丸で示す。等速度線と等リークエネルギー線の接点付近に動作点が位置しており、本 BBG により MEP 動作が実現されていることが確認できた。

表 1 に、今回の研究で開発した BBG と、これまで報告されている主要な BBG との性能比較を示す。開発 BBG は、P ウェル電圧と N ウェル電圧の独立制御が可能であり、かつ回路面積は最小であり、消費電力は最小値に近い。

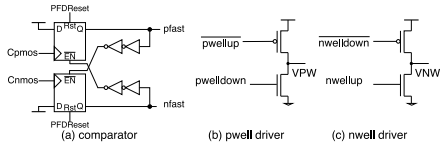


図 10: 比較回路とドライバ

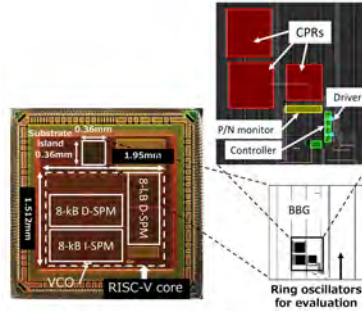


図 11: テスト回路のチップ写真

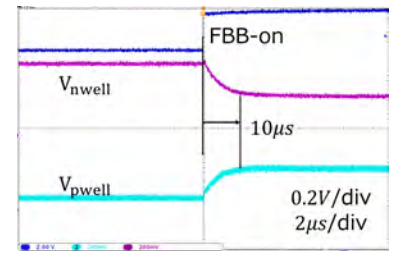


図 12: V_{DD} 0.6 V, f_{in} 10 MHz での過渡応答

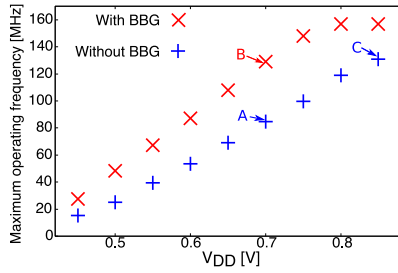


図 13: RISC-V の最大動作周波数

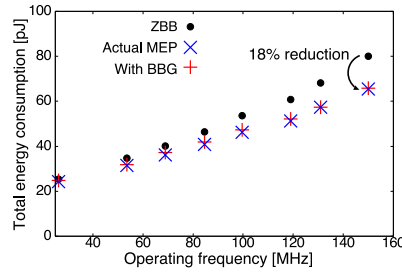


図 14: BBG によるエネルギー削減

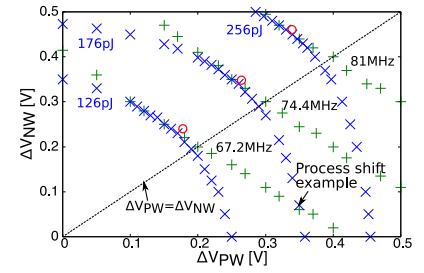


図 15: BBG による MEP 動作

参考文献

- [1] A.K.M. Mahfuzul Islam and Hidetoshi Onodera, "Circuit Techniques for Device-Circuit Interaction toward Minimum Energy Operation," IPSJ Trans. SLDM, Vol. 12, pp. 2–12, 2019.
- [2] Kamae Norihiro, Akira Tsuchiya, and Hidetoshi Onodera, "A body bias generator with low supply voltage for within-die variability compensation," IEICE Trans. Fundamentals, Vol. 97, pp. 734–740, 2014.
- [3] A. Quelen, G. Pillonnet, P. Flatresse, E. Beigné, "A $2.5\mu\text{W}$ 0.0067 mm^2 automatic back-biasing compensation unit achieving 50% leakage reduction in FDSOI 28nm over 0.35-to-1V VDD range," 2018 ISSCC, pp. 304–306, 2018.
- [4] H. Okuhara, A.B. Ahmed, H. Amano, "Digitally Assisted On-Chip Body Bias Tuning Scheme for Ultra Low-Power VLSI Systems," IEEE Trans. Circuits and Systems I, Vol. 65, pp. 3241–3254, 2018.
- [5] M. Blagojevi, M. Cochet, B. Keller, P. Flatresse, A. Vladimirescu, B. Nikoli, "A fast, flexible, positive and negative adaptive body-bias generator in 28nm FDSOI," 2016 IEEE Symposium on VLSI Circuits, pp. 1-2, 2016.

表 1: BBG 性能のまとめと比較

	this work	[2]	[3]	[4]	[5]
Process	65 nm FDSOI	65 nm Bulk	28 nm FDSOI	65 nm FDSOI	28 nm FDSOI
P/N skew compensation	yes	yes	no	no	no
Supply voltage	0.45 V-0.85 V	0.5 V-1.2 V	0.35 V-1.0 V	0.35 V-0.65 V	1.0 V, 1.8 V
Extra power source	Not required	Not required	Required	Not required	Required
Output	FBB	FBB/RBB	FBB	FBB/RBB	FBB
Circuit area	0.0036 mm^2	0.0052 mm^2	0.0067 mm^2	0.096 mm^2	0.012 mm^2
Power consumption	$3.6\text{ }\mu\text{W}$	$600\text{ }\mu\text{W}$	$2.5\text{ }\mu\text{W}$	$6.56\text{ }\mu\text{W}$	$10\text{ }\mu\text{W}$
response time (VDD, load area)	$10\text{ }\mu\text{s}$ (0.6 V, 0.13 mm^2)	$2\text{ }\mu\text{s}$ (1.2 V, 0.22 mm^2)	$200\text{ }\mu\text{s}$ (0.45 V, 2 mm^2)	$74\text{ }\mu\text{s}$ (0.5 V, 0.1 mm^2)	70 ns (1.8 V, 1 mm^2)

5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 5件 / うち国際共著 0件 / うちオープンアクセス 5件）

1. 著者名 Islam A.K.M. Mahfuzul, Onodera Hidetoshi	4. 巻 12
2. 論文標題 Circuit Techniques for Device-Circuit Interaction toward Minimum Energy Operation	5. 発行年 2019年
3. 雑誌名 IP SJ Transactions on System LSI Design Methodology	6. 最初と最後の頁 2~12
掲載論文のDOI (デジタルオブジェクト識別子) 10.2197/ipsjtsldm.12.2	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 Shiomi Jun, Hokimoto Shu, Ishihara Tohru, Onodera Hidetoshi	4. 巻 14
2. 論文標題 Minimum Energy Point Tracking with All-Digital On-Chip Sensors	5. 発行年 2018年
3. 雑誌名 Journal of Low Power Electronics	6. 最初と最後の頁 227~235
掲載論文のDOI (デジタルオブジェクト識別子) 10.1166/jolpe.2018.1561	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 Kishimoto Tadashi, Ishihara Tohru, Onodera Hidetoshi	4. 巻 57
2. 論文標題 A temperature monitor circuit with small voltage sensitivity using a topology-reconfigurable ring oscillator	5. 発行年 2018年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 04FF09~04FF09
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/JJAP.57.04FF09	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 SHIOMI Jun, ISHIHARA Tohru, ONODERA Hidetoshi	4. 巻 E100.A
2. 論文標題 A Necessary and Sufficient Condition of Supply and Threshold Voltages in CMOS Circuits for Minimum Energy Point Operation	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 2764~2775
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E100.A.2764	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Shiomi Jun, Ishihara Tohru, Onodera Hidetoshi	4. 巻 -
2. 論文標題 Area-efficient fully digital memory using minimum height standard cells for near-threshold voltage computing	5. 発行年 2017年
3. 雑誌名 Integration, the VLSI Journal	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1016/j.vlsi.2017.07.001	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

〔学会発表〕 計11件 (うち招待講演 1件 / うち国際学会 11件)

1. 発表者名 A.K.M. Mahfuzul Islam and Hidetoshi Onodera
2. 発表標題 PVT ² : Process, Voltage, Temperature and Time-dependent Variability in Scaled CMOS Process
3. 学会等名 IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 Yosuke Okamura, Tohru Ishihara, Hidetoshi Onodera
2. 発表標題 Independent N-well and P-well Biasing for Minimum Leakage Energy Operation
3. 学会等名 The International Symposium on On-Line Testing and Robust System Design (国際学会)
4. 発表年 2018年

1. 発表者名 Tadashi Kishimoto, Tohru Ishihara and Hidetoshi Onodera
2. 発表標題 On-Chip Reconfigurable Monitor Circuit for Process Variation and Temperature Estimation
3. 学会等名 International Conference on Microelectronic Test Structures (国際学会)
4. 発表年 2018年

1. 発表者名 Shinichi Nishizawa, Hidetoshi Onodera
2. 発表標題 Process Variation Aware D-Flip-Flop Design using Regression Analysis
3. 学会等名 International Symposium on Quality Electronic Design (国際学会)
4. 発表年 2018年

1. 発表者名 A.K.M. Mahfuzul Islam, Hidetoshi Onodera
2. 発表標題 Effect of supply voltage on random telegraph noise of transistors under switching condition
3. 学会等名 2017 27th International Symposium on Power and Timing Modeling, Optimization and Simulation (PATMOS) (国際学会)
4. 発表年 2017年

1. 発表者名 Tadashi Kishimoto, Tohru Ishiharay, and Hidetoshi Onodera
2. 発表標題 A Temperature Monitor Circuit with Small Voltage Sensitivity using a Topology Reconfigurable Ring Oscillator
3. 学会等名 2017 International Conference on Solid State Devices and Materials (国際学会)
4. 発表年 2017年

1. 発表者名 Tadashi Kishimoto, Tohru Ishihara, and Hidetoshi Onodera
2. 発表標題 On-Chip Temperature and Process Variation Sensing using a Reconfigurable Ring Oscillator
3. 学会等名 2017 International Symposium on VLSI Design, Automation and Test (国際学会)
4. 発表年 2017年

1. 発表者名 A.K.M. Mahfuzul Islam, Tatsuya Nakai, Hidetoshi Onodera
2. 発表標題 A Statistical Modeling Methodology of RTN Gate Size Dependency Based on Skewed Ring Oscillators
3. 学会等名 2017 IEEE International Conference on Microelectronic Test Structures (国際学会)
4. 発表年 2017年

1. 発表者名 Tadashi Kishimoto, Hidetoshi Onodera
2. 発表標題 On-Chip Temperature Sensing using a Reconfigurable Ring Oscillator
3. 学会等名 The 20th Workshop on Synthesis And System Integration of Mixed Information technologies (国際学会)
4. 発表年 2016年

1. 発表者名 Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera
2. 発表標題 A Processor Architecture Integrating Voltage Scalable On-Chip Memories for Individual Tracking of Minimum Energy Points in Logic and Memory
3. 学会等名 The 20th Workshop on Synthesis And System Integration of Mixed Information technologies (国際学会)
4. 発表年 2016年

1. 発表者名 Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera
2. 発表標題 Fully Digital On-Chip Memory Using Minimum Height Standard Cells for Near-Threshold Voltage Computing
3. 学会等名 International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS) (国際学会)
4. 発表年 2016年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	塩見 準 (Shiomi Jun) (40809795)	京都大学・情報学研究科・助教 (14301)	
研究分担者	石原 亨 (Ishihara Toru) (30323471)	名古屋大学・情報学研究科・教授 (13901)	
研究分担者	土谷 亮 (Tsuchiya Akira) (20432411)	京都大学・情報学研究科・助教 (14301)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------