

平成 31 年 4 月 22 日現在

機関番号：17102

研究種目：基盤研究(B) (一般)

研究期間：2016～2018

課題番号：16H02796

研究課題名(和文) シリコン限界を凌駕する100ギガヘルツ級超伝導プロセッサ・アーキテクチャの研究

研究課題名(英文) Research on 100 GHz Ultra-High-Speed Superconducting Microprocessor Architecture

研究代表者

井上 弘士 (Inoue, Koji)

九州大学・システム情報科学研究所・教授

研究者番号：80341410

交付決定額(研究期間全体)：(直接経費) 13,000,000円

研究成果の概要(和文)：単一磁束量子回路の利用を前提とした新しいアーキテクチャであるゲートレベルパイプライン構造を提案した。また、その実現可能性を実証するために乗算回路を対象とした試作を行い、世界初となる 48 GHz 5.6mW での動作に成功した。この結果は半導体分野で著名な国際会議である ISSCC にて発表している。また、4ビット超伝導マイクロプロセッサの試作を行い、シミュレーションにより 30 GHz 動作を確認した。これらを結果に基づき、冷却コストを踏まえた場合でも従来プロセッサに対し大きな電力効率向上を達成できることを明らかにした。

研究成果の学術的意義や社会的意義

これまでのコンピュータ・システムの発展は半導体微細化に支えられてきたといっても過言ではない。しかしながら、ついに半導体の微細化にも限界が見えてきており、継続的なコンピュータ・システムの性能向上を実現するには新たな技術革新が必要とされている。本研究は、単一磁束量子回路を用いた新しいマイクロプロセッサを提案するとともに、その実現可能性と有効性を実チップ開発により示したものであり、ポストCMOSコンピューティングの新たな方向性として学術的意義は大きい。

研究成果の概要(英文)：In this research, we have proposed a novel microprocessor architecture that supports gate-level fine-grained pipeline structure for superconductor single-flux-quantum (SFQ) computing. We have successfully demonstrated a design of 48 GHz 5.6mW ultra-high-speed 8-bit SFQ multiplier by gate-level pipelining. The design results have been presented in 2019 IEEE International Solid-State Circuits Conference (ISSCC) that is one of the biggest conference focusing on semiconductor technologies. In addition to such prototype design, a 4-bit SFQ microprocessor has been designed, and we have confirmed its correct operation on circuit simulations. The SFQ microprocessor operates on 30 GHz that cannot be achieved by using traditional CMOS circuits.

研究分野：コンピュータ・アーキテクチャ

キーワード：コンピュータ・アーキテクチャ 超低温コンピューティング 超伝導コンピューティング マイクロプロセッサ 単一磁束量子回路

様式 C-19、F-19-1、Z-19、CK-19（共通）

1. 研究開始当初の背景

半導体の微細化がついに終焉を迎えようとしている。これは、着実に継続してきたコンピュータの頭脳であるプロセッサの性能向上が止まることを意味する。2005年以降はスケーリング則の破綻により消費電力問題が露呈し、クロック周波数は数ギガ・ヘルツ程度で頭打ちとなった。また、微細化限界後はプロセッサ・コア数を増加できないため、更なる高性能化は見込めない。したがって、持続可能な高度情報社会の発展を支えるためには、微細化限界に直面する前に抜本的な解決策を見出す必要がある。このような「シリコンの限界」を越えるデバイスとして超伝導単一磁束量子（SFQ: Single Flux Quantum）がある。超伝導ループ中の磁束消失時に発生する微弱電圧パルスを情報担体とするため、論理ゲート当りの消費電力は、電荷の充放電を基本とする CMOS 回路と比較して約 1/1,000 以下である。また、無損失な電磁波信号伝搬による超高速性を合わせ持つ。この優れた特性に希望を抱き、過去には超伝導回路の研究が盛んに行われたが、半導体微細化の目覚ましい進歩に対峙できず衰退した。その主な原因は、(1) 冷却電力を考慮するとデバイスの低消費電力性が相殺される、(2) CMOS でのアーキテクチャを模倣する手段を採ったためデバイス特性を活かしきれていない、ことに尽きる。しかしながら、最近では省消費指向 SFQ デバイス/回路の研究が進み、冷却を含めても CMOS より 2桁高いエネルギー効率を実現できる見込みが出てきた。その結果、米国では国策として超伝導プロセッサ開発が推進されるなど、シリコン限界が目前に迫った今、その有効性が見直されている。我が国は SFQ デバイス/回路の設計・製造に関して世界をリードしており、大規模化を阻む要因であった製造ばらつきを 2%以下に抑える技術が確立され、小規模プロセッサの試作に成功している。しかしながら、依然として上記(2)の抜本的対策がとれておらず、回路の高速性は実証されたものの、ソフトウェア実行を踏まえた実質的なプロセッサ動作速度（実効動作速度と呼ぶ）は現代の CMOS と同等程度に留まっている。

2. 研究の目的

本研究は、ポストシリコン時代を支えるコンピューティング要素技術として、超低消費電力かつ超高速動作可能な超伝導プロセッサ・アーキテクチャを世界に先駆けて開発する。また、主要構成部品のチップ試作ならびにシステムレベル・シミュレーションにより、その有効性と実現可能性を明かにする。計算機工学ならびに超伝導工学を跨いだ分野横断型研究であり、超伝導素子の利用を前提としたアーキテクチャと回路のコーデザインを実施する。これにより、シリコンに変わる新デバイスを利用したプロセッサ構成法を示すとともに、その実現に必要な超伝導回路設計技術を確立する。

3. 研究の方法

本研究では、(1) SFQ アーキテクチャ技術開発、(2) SFQ 回路技術開発、(3) 電力性能総合評価、の3つのテーマを設定した。コンピュータ・アーキテクチャの専門家ならびに超伝導回路設計の専門家で構成される研究者が強固に連携し、実チップ試作ならびにシミュレーションを通して超伝導プロセッサの有効性と実現可能性を実証する。

SFQ アーキテクチャ技術開発：CMOS プロセッサを圧倒的に凌駕する超高速性と極低消費電力性を合わせ持つ SFQ プロセッサ・アーキテクチャのあるべき姿を明かにする。過去の研究成果に対してメモリ・アーキテクチャを新たに追加する。また、その潜在能力を最大限引き出すための SFQ 向け超細粒度マルチスレッド方式を開発しアーキテクチャを完成させる。

SFQ 回路技術開発：SFQ プロセッサの実現に向け、従来とは異なる新しい SFQ 回路設計技術を確立する。例えば、これまでは試みられていなかったビットレベル並列性の適用や、ゲートレベル・パイプライン構造を考慮した論理的/物理的タイミング設計技術の確立などが挙げられる。特に、クロック信号分配ならびに配置配線技術が重要となる。

電力性能総合評価：上述した新しい SFQ アーキテクチャならびに回路設計技術に基づき、主要ユニットのチップ試作ならびにシステムレベル・シミュレーションにより、提案する SFQ マイクロプロセッサの有効性ならびに実現可能性を実証する。

4. 研究成果

SFQ 向けプロセッサアーキテクチャの開発：従来から提案していた SFQ 向けアーキテクチャとして、ビット並列型ゲートレベル細粒度パイプライン構造を洗練し、実チップ設計を通してその有効性ならびに実現可能性を示した。本アーキテクチャは従来 CMOS 技術では消費電力問題により実現が困難であり、低消費電力性を持つ SFQ 回路により可能となるアプローチである。本アーキテクチャ技術は、以下に示す様々なチップ設計のコア技術となっている。

1.6 mW 56 GHz SFQ 算術論理演算回路の実現：提案アーキテクチャに基づくプロトタイプとして超高性能低消費電力な8ビット算術論理演算回路を試作し、その動作実証に成功した。この結果は世界的にも極めて高い優位性を示すものである。本成果に関しては、エレクトロニクス分野の低消費電力化に関する著名な国際会議である ISLPED (ACM/IEEE International Symposium on Low Power Electronics and Design) のデザインコンテストにおいて「Design Contest Award Honorable Mention」を受賞した。

5.6 mW 48 GHz SFQ 乗算回路の実現：上述した SFQ 算術論理演算回路は加減算や論理演算といった単純な機能の有する。しかしながら、実際のプロセッサ開発には乗算といったより複雑な回路構成となる演算機能の実装が必須となる。そこで、提案アーキテクチャに基づく8ビット並列型ゲートレベルパイプライン乗算器を開発した。この試作を通し、大規模 SFQ 回路におけるレイアウト技術、クロック配線技術を確立した。本成果に関しては、半導体分野で最大規模クラスとなる IEEE International Solid-State Circuits Conference (ISSCC) にて発表した。

30 GHz 4 ビットマイクロプロセッサの設計：算術論理演算回路、レジスタファイル、命令メモリ、データメモリ、などを搭載したビット並列型ゲートレベル細粒度パイプライン・プロセッサを開発した。プロセッサ性能を確保するためのマルチスレッド実行サポートや、SFQ 回路の特性を考慮したメモリ開発を新規に行い、シミュレーションによる 30 GHz 動作を確認した。チップ試作の結果、一部の不具合が検出されたものの、これ以外については正常動作を確認した。本プロセッサ開発は世界初となる試みであり、本基盤研究終了後も継続して不具合解消に取り組む。また、超伝導回路を利用する際にオーバヘッドとなる冷却コストも加味した電力性能評価を実施し（各種モデリングと設計試作結果に基づき実施）、冷却コストを含めた場合でも十分な有効性を得られることを確認した。

5. 主な発表論文等

- Ikki Nagaoka, Masamitsu Tanaka, Koji Inoue, and Akira Fujimaki, “A 48 GHz 5.6 mW Gate-Level-Pipelined Multiplier Using Single-Flux Quantum Logic,” IEEE International Solid-State Circuits Conference (ISSCC), pp.460-462, Feb. 2019.
- Koki Ishida, Masamitsu Tanaka, Takatsugu Ono, and Koji Inoue, “Towards ultra-high-speed cryogenic single-flux-quantum computing,” IEICE Transactions on Electronics, Vol. E101C, No. 5, pp.359-369, May 2018.
- 田中雅光, 佐藤諒, 石田浩貴, 畑中湧貴, 松井裕一, 小野貴継, 井上弘士, 藤巻朗, “超伝導単一磁束量子回路による 50 GHz ビット並列演算マイクロプロセッサに向けた要素回路設計,” 電子情報通信学会論文誌 C, 101-C, pp.389-399, 2018 年.
- M. Tanaka et. al., “1.6-mW, 56-GHz Arithmetic Logic Unit Based on Superconductor Single-Flux-Quantum Logic Circuit,” International Symposium on Low Power Electronics and Design (ISLPED), Design Contest, July, 2017.
- Sato Ryo, Hatanaka Yuki, Ando Yuki, Tanaka Masamitsu, Fujimaki Akira, Takagi Kazuyoshi, and Takagi Naofumi, “High-Speed Operation of Random-Access-Memory-Embedded Microprocessor With Minimal Instruction Set Architecture Based on Rapid Single-Flux-Quantum Logic,” IEEE Trans. Appl. Supercond., 2017.
- Koji Inoue and Masamitsu Tanaka, “Towards to ultra high-speed single-flux-quantum computing,” Arm Research Summit, 2017.
- 石田浩貴, 田中雅光, 小野貴継, 井上弘士, “単一磁束量子回路向けマイクロプロセッサのアーキテクチャ探索,” 情報処理学会論文誌, Vol.58, No.3, pp. 629-634, 2017.

〔雑誌論文〕 (計 5 件)

〔学会発表〕 (計 41 件)

〔図書〕 (計 0 件)

〔産業財産権〕

○出願状況（計 0 件）

○取得状況（計 0 件）

〔その他〕

ホームページ等

6. 研究組織

(1) 研究分担者

研究分担者氏名：田中雅光

ローマ字氏名：Masamitsu Tanaka

所属研究機関名：名古屋大学

部局名：工学研究科

職名：助教

研究者番号（8桁）：10377864

※科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。