

令和元年5月28日現在

機関番号：12601

研究種目：基盤研究(B) (一般)

研究期間：2016～2018

課題番号：16H03971

研究課題名(和文) 高輝度LHCに向けた高速高密度読み出しエレクトロニクスの開発

研究課題名(英文) Development of high-speed and high-dense readout electronics for high-luminosity LHC

研究代表者

田中 純一 (Tanaka, Junichi)

東京大学・素粒子物理国際研究センター・教授

研究者番号：80376699

交付決定額(研究期間全体)：(直接経費) 13,800,000円

研究成果の概要(和文)：将来の大規模な素粒子実験では検出器からのデータ読み出し数や情報量が増え、高性能なFPGAを用いて高速転送を行う方法が一般的になるであろう。本研究では様々な高速通信デバイスをIntel社のArria10 FPGAに接続した試験的な読み出し回路基板を設計・製作し、その動作試験を行った。QSFP+、SFP+のみならずリンク辺り10Gbps以上の高速通信可能なリンクが12本束ねられているAvago社のMicroPODを搭載した点がユニークで、2ペア合計24リンク同時動作で安定な接続(12.5Gbps/リンク)を確認した。FPGAへの組込みプロセッサを使った動作試験を行う経験も十分に得ることができた。

研究成果の学術的意義や社会的意義

日本の高エネルギー素粒子実験ではIntel社のFPGAの利用はまだまだ少なく、それを用いた本格的な読み出し回路基板を一から設計・製作したことはXilinx社のみならずIntel社のFPGAを用いた回路設計の技術力があることを示すことができ、選択することができるFPGAの幅が拡大した。また、MicroPODは小さなデバイスであるが100Gbps以上の高速通信が可能のため、回路基板の小型化などに向いている。本研究では十分な冷却を行うことで実践的に使える可能性を示した。

研究成果の概要(英文)：We expect that the method to use high-spec FPGA for high-speed data transfers will become standard because data from detectors increase in future large-size particle physics experiments. In this research we designed and developed a test board of read-out electronics using a Intel Arria10 FPGA with different high-speed network devices. This board is unique since it has QSFP+, SFP+ and also Avago MicroPOD which has 12-links of 10Gbps or faster per link. We confirmed that we can transmit data with 12.5Gbps, 2-pairs, that is 24-links. We have also tested a software-based processors on FPGA.

研究分野：素粒子実験

キーワード：素粒子実験 電子デバイス・機器 FPGA 読み出し回路 高速通信 MicroPOD

1. 研究開始当初の背景

2012年に大型陽子・陽子衝突型加速器(LHC加速器)を用いたアトラス実験およびCMS実験で発見したヒッグス粒子により素粒子物理の標準理論は完成を迎えた。標準理論は非常に多くの現象を正しく記述することができ、100GeVオーダーまでのエネルギースケールにおいて素粒子の世界を記述する適切な理論である。一方、この標準理論は高いエネルギースケールで破綻し、また、銀河の回転速度等で実験的に存在が示されている暗黒物質を説明できないなどの理由から、より本質的な理論的枠組みが必要となる。この枠組みを明らかにするために「標準理論を越えた新しい素粒子現象」を発見することが現在の素粒子物理学において最重要課題である。

この最重要課題に取り組むため、我々はLHC加速器を高輝度化(2024年LHCアップグレード)し、膨大な実験データを取得し、アトラス実験で直接的あるいは高精度な精密測定による間接的なアプローチによる方法で高いエネルギースケールへアクセスする研究を推進する。

このLHCアップグレードに伴い、実験データ取得において非常に大きな問題が生じる。具体的には、パイルアップと呼ばれる低エネルギーの非弾性衝突事象が格段に増加する。例えばパイルアップ数が40の事象とは、一度の陽子・陽子バンチ衝突で低エネルギーの非弾性衝突の事象が40個重なって1つの事象と観測されることである。実験データを永久ストレージに保存するための判断を下すことをトリガーというが、従来のトリガー性能のままであればパイルアップ増加に伴いトリガーする頻度を上げる必要がある。しかしながら、検出器からのデータ読み出し性能はこのデータ増加に堪えることができない。

我々のグループはアトラス実験の2019年アップグレード計画(2024年のLHCアップグレードとは異なる計画)のため2013年3月からアトラス実験の液体アルゴン・カロリメータグループに正式に加入し、様々な成果を挙げてきた。この液体アルゴン・電磁カロリメータの読み出し回路も上述した問題を本質的に抱えており、様々な研究開発が要求されてきた。我々はそのような研究開発からアイデアをもらいつつ、次の2024年のLHCアップグレードに利用できるような新しい読み出し回路を研究開発する必要があった。

2. 研究の目的

上述した最重要課題に挑むためLHCは今後20年に渡り段階的にアップグレードを行い高輝度化され、より多くのデータをアトラス検出器で取得することになる。しかしながら、アトラス実験の液体アルゴン電磁カロリメータの現行のデータ読み出し回路ではデータ転送能力が不足する。本研究の目的は、高輝度化に向けて液体アルゴン・電磁カロリメータのための高速高密度データ通信可能な読み出し試験ボードを開発することである。その試験ボードの動作検証を経て、アップグレードに必要な機能や性能の評価を行うことが可能になる。

3. 研究の方法

読み出し試験ボードを開発することと、それに搭載するFPGAファームウェアを開発することを以下のような計画(ここでは当初計画)で行う。

1) 読み出し試験ボードの開発

この開発では2013-2014年(H25-26年)に製作した読み出し試験ボード「Akatsuki」の研究成果を受け、現実的な課題に挑むため3つの大きな変更点を加える。

- 高密度化を行うため、小型サイズ、たとえば16cmx7cmにする。具体的には2019年アップグレードの実機のデザインを参考にして、ATCA規格のボードに4枚のメザニンカードとして搭載することを考える。この場合のサイズが16cmx7cm程度である。
- 高速通信を同時に数多く行い、将来の読み出しに要求される大容量データ転送を試験するため、Avago社のMicroPOD高速通信デバイス(最大14Gbpsのデータ転送可能な光ファイバーを12本束ねて100Gbpsを越える高速転送を可能にするデバイス)の数をAkatsukiに対して2倍程度にする。具体的には8~10個を16cm x 7cmのボードに搭載する。
- 2019年アップグレードを行っているアトラス実験のカロリメータのFPGAファームウェアの開発環境と同じものを採用することで、大学院生を含めて田中研究室の研究者が1つの環境で異なるファームウェアを効率よく開発できる。そのため、FPGAのメーカーをザイリンクス社からインテル社(旧アルテラ社)に変更する。

「設計→製作→動作試験」の工程をすべて行い、2年目に問題点を改善した2作目のボード開発を行う。

2) 動作検証用のFPGAファームウェア開発

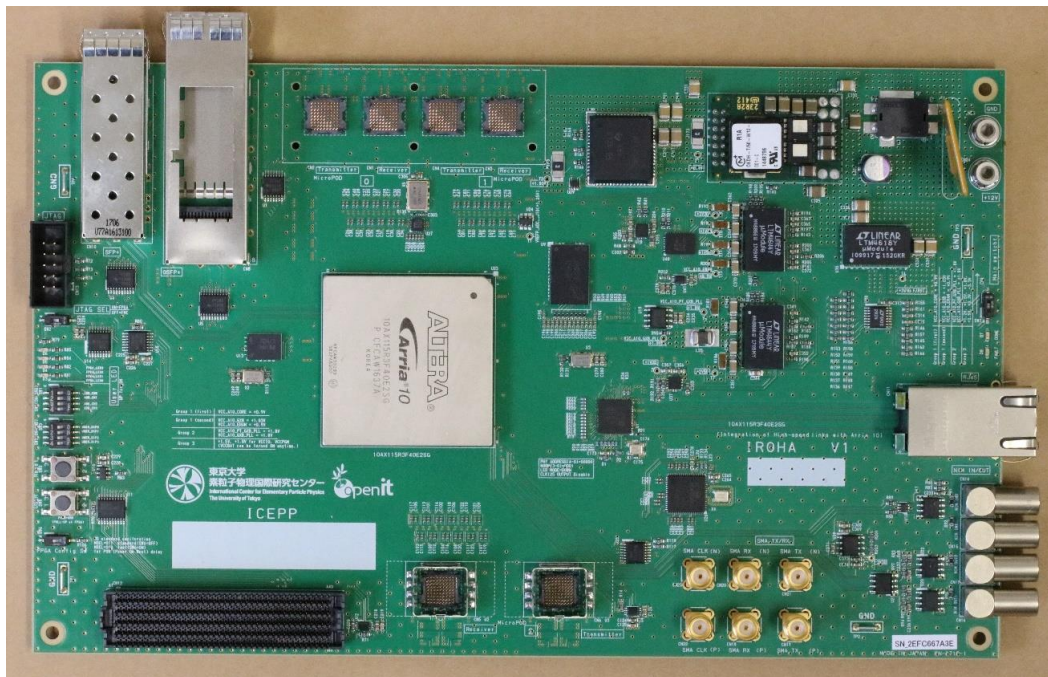
アトラス実験の液体カロリメータのアップグレードで採用されたインテル社のFPGAを上記の試験ボードに搭載する。我々のグループは2019年のアップグレード研究において、FPGAに搭載するファームウェアの開発に携わっており、インテル社のFPGAファームウェアの開発の専門家との交流がある。具体的にはフランスのグループのエンジニアの助言をもとに、試験ボードの検証を行うためのファームウェアを開発する。また、高速通信の実現に向けて40Gbpsを越えるレートでUDPプロトコルを用いて汎用計算機とのデータ転送試験を行う。

4. 研究成果

1) 読み出し試験ボードの開発

ボード開発には当初の予定の約2倍の1年4ヶ月の期間が必要になった。したがって1台のみの製作となった。ここで開発過程を説明する。KEKのOpen-Itプロジェクトによる技術支援のもとで2016年11月から開発を開始した。基板のデザインにおいて、予定していたMicroPODの搭載数を8-10個から6個に削減し、そのかわりFMCというメザニンカードを搭載できるようにした。これにより、開発した基板にFMCを用いてさまざまなデバイスをオプションで追加することが可能になった。また、このことにより高価なFPGAを搭載した基板を再度開発する必要がなくなるため、コスト削減に繋がる。また、MicroPOD以外的高速通信可能なデバイスであるQSFP+やSFP+を搭載し、さまざまなデバイスで通信試験を行えるボードにした。そのため、ボードのサイズは予定の16cmx7cmから23cmx14cmと大きくなったが、搭載するMicroPODのうち4個(TXとRXのペアで2個)を密に配置することにより、高密度の配置での動作試験の可能性は確保した。

2016年12月中旬にデザインの大枠を決定し、田中がOrCADによる回路設計(部品間の接続に関する設計)を開始し、2017年2月に第一バージョンが出来上がった。その後、KEKのOpen-Itのエンジニアから修正や改善のアドバイスをを受け、6月下旬に企業に提出するバージョンが完成した。基板の設計は有限会社ジー・エヌ・ディー(GND)に依頼した。GND側では、ボード基板の素材選択、実際にボード上にどのように部品を配置し配線するか、ボードの層構造の決定などを行った。基板の素材はMEG6とし、18層構造(試験ボードの厚みは2.2mm)にした。配線作業の中でDDR3メモリーの配線ミスが見つかり、それを修正するのに時間を要したが、12月に基板図が完成した。その後、GNDで実機の製作を開始し、2018年3月に試験ボード「Iroha」(Integration of High-speed links with Arria10)が納品された。それが下図である。搭載したFPGAはインテル社の最新の中ドルレンジFPGAであるArria10である。96個の17.4Gbpsトランシーバーが利用できる高速通信をターゲットにしたFPGAである。



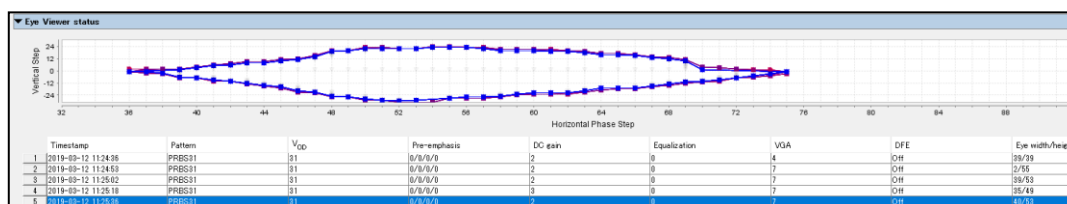
2) 汎用計算機を用いたテスト環境の構築とファームウェア開発プラットフォームの構築

10Gbpsと40Gbpsのネットワーク通信ができる設備を購入し、テスト環境をLinux OSを用いて構築した。2台の計算機で40Gbps通信が可能であることをiperfを用いて確認した(実測10秒間計測で39.3 Gbits/sec)。また、UDPプロトコルでMicroPODデバイスを介して試験ボードと汎用計算機が通信できるようにするため、光ファイバーの入れ替えを自由に行うことができる変換装置(MP012芯とLCコネクタを入出力に搭載)やMicroPODのPRIZM LightTurnとMP012の変換ケーブル(我々が配線を設計し、企業に製作を依頼)などを購入した。以下に説明するように今回開発した試験ボードと汎用計算機の通信は期間内には達成できなかったが、UDP通信が可能になればすぐにテストできる環境を構築した。

汎用計算機には通信試験のみならず、ファームウェア開発用のソフトウェアが利用できるように十分なメモリー(128GB、64GB等)を搭載したコンピュータを購入し、ファームウェア開発プラットフォームを構築した。ファームウェア開発にはインテル社の専用ソフトウェアであるQuartusを用いた。また、ファームウェアの試験に必要なSimulatorソフトウェアにはQuesta/ModelSimを導入した。

3) 試験ボード IROHA の動作試験

右図は MicroPOD の試験を行っている様子である。Quartus に組み込まれた Transceiver Toolkit を用いて Bit Error Rate や Eye Scan を測定し動作検証および性能評価を行った。下図が 12.5Gbps のリンク時の Eye Scan 測定の一例である。十分に「目」が開いていることが分かる。実際、12.5Gbps の場合、2 ペア 24 リンク (密な配置の MicroPOD) 同時に通信を行っても、安定に動作 (BER=10⁻¹² 程度まで計測) することが分かった。1 ペアのみ、2 ペア同時のどちらにおいても同程度の性能であり、MicroPOD デバイスを詰めた配置にしても冷却を十分に行えば問題ないことが分かった。14Gbps での性能評価では BER が高く現行のパラメータ設定では実用に向かないことが分かった。



Micron Tech 社 DDR3 メモリの動作確認として、400MHz での読み書きの試験を Quartus のソフトウェア組み込みプロセッサ NIOS II で行った。256MB すべてのアドレスに対して正常であることを確認した。Flash memory, LEMO, SMA, プログラマブルクロック (Si5341) などの動作試験も行い正常であった。これらの動作試験で見つかったバグもいくつかあった。たとえば、LEMO コネクタや ADC デバイスの配線ミスである。手作業で修正できるものは修正した。

UDP 通信試験に向けて、まずは PHY+RJ45 の接続試験を NIOS II で行ったがリンクを確認できなかった。PHY のコントロールが上手くいっていない可能性があり、デバッグを行っている。この試験ができれば、次に UDP プロトコルでの動作試験を行う。そのファームウェア設計をもとに MicroPOD を含む搭載した高速通信デバイスの試験がスムーズに行うことができると考える。

4) 発表など

Iroha の開発や動作試験の成果は日本物理学会 (2019 年 3 月 16 日) で田中が報告 (16pK210-11) を行った。また、Iroha に搭載した FPGA と MicroPOD はアトラス実験のカロリメータの 2019 年アップグレードで開発した読み出し基板に搭載されているものと同等のもので、田中研究室はこの FPGA のファームウェア開発のエネルギー計算部分を担当している。開発者は研究室に所属する大学院生で、この開発の中で Iroha の動作試験に必要なファームウェアのノウハウの技術を獲得した。さらに、この研究開発の中でフランスの回路基板と FPGA ファームウェア開発の専門家の Iroha への協力も得られるようになった。研究協力者である江成や大学院生はアトラス実験のカロリメータの 2019 年アップグレードに関する研究開発について、国際学会等で報告した。

5. 主な発表論文等

[雑誌論文] (計 2 件)

[1] Yi-Lin Yang, On the behalf of ATLAS LAr Calorimeter Group, “The Phase-I trigger readout electronics upgrade of the ATLAS liquid argon calorimeters”, Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, DOI 10.1016/j.nima.2018.11.080

[2] Kenta Uno, Yuji Enari, Ryunosuke Iguchi, Junichi Tanaka, “Firmware Development for the first level trigger of ATLAS LAr Calorimeter”, Proceedings of Science 294, 2017, DOI 10.22323/1.294.0064

[学会発表] (計 9 件)

[1] 田中 純一, “Intel Arria10 FPGA を搭載した高速データ通信テストボードの開発と性能評価” (口頭発表), 日本物理学会 第 74 回年次大会, 2019 年 3 月 16 日, 九州大学

[2] Yi-Lin Yang, “The Phase-I Trigger Readout Electronics Upgrade of the ATLAS Liquid Argon Calorimeters” (ポスター), Frontier Detectors for Frontier Physics : 14th Pisa

Meeting on Advanced Detectors (PM2018) (国際学会), 2018年6月1日, イタリア

[3] Yuji Enari, “The Phase-1 Trigger Readout Electronics Upgrade of the ATLAS Liquid Argon Calorimeter” (口頭発表), CALOR 2018 (国際学会), 2018年5月23日, 米国

[4] Yuji Enari, “Status on the LAr Phase1 demonstrator - new data with 2018 collision” (ポスター), ATLAS week 2018 in Tokyo, 2018年6月11日, 早稲田大学

[5] Kenta Uno, “The Phase-I Trigger Readout Electronics Upgrade of the ATLAS Liquid Argon Calorimeters” (口頭発表), Topical Workshop on Electronics for Particle Physics (TWEPP18) (国際学会), 2018年9月21日, ベルギー

[6] Kenta Uno, “FPGA Firmware Development of High-speed energy calculation with multi-stage FIR Filter” (口頭発表+ポスター), International conference on Advancement in Nuclear Instrumentation Measurement Methods and their Applications (ANIMMA 2017) (国際学会), 2017年6月22日, ベルギー

[7] 宇野 健太, “ATLAS LAr カロリメータアップグレード: 新しいトリガー読み出しのためのバックエンドシステムの開発” (口頭発表), 日本物理学会 第72回年次大会, 2017年3月19日, 大阪大学

[8] Kenta Uno, “Firmware Development for the first level trigger of ATLAS LAr Calorimeter” (ポスター), The 3rd International Symposium on “Quest for the Origin of Particles and the Universe” (KMI2017) (国際学会), 2017年1月5日, 名古屋大学

[9] 宇野 健太, “ATLAS LAr カロリメータアップグレード: フィルタリングを組み込んだFPGAファームウェアの性能評価” (口頭発表), 日本物理学会 2016年秋季大会, 2016年9月24日, 宮崎大学

[図書] (計0件)

[産業財産権]

○出願状況 (計0件)

○取得状況 (計0件)

[その他]

ホームページ

<http://openit.kek.jp/project/altera-micropod-readout-rd/altera-micropod-readout-rd>

6. 研究組織

(1) 研究分担者

無し

(2) 研究協力者

研究協力者氏名: 江成 祐二

ローマ字氏名: (Enari, Yuji)

研究協力者氏名: 宇野 健太

ローマ字氏名: (Uno, Kenta)

研究協力者氏名: 楊 易霖

ローマ字氏名: (Yang, Yi-Lin)

※科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。