

平成 31 年 5 月 1 日現在

機関番号：25403

研究種目：基盤研究(C)（一般）

研究期間：2016～2018

課題番号：16K00079

研究課題名（和文）決定グラフに基づく高速なプログラマブルネットワーク侵入検知システムの開発

研究課題名（英文）Development of a Fast Programmable Network Intrusion Detection System Based on Decision Diagrams

研究代表者

永山 忍（Nagayama, Shinobu）

広島市立大学・情報科学研究科・教授

研究者番号：10405491

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：本研究では、Vectorized Edge-Valued Binary Decision Diagramという新たな決定グラフに基づく高速なプログラマブルネットワーク侵入検知システムとその設計支援ツールを開発した。当初は正規表現マッチングによる侵入検知を対象にしていたが、時代の流れとそれに伴う社会の要望に対応するために、機械学習による検知を主対象にする方向へ舵を切った。機械学習で増大しがちなハードウェアサイズを、決定グラフを用いることでコンパクトに圧縮し、ソフトウェア実装に比べ約11～25倍の処理性能が達成できるシステムを1チップのFPGAに実装可能であることを確認した。

研究成果の学術的意義や社会的意義

本研究では、機械学習（いわゆるAI）によってハッキングなどのネットワーク上の不正侵入を高速に検知するシステムを開発した。不正侵入検知の心臓部となる計算を高速に実行する専用ハードウェアを決定グラフによる新技術で設計したことにより、コンパクトな機器でも従来の約11～25倍に及ぶ処理性能の達成できるようになった。新たな侵入手口にも柔軟に対応できる機能を備えているため、ネットワークにおける安全性と利便性の両立が可能になった。開発したシステムは小型であるため、IoT機器に組込むことができ、身の回りの機器に組み込まれるようになれば、より安全で快適なIoT社会が実現されるだろう。

研究成果の概要（英文）：In this study, we developed a fast programmable network intrusion detection system (NIDS) based on a new type of decision diagrams, Vectorized Edge-Valued Binary Decision Diagrams (VEVBDDs), and its computer aided design tools. At the beginning of the study, we targeted only on intrusion detection by regular expression matching. To keep up with the times and catch up on demand in society, however, we changed the direction of the study and targeted mainly on intrusion detection by machine learning. Although machine learning tends to require large hardware size, we reduce hardware size by using VEVBDDs, and allow an NIDS to be implemented in an FPGA. The developed NIDS on an FPGA succeeded in achieving about 11 to 25 times higher throughput than its corresponding software implementation.

研究分野：情報学

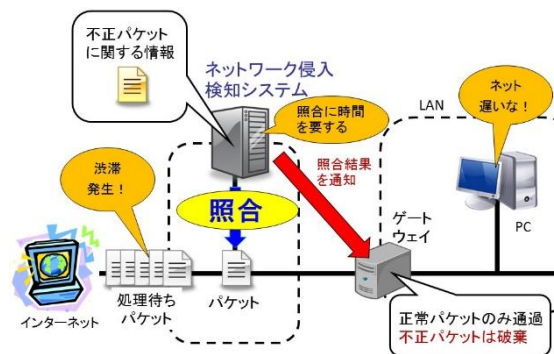
キーワード：プログラマブルシステム ネットワークセキュリティ ネットワーク侵入検知システム 機械学習 決定グラフ 論理設計

1. 研究開始当初の背景

インターネットの普及に伴い、サイバー犯罪は増加の一途をたどり、2013年には全世界で約11兆円にも及ぶ被害額が報告されている[1]。日本だけでも全国で約1,000億円の被害額が報告されており、被害は年々深刻になっている。特に、コンピュータへの不正侵入による年金情報の流出は記憶に新しい被害である。このようにサイバー犯罪は、インターネットとは無縁と思われる人々でさえ被害に遭う可能性が高まっており、もはや社会問題としてその存在が広く認知されている。

しかし、サイバー犯罪による被害は、一般に認知されているほど甘くはない。不正侵入やコンピュータウイルスなどによる被害は、個人情報の流出やコンピュータの故障だけに止まらず、高度情報化社会（特にIoT: Internet of Things）が叫ばれる今日では、電気・ガス・水道の供給システムや鉄道・航空機・自動車など、あらゆるサービスがネットワークを通じて提供・制御されているため、人的被害に及びかねない危険性がある。実際に、ノートパソコンから車載ネットワークに侵入し、自動車を誤動作させることに成功したという報告がある[2]。人々の生命や財産を守るために、ネットワークへの不正侵入を許してはならず、不正侵入を検知するためのネットワーク侵入検知システム（NIDS: Network Intrusion Detection System）の設置は今や必須のものになっている。

NIDSはネットワーク上のデータに対して、不正侵入と同じパターンが含まれていないかを照合することにより、不正侵入を検知している。近年の手口の巧妙化に伴い、照合すべきパターン数が増加しており、不正侵入か否かの判断に長い時間を要するため、回線速度を光ケーブルなどで高速化しても、NIDSがボトルネックとなり通信速度の向上が望めない。インターネットの安全性と利便性を両立させるためには、NIDSでの処理の高速化が不可欠であり、本研究では、この課題に取り組む。



ネットワーク侵入検知システムの概略図

NIDSでの主な処理は正規表現マッチングであり、高速な正規表現マッチングのために、これまでに世界中で様々な研究が報告されている。従来研究の多くは、大きく分けると、決定性有限オートマトン（DFA: Deterministic Finite Automaton）に基づくものと非決定性有限オートマトン（NFA: Non-deterministic Finite Automaton）に基づくものの二つに分類できる。DFAに基づくものは、処理は高速だが、状態数が膨大になるという欠点がある。一方、NFAに基づくものは、コンパクトではあるが、処理が遅いという欠点がある[3]。しかし、これら二つの手法における欠点を克服する「決定グラフに基づく第三の手法[4]」が新たに提案された。この手法では、NFAを決定グラフで表現し、決定グラフ上の演算で正規表現マッチングを行うことによりNFAに匹敵するコンパクトさとDFAに匹敵する高速さを達成した。しかし、当該研究[4]では、単純な二分決定グラフ（BDD: Binary Decision Diagram）しか検討されておらず、決定グラフを主として研究を行ってきた私にとって、改善の余地が大いにあった。そこで、本申請の前に行った事前研究[5]で別の決定グラフ（ZDD: Zero-suppressed BDD）を用いたところ、予想通り大幅な性能向上を達成し、更なる性能向上の見通しを得た。

参考文献：

- [1]. シマンテックノートンレポート2013, <http://www.symantec.com>, 2013年 8月.
- [2]. A. Greenberg, “Hackers remotely kill a Jeep on the highway - with me in it,” <http://www.wired.com/2015/07/hackers-remotely-kill-jeep-highway/>, 2015年 7月.
- [3]. Y.-H. E. Yang and V. K. Prasanna, “Space-time trade off in regular expression matching with semi-deterministic finite automata,” *In Proceedings of IEEE INFOCOM 2011*, pp. 1853-1861, 2011.
- [4]. L. Yang, R. Karim, V. Ganapathy, and R. Smith, “Improving NFA-based signature matching using ordered binary decision diagrams,” *Proc. 13th International Conference on Recent Advances in Intrusion Detection (RAID’10)*, pp. 58-78, 2010.
- [5]. S. Nagayama, “Efficient regular expression matching method using ZBDDs,” *Reed-Muller Workshop 2013*, pp. 48-54, 2013.

2. 研究の目的

事前研究では、「ZDDを用いることで大幅な性能向上が達成できた」ということだけではなく、「既存研究は決定グラフについての十分な検討がなされておらず、課題が多く残っている」ということも明らかになった。また、決定グラフ上の演算を専用ハードウェアで行うことで、更なる高速化も期待できる。そこで、本研究では、主に

1. 「正規表現マッチングに適した決定グラフの発見」

2. 「その決定グラフに基づくハードウェアの提案と有効性の評価」

を達成目標として研究を行う。

残念ながら万能な決定グラフは無く、利害得失も異なっているため、まずは適した決定グラフを発見することがこの研究において重要なポイントとなる。そこで、様々な決定グラフに対するサイズや演算に要する計算時間についての多数の評価実験から、適した決定グラフを絞り込み、その決定グラフに基づくハードウェアを設計・評価する。

最終的に提案するハードウェアは、近年のギガビットネットワークの速度に対応できる性能を備えるだけでなく、日々巧妙化する不正侵入の手口に柔軟かつ迅速に対応できるように書換え可能なハードウェアとして構成し、より高い安全性と利便性の両立を目指す。

上記で述べた「決定グラフに基づく第三の手法」は、ソフトウェアでの実装を対象としており、私の知る限り、ハードウェア実装への適用に関する研究はいまだ報告されていない。そこで、本研究では、決定グラフに基づく正規表現マッチング手法をハードウェア実装に適用した際の有効性について、定量的な評価実験を行うことで、これを明らかにする。これにより、ソフトウェアだけでなくハードウェア実装においても、「決定グラフに基づく第三の手法」として確立され、今後様々な分野での発展が期待できる。

本研究を行うに当たって、事前研究の「ZDDを用いた正規表現マッチング手法の考案」や「正規表現マッチング専用ハードウェアの開発」で得られた知見、およびこれまでの基盤研究(C)におけるデジタル波形信号合成器の研究で得られた「決定グラフに基づくプログラマブルハードウェアの設計技術」を全て活用できる。この強みを生かし、上記の目標を満足する新たなハードウェアを提案する。

3. 研究の方法

決定グラフに基づく高速なプログラマブルネットワーク侵入検知システムを開発するために、主に以下の研究を行った。

- (1) **元になる有限オートマトンの再検討**: 既存手法では、NFAを元とする正規表現パターンの表現形式として用い、それをBDDで表現していたが、この元となるオートマトンにも改善の余地が残されている。事前研究において、単純なNFAではなく、Dual Glushkov NFA (DPA: Dual Position Automatonとも呼ばれる)を用いることで性能改善に成功したことから、元となるオートマトンの再検討の必要性が伺える。そこで、本研究では、DPAだけでなく、高速な正規表現マッチングハードウェアに用いられる多文字遷移NFAや文字列遷移NFAなども考慮に入れ、決定グラフに基づく正規表現マッチングに適した有限オートマトンを検討する。また、単に既存の有限オートマトンのどれが決定グラフでの表現に適しているのかを比較検討していただくだけでなく、必要であれば、新たなオートマトンも提案する。
- (2) **適した決定グラフの検討とマッチングソフトウェアの開発・評価**: 事前研究では、これまでの経験と勘を頼りにZDDを用いた手法を提案したが、十分な検討をした上でZDDを選択したわけではないため、ここにも改善の余地がある。特に、元となる有限オートマトンとして、上記で述べたような多文字遷移NFAや文字列遷移NFAを考えた場合には、多値決定グラフ(MDD: Multiple valued Decision Diagram)や枝重み付き決定グラフ(EVDD: Edge-Valued Decision Diagram)などが向いている可能性がある。本研究では、それらの決定グラフを含め、様々なグラフを対象に検討を行う。定性的な判断だけでなく、多数の評価実験を行うことで、定量的な判断により正規表現マッチングに適した決定グラフの絞り込みを行う。評価基準には、決定グラフのサイズや演算の複雑さなどを用いる。そして、有望な決定グラフについては、それに基づく正規表現マッチングソフトウェアを作成し、評価実験を行うことで、更なる絞り込みを行い、ハードウェア設計の礎を築く。
- (3) **決定グラフに基づくハードウェアの設計、および評価実験**: (2)の研究成果として得られる決定グラフとそれに基づく専用ハードウェアを設計する。決定グラフを用いた計算は、並列度を高めやすい特徴があるため、高速化が期待できる。ここでは、ハードウェア化による高速化の上限を明らかにするために、まずはプログラマブルな構成は考慮せずに設計する。設計したハードウェアは、FPGA上に実装し、その性能を評価する。
- (4) **プログラマブルハードウェアの考案、およびプロトタイプ開発**: ネットワーク侵入検知システムにおける不正侵入のパターンは2008年の段階でも、約7分に1回の頻度で更新されるため、新しいパターンに即座に対応するためには、書換え可能なシステムの機能が求められる。そこで、(3)の成果に書換え可能な機能を追加し、システムのプロトタイプを開発する。一般に書換え可能にすることによる回路の柔軟性と性能にはトレードオフの関係があるため、書換え可能な部分を最小限にしたプロトタイプを開発する。
- (5) **提案ハードウェアを組み込んだNIDSの開発と有効性の評価**: 上記の研究で開発したハードウェアをNIDSに組み込み、システムとして完成させる。開発したシステムの有効性(ボトルネック解消)を確認するために、処理速度、消費電力、パターンの更新時間などの様々な観点でシステムの評価を行う。
- (6) **拡張正規表現などへの対応、および未知の手口への対応の検討**: 開発したシステムの実用性を高めるために未知の不正侵入への対策などについて検討し、企業との共同研究など、今後の研究へと発展させる。

4. 研究成果

3年間の研究期間を通じて行った研究の成果は以下の通り。

- (1) **元になる有限オートマトンの再検討:** 正規表現マッチングハードウェアの性能は、スループットで評価されるため、ハードウェアの動作周波数だけでなく、1クロックあたりに何バイト（何文字）処理できるかが重要になる。動作周波数は今や限界に近づいているため、性能向上のためには1クロックで処理できる文字列数を増やすしか道がない。そこで、本研究では多文字遷移 NFA を採用することにした。通常の NFA が1文字ずつ処理するのに対し、多文字遷移 NFA では一度に複数の文字を処理できる。試作として多文字遷移 NFA に基づくプログラマブルハードウェアを設計したところ、数十 Gbps の性能を達成した。更なる性能向上のためには、更に多くの文字を1度に処理する必要があるが、文字数を増やすとハードウェアサイズが過度に大きくなるという欠点がある。この欠点を克服するために、多文字遷移 NFA を分割した新たな有限オートマトンについて検討し、次年度への持ち越し課題となった。
- (2) **適した決定グラフの検討とマッチングソフトウェアの開発・評価:** ネットワーク侵入検知システムでは、正規表現マッチングだけでなく、機械学習（ランダムフォレスト）による確率的な判断によっても不正侵入を検知できる。近年、機械学習による検知も注目を集めており、システムの高速化には、この高速化も重要になるため、ランダムフォレストに適した決定グラフの検討から研究を着手した。様々な決定グラフを検討した結果、Edge-Valued Decision Diagram (EVDD) が適しているという結論に達し、EVDD を用いたプログラマブルハードウェアを試作したところ、ソフトウェアでの処理に比べ約 11 倍～25 倍の性能向上に成功した。
- (3) **決定グラフに基づくプログラマブルハードウェアの設計、および評価実験:** (2) で試作開発したプログラマブルハードウェアの評価実験から研究を開始した。ネットワーク侵入検知の実用的なデータを用いてランダムフォレストに学習させ、学習済みのランダムフォレストに対してプログラマブルハードウェアの設計パラメータを決定した。ソフトウェア実装とスループットを比較したところ、決定グラフ (EVDD: Edge-Valued Binary Decision Diagram) を用いて設計した提案プログラマブルハードウェアは約 11 倍～25 倍のスループット向上を達成しただけでなく、ハードウェアサイズ（主にメモリ量）についても、EVDD で上手く情報が圧縮され、1つの FPGA で十分実装可能なサイズであることが分かった。
- (4) **高速正規表現マッチング向け有限オートマトンの考案:** (1) の残課題として引き続き正規表現マッチング向き有限オートマトンの検討を行った。従来の多文字遷移 NFA では、高速化と引き換えにハードウェアサイズが指数関数的に増加するという欠点があり、それを克服するために、並列処理 NFA（仮称）とそれを用いたマッチング手法を考案した。K 倍のスループットを達成するために、並列処理 NFA では通常の NFA を k 個用いるだけなので、サイズの増加を高々 k 倍程度に抑えられる。また、ハードウェアの特性である並列処理によるマッチングで入力パケットに係る処理を上手く隠蔽することにより、多文字遷移 NFA と同等の高いスループットを線形増加のハードウェアサイズで達成できることも確認した。
- (5) **高速なパターン更新のための CAD ツールの開発:** 開発したプログラマブル不正侵入検知システムを評価したところ、速度、ハードウェアサイズ、ハードウェアの書換え時間は当初の予定通りの性能が得られた。しかし、ハードウェアを書き換えることで新たな不正侵入の手口（パターンの更新）に対応できるものの、書き換えるためのハードウェアパターンの準備に時間を要することが分かり、パターン生成（最適化）を高速に行うアルゴリズム（決定グラフ ZDD に基づく手法）を考案し、従来のツールに比べ、桁違い（数百から数十倍）の速さで最適なパターンを生成できる CAD ツールを開発した。開発したツールでメモリ量最小のパターンを高速に生成できるため、コンパクトなハードウェアでも多数の侵入手口に対抗できるようになり、これにより車載などの組込み機器での不正侵入検知の可能性も見えるようになった。
- (6) **近似データ・外れ値検出の高速化:** 未知の不正侵入手口への対策として、過去の手口に近いか否かの判定や過去の正常な通信から外れているかの異常検知に関する検討を行った。機械学習やデータマイニング（クラスタリング）の技術を応用することで、未知の不正侵入の高速な検知に対する見込みを得た。検討した技術内容は他の分野への応用も可能であるため、まずはそれぞれの技術を最も生かせる分野に応用し、その効果を確認した。これらの近似データ探索や外れ値検出に関する技術については、アノマリ（異常）検知型の侵入検知システムとして新たな研究課題へと発展させることができた。本研究課題で開発したシグネチャ（特徴）検知型の侵入検知システムと統合することで、より安全で利便性の高いハイブリッドシステムの開発を目指すことができるようになった。

5. 主な発表論文等

〔雑誌論文〕（計 14 件）

1. Shinobu Nagayama, Tsutomu Sasao, Jon T. Butler, “An exact optimization method using ZDDs for linear decomposition of symmetric index generation functions,” *Journal of Applied Logics - IfCoLoG Journal of Logics and their Applications*, Vol. 5, No. 9, pp. 1849-1866, Dec. 2018 (査読有り) ISBN: 978-1-84890-294-7.

2. Toshitaka Ito, Yuri Itotani, Shin'ichi Wakabayashi, Shinobu Nagayama, Masato Inagi, "A Nearest Neighbor Search Engine Using Distance-based Hashing," *Proc. of International Conference on Field Programmable Technology*, Vol.17, pp.153-160, Dec. 2018 (査読有り) .
3. Yuri Itotani, Shin'ichi Wakabayashi, Shinobu Nagayama, Masato Inagi, "An Approximate Nearest Neighbor Search Algorithm Using Distance-based Hashing," *Proc. of International Conference on Database and Expert Systems Applications*, Vol.29, pp.203-213, Sept. 2018 (査読有り) .
4. Gaku Kataoka, Masato Inagi, Shinobu Nagayama, Shin'ichi Wakabayashi, "Novel Feature Vectors Considering Distances between Wires for Lithography Hotspot Detection," *Proc. of EUROMICRO Conference on Digital System Design Architectures, Methods, and Tools*, Vol.21, pp.85-90, Aug. 2018 (査読有り) .
5. Shinobu Nagayama, Tsutomu Sasao, Jon T. Butler, "An Exact Optimization Method Using ZDDs for Linear Decomposition of Index Generation Functions," *Proc. of IEEE International Symposium on Multiple-Valued Logic*, Vol.48, pp.144-149, May 2018 (査読有り) DOI 10.1109/ISMVL.2018.00033.
6. Toshitaka Ito, Yuri Itotani, Shin'ichi Wakabayashi, Shinobu Nagayama, Masato Inagi, "An FPGA-based Nearest Neighbor Search Engine Using Distance-Based Hashing for High-Dimensional Data," *Proc. of Workshop on Synthesis And System Integration of Mixed Information technologies*, Vol.21, pp.347-352, March 2018 (査読有り) .
7. Binbin Xue, Shinobu Nagayama, Masato Inagi, Shin'ichi Wakabayashi, "A Programmable Architecture Based on Vectorized EVBDDs for Network Intrusion Detection Using Random Forests," *Proc. of International Symposium on Nonlinear Theory and Its Applications*, Vol.28, pp.132-135, Dec. 2017 (査読有り) .
8. Shuma Tamagawa, Masato Inagi, Shinobu Nagayama, Shin'ichi Wakabayashi, "Table Reference-Based Acceleration of a Lithography Hotspot Detection Method Based on Approximate String Search," *Proc. of International Conference on Advances in Circuits, Electronics and Micro-electronics*, Vol.10, pp.8-14, Sept. 2017 (査読有り) ISSN: 2308-426X.
9. Shinobu Nagayama, Tsutomu Sasao, Jon T. Butler, "A balanced decision tree based heuristic for linear decomposition of index generation functions," *IEICE Transactions on Information and Systems*, Vol.E100-D, No.8, pp.1582-1591, Aug. 2017 (査読有り) DOI <https://doi.org/10.1587/transinf.2016LOP0013>.
10. Shinobu Nagayama, Tsutomu Sasao, Jon T. Butler, "An Exact Optimization Algorithm for Linear Decomposition of Index Generation Functions," *Proc. of IEEE International Symposium on Multiple-Valued Logic*, Vol.47, pp.161-166, May 2017 (査読有り) DOI 10.1109/ISMVL.2017.56.
11. Yuto Arai, Shin'ichi Wakabayashi, Shinobu Nagayama, Masato Inagi, "An Efficient FPGA Implementation of Mahalanobis Distance-Based Outlier Detection for Streaming Data," *Proc. of IEEE International Conference on Field Programmable Technology*, Vol.15, pp.253-256, Dec. 2016 (査読有り) .
12. Tomoaki Hashimoto, Shin'ichi Wakabayashi, Shinobu Nagayama, Masato Inagi, Ryohei Koishi, Hiroki Takaguchi, "A High-Speed Programmable Network Intrusion Detection System Based on a Multi-Byte Transition NFA," *Proc. of International Conference on Advances in Circuits, Electronics and Micro-electronics*, Vol.9, pp.45-51, July 2016 (査読有り) .
13. Shuma Tamagawa, Ryo Fujimoto, Masato Inagi, Shinobu Nagayama, Shin'ichi Wakabayashi, "A Hotspot Detection Method Based on Approximate String Search," *Proc. of International Conference on Advances in Circuits, Electronics and Micro-electronics*, Vol.9, pp.6-12, July 2016 (査読有り) .
14. Shinobu Nagayama, Tsutomu Sasao, Jon T. Butler, "An Efficient Heuristic for Linear Decomposition of Index Generation Functions," *Proc. of IEEE International Symposium on Multiple-Valued Logic*, Vol.46, pp.96-101, May 2016 (査読有り) DOI 10.1109/ISMVL.2016.52.

[学会発表] (計 12 件)

1. 発表者：永山忍, 発表標題：スマートファクトリー実現スキル基礎講座の紹介, 学会名：広島県産官学金コラボセミナー (招待講演), 発表年月日：2019年3月18日, 発表場所：広島
2. 発表者：永山忍, 発表標題：次世代自動車の開発を陰で支える情報科学技術, 学会名：明治大学特別講義 (招待講演), 発表年月日：2018年9月21日, 発表場所：川崎
3. 発表者：永山忍, 発表標題：An Exact Optimization Method Using ZDDs for Linear

Decomposition of Index Generation Functions, 学会名: IEEE International Symposium on Multiple-Valued Logic, 発表年月日: 2018年5月17日, 発表場所: オーストリア リンツ

4. 発表者: 永山忍, 発表標題: An FPGA-based Nearest Neighbor Search Engine Using Distance-Based Hashing for High-Dimensional Data, 学会名: Workshop on Synthesis And System Integration of Mixed Information technologies, 発表年月日: 2018年3月27日, 発表場所: 松江
5. 発表者: 永山忍, 発表標題: ネットワーク侵入検知システム向けプログラマブルハードウェアの設計・開発について, 学会名: ニューパラダイムコンピューティング研究会(招待講演), 発表年月日: 2018年2月6日, 発表場所: 仙台
6. 発表者: 永山忍, 発表標題: A Programmable Architecture Based on Vectorized EVBDDs for Network Intrusion Detection Using Random Forests, 学会名: International Symposium on Nonlinear Theory and Its Applications, 発表年月日: 2017年12月6日, 発表場所: メキシコ カンクン
7. 発表者: 永山忍, 発表標題: 次世代自動車の開発を影で支える情報科学技術, 学会名: 明治大学特別講義(招待講演), 発表年月日: 2017年9月22日, 発表場所: 川崎
8. 発表者: 永山忍, 発表標題: インデックス生成関数の最適な線形分解のための厳密解法, 学会名: 第40回 多値論理フォーラム, 発表年月日: 2017年9月17日, 発表場所: 奈良県 高市郡
9. 発表者: 永山忍, 発表標題: An Exact Optimization Algorithm for Linear Decomposition of Index Generation Functions, 学会名: IEEE International Symposium on Multiple-Valued Logic, 発表年月日: 2017年5月23日, 発表場所: セルビア ノヴィサド
10. 発表者: 永山忍, 発表標題: Development of Fast and Reliable Network Intrusion Detection Systems Underlying IoT, 学会名: 新世代ICTの羅針盤 - 通研共同プロジェクトからのメッセージ - (招待講演), 発表年月日: 2017年2月23日, 発表場所: 仙台
11. 発表者: 永山忍, 発表標題: An Efficient Heuristic for Linear Decomposition of Index Generation Functions, 学会名: IEEE International Symposium on Multiple-Valued Logic, 発表年月日: 2016年5月18日, 発表場所: 札幌
12. 発表者: 永山忍, 発表標題: 安全で快適な次世代自動車の開発を影で支える情報科学技術, 学会名: 明治大学特別講義(招待講演), 発表年月日: 2016年9月23日, 発表場所: 川崎

[図書] (計 1 件)

著者名: Bernd Steinbach 編著

永山忍 (Chapter 3.1) 著

出版社: Cambridge Scholars Publishing

署名: Problems and New Solutions in the Boolean Domain

発行年: 2016年

総ページ数: 31 ページ

[産業財産権]

○出願状況 (計 0 件)

○取得状況 (計 0 件)

[その他]

ホームページ等

広島市立大学教員プロフィール (永山忍)

<http://rsw.office.hiroshima-cu.ac.jp/Profiles/8/0000731/profile.html>

6. 研究組織

(1) 研究分担者

なし

(2) 研究協力者

研究協力者氏名: 笹尾勤, Jon T. Butler, 若林真一, 稲木雅人,

ローマ字氏名: Tsutomu Sasao, Jon T. Butler, Shin'ichi Wakabayashi, Masato Inagi

※科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。