

令和元年6月6日現在

機関番号：34504

研究種目：基盤研究(C) (一般)

研究期間：2016～2018

課題番号：16K00088

研究課題名(和文) バイナリ合成における割り込み制御および動的制御のハードウェア化に関する研究

研究課題名(英文) Interrupt handling and dynamic scheduling for binary synthesis

研究代表者

石浦 菜岐佐 (Ishiura, Nagisa)

関西学院大学・理工学部・教授

研究者番号：60193265

交付決定額(研究期間全体)：(直接経費) 3,500,000円

研究成果の概要(和文)：本研究では、CPUの機械語からハードウェアを合成するバイナリ合成技術の適用範囲の拡大を目的に次の(1)～(3)を行った。

(1)本体プログラムと割り込みハンドラを独立したハードウェアに合成する方式を確立するとともに、ulTRONを利用した制御プログラムを自動ハードウェア化する手法、および関数型分散処理記述言語 Erlang による動作記述からハードウェアを合成する手法を開発した。(2)バイナリ合成における動的スケジューリングを複数の基本ブロックに拡張する手法を開発した。(3)大規模制御構造をバイナリ合成するために、整数線型計画法を部分的に適用するバインディング手法を開発した。

研究成果の学術的意義や社会的意義

割り込み処理を含むプログラムをそのままハードウェア化するバイナリ合成の研究はこれまでになく、これが本研究の独創性の一つである。本技術により、組込みシステム中のコントローラをハードウェアに置き換えて、処理速度・応答時間の向上と回路規模・消費電力の削減が図れる。分散制御による動的制御を大規模な回路の合成に適用した事例はまだなく、本研究の手法はバイナリ合成により生成される回路の性能向上に有効な技術と考えられる。

バイナリ合成によるソフトウェア資産のハードウェア化は、設計効率や性能の改善のみならず、コードの盗用や改ざんの防御や、生産中止CPUの置き換えによる製品の継続にも役立つと考える。

研究成果の概要(英文)：This research project has focused on the following topics (1)-(3), which are expected to enhance the applicability of binary synthesis.

(1) A method of synthesizing a main program and an interrupt handler into independent hardware modules, a method of synthesizing ulTRON-based control programs into hardware, and a method of synthesizing control programs written in Erlang have been developed. (2) The dynamic distributed control method has been extended so that it can handle more than one basic blocks. (3) An efficient binding method has been developed which are based on repeated application of integer linear programming.

研究分野：計算機システム

キーワード：バイナリ合成 高位合成 割り込み処理 分散制御 動的スケジューリング 投機的実行 バインディング

様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

1. 研究開始当初の背景

「バイナリ合成 (binary synthesis)」は、CPU の機械語から LSI に合成可能なハードウェア記述を自動生成する技術であり、1) C 言語などを入力とする「高位合成」に比べてアセンブリ言語を含む複数の言語に対応できる、2) コンパイル可能なほぼすべての構文を処理対象にできる等の利点がある。割り込み処理の高位合成/バイナリ合成を用いれば、組込みシステム中に数多く含まれる制御用 CPU をハードウェアに置き換えて処理速度の向上や回路規模・消費電力の削減を図れる。また、コードの解析・改ざんの防止や、生産が打ち切られた CPU の置き換えも可能となる。その際に課題となるのが割り込み処理の扱いであった。バイナリ合成の研究としては [1] があり、高位合成に関しては研究や市販ツールが非常に多くあるが、割り込み処理までを合成対象とできるものは存在していなかった。文献 [2] は割り込みのハンドラ単体の高位合成を行っているが、割り込まれる側の処理まで含めたプログラム全体を自動的にハードウェア化する研究は存在していなかった。

[1] G. Stitt and F. Vahid: "Binary synthesis," ACM TODAES, vol. 12, no. 3, art. 34 (2007).

[2] Y. Ando, S. Honda, H. Takada, M. Edahiro: "System-level design method for control systems with hardware-implemented interrupt handler," 情報論, vol. 56, no. 8 (2015).

一方、従来の高位合成/バイナリ合成技術を見ると、演算の実行サイクル数は固定と想定した静的スケジューリングを行っているが、メモリアクセスや乗除算の実行サイクル数はオペランドに依存して変動する。近年、複数の状態遷移機械を用いてこのような演算の実行を動的に制御する「分散制御手法」[3][4] が提案されており、これによって特定条件下で回路の性能は大幅に向上する。しかし、この制御法はまだ研究が浅く、[3][4] のいずれも小規模な設計しか扱っていなかった。具体的には、制御の対象は一つの基本ブロックに限定されており、ソフトウェアから合成される大規模な制御構造に対する研究はまだ行われていなかった。

[3] A. A. Del Barrio, S. O. Memik, M. C. Molina, J. M. Mendias, "A distributed controller for managing speculative functional units in high level synthesis," IEEE Trans. CAD, vol. 30, no. 3 (2011).

[4] C. Pilato, V. G. Castellana, S. Lovergine, and F. Ferrandi: "A runtime adaptive controller for supporting hardware components with variable latency," in Proc. NASA/ESA AHS-2011, pp. 153-160 (2011).

研究代表者らは、本研究課題に先立って MIPS の機械語からハードウェアを合成するバイナリ合成システム「ACAP」を開発し、これを用いてモーターのシミュレーション・モデル、多倍長演算ライブラリをリンクした RSA 暗号化処理等のハードウェア化を行ってきた。合成技術を用いてソフトウェア資産をハードウェア設計に流用することは非常に有用であるが、その適用範囲を拡大するためには、割り込み処理を含むプログラムをハードウェアに合成する技術、および大規模なプログラムをそのまま高性能なハードウェアに合成する技術が不可欠と考えられた。

2. 研究の目的

本研究では、CPU の機械語からハードウェアを合成する「バイナリ合成」技術の適用範囲拡大を目的とし、(1) 外部割り込み処理を含む機械語プログラムから CPU と動作等価なハードウェアを合成する技術の確立、(2) 動的な演算スケジューリングをバイナリ合成で生成される大規模な制御構造に適用する技術の確立、および (3) 数百～数千行のプログラムから合成されるハードウェアの制御回路規模を抑制する技術の開発、に関する研究を行った。また、(1) の技術を活用し、リアルタイム OS μ ITRON を利用した制御プログラムをハードウェアに合成する技術、および関数型分散処理記述言語 Erlang によって組み込みシステムの制御を記述しハードウェアに合成する技術についても研究を行った。

3. 研究の方法

(1) 割り込み処理のバイナリ合成

本研究課題の申請時点までに開発していた割り込み処理の高位合成方式では、プログラムと割り込みハンドラを一つの状態機械で制御する構成を採っていた。割り込みの本体処理への影響の削減と割り込み応答の向上を図るため、本研究では図 1 のように、割り込みハンドラのハードウェアを本体プログラムのハードウェアと独立させる方式への拡張を試みた。また、実際的な応用に本手法を適用し、動作の検証と性能・回路規模の評価を行った。

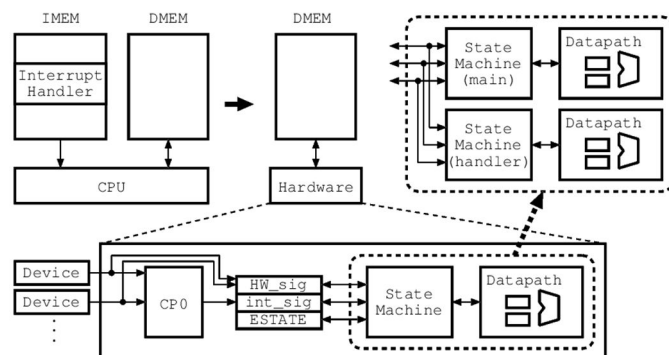


図1 割り込み処理のハードウェア化

また、この技術を拡張することにより、 μ ITRON を利用した制御プログラムの自動ハードウェア化を試みた。タスクを並列に実行可能な独立したハードウェアモジュールとして合成することにより、処理の高速化以外に、CPU 待ちやタスクスイッチのオーバヘッドを削減する手法の開発に取り組んだ。

さらに、組み込みシステムの制御を実装するリアルタイム OS 以外の枠組みとして、関数型分散処理記述言語 Erlang によって制御回路の動作を記述し、そこからハードウェアを合成する手法についても研究を行った。

(2) バイナリ合成における動的スケジューリングの大規模制御構造への拡張

本研究課題では、これまでに提案されている分散制御方式を複数の基本ブロックからなる制御構造へ拡張をすることを試みた。この際に、基本ブロックの境界を越えて演算の動的なスケジューリングを行うことにより、従来のトレーススケジューリングに基づく集中制御に比べて回路の性能を向上させることを目標とした。また、性能をさらに向上させるため、分岐予測に基づく投機的実行をバイナリ合成の枠組みに導入する手法の開発も試みた。

(3) 大規模制御構造をバイナリ合成するための回路規模抑制法

バイナリ合成により合成される回路の制御に必要な状態数はプログラムの行数に比例して大きくなるため、制御回路の規模の抑制が課題となる。本研究では特にバインディングの処理に注目し、整数線型計画法の部分的な適用によって回路規模を削減する手法の開発に取り組んだ。

4. 研究成果

(1) 割り込み処理のバイナリ合成

本体プログラムと割り込みハンドラを独立した制御部を持つハードウェアに合成する方式を確立した。この方式により、割り込み応答時間と全体の処理時間が大幅に削減できることを確認した(雑誌論文 4)。

この技術に発想を得ることにより、 μ ITRON を利用した制御プログラムを自動ハードウェア化する手法を開発し(雑誌論文 1 および学会発表 1)、1 件の特許出願を行った。

また、関数型分散処理記述言語 Erlang による動作記述からハードウェアを合成する手法として、プロセス単位にハードウェアを合成し、バスを介して通信処理を行うアーキテクチャおよびその回路合成方法を提案した(雑誌論文 6, 8 および学会発表 3)。

(2) バイナリ合成における動的スケジューリングの大規模制御構造への拡張

分散制御方式を複数の基本ブロックからなる制御構造への拡張し、2 つの基本ブロックにまたがって演算の動的なスケジューリングを実現する方法を考案した(雑誌論文 7)。また、この方法に基づいて、条件分岐がある場合に投機的実行によって性能を向上させる方法を提案した(雑誌論文 5 および学会発表 4)。さらに、演算の動的スケジューリングを行う範囲を 2 つの基本ブロックから 3 つ以上の基本ブロックに拡張する手法を考案した(雑誌論文 2)。最後に、この手法が適用できる十分条件を明らかにし、その条件下で与えられた CDFG からレジスタ転送レベルの Verilog HDL を自動生成する処理系を開発した(学会発表 1)。

(3) 大規模制御構造をバイナリ合成するための回路規模抑制法

回路規模をもっとも大きく左右するバインディングについて、まず整数線型計画法による処理系を開発し、次に大規模回路のバインディングを分割して解く手法を考案した。この際、求解の範囲には整数制約を適用するが、それ以外の部分には実数制約を課して問題を解くという方法を開発した(雑誌論文 9)。

5. 主な発表論文等

[雑誌論文(国際会議発表論文を含む)](計 9 件)

1. Y. Oosako, N. Ishiura, H. Tomiyama, and H. Kanbara: "Synthesis of Full Hardware Implementation of RTOS-Based Systems," in Proc. International Symposium on Rapid System Prototyping (RSP 2018), [査読あり], pp. 1-7 (Oct. 2018).

2. W. Nakano and N. Ishiura: "Extended Distributed Control for Dynamic Scheduling across Dataflow Graphs (short paper)", in Proc. the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2018), [査読あり], R1-7, pp. 35-36 (Mar. 2018).

3. N. Osako, S. Ota, S. Yura, and N. Ishiura: "High-Level Synthesis of Side Channel Attack Resistant RSA Decryption Circuit (short paper)", in Proc. the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2018), [査読あり], R2-13, pp. 159-160 (Mar. 2018).

4. N. Ito, Y. Oosako, N. Ishiura, H. Tomiyama, and H. Kanbara: "Binary Synthesis Implementing External Interrupt Handler as Independent Module," in Proc. International

- Symposium on Rapid System Prototyping (RSP 2017), [査読あり], pp. 92-98 (Oct. 2017).
5. M. Shimizu, N. Ishiura, S. Ota, and W. Nakano: "Speculative Execution in Distributed Controllers for High-Level Synthesis," in Proc. International Symposium on Rapid System Prototyping (RSP 2017), [査読あり], pp. 99-105 (Oct. 2017).
6. K. Azuma, N. Ishiura, N. Yoshida, and H. Kanbara: "Distributed Memory Architecture for High-Level Synthesis of Embedded Controllers from Erlang," in Proc. ACM SIGPLAN International Workshop on Erlang 2017, [査読あり], pp. 13-19 (Sept. 2017).
7. M. Shimizu and N. Ishiura: "Extending Distributed Control for High-Level Synthesis beyond Borders of Basic Blocks," in Proc. the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2016), [査読あり], R3-1, pp. 172-177 (Oct. 2016).
8. H. Takebayashi, N. Ishiura, K. Azuma, N. Yoshida, and H. Kanbara: "High-Level Synthesis of Embedded Systems Controller from Erlang," in Proc. the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2016), [査読あり], R4-2, pp. 285-290 (Oct. 2016).
9. N. Ishiura and Y. Oosako: "Introducing Real Constraints in Partitioned ILP-Based Biding in High-Level Synthesis (short paper)", in Proc. the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2016), [査読あり], R4-5, pp. 303-304 (Oct. 2016).

〔学会発表〕(計6件)

1. 大迫裕樹, 石浦菜岐佐, 富山宏之, 神原弘之: "RTOS を用いたシステムのフルハードウェア実装とその自動化," 電子情報通信学会技術研究報告, VLD2018-122 (Mar. 2019).
2. 太田小百合, 石浦菜岐佐: "複数データフローグラフにまたがる動的スケジューリングを実現する分散制御回路の自動合成," 電子情報通信学会技術研究報告, VLD2018-125 (Mar. 2019).
3. 東香実, 浜名将輝, 若林秀和, 石浦菜岐佐, 吉田信明, 神原弘之: "Erlangからの高位合成のためのメモリ分散アーキテクチャ," 電子情報通信学会技術研究報告, VLD2017-75 (Jan. 2018).
4. 清水美帆, 石浦菜岐佐: "不定サイクル演算に対応した分散制御における投機的実行," 情報処理学会 DA シンポジウム 2016, pp. 56-61 (Sept. 2016).

〔産業財産権〕

出願状況(計1件)

名称: リアルタイム処理装置及びその作製方法

発明者: 石浦菜岐佐, 大迫裕樹

権利者: 同上

種類: 特許

番号: 特願 2018-029244

出願年: 2018 年

国内外の別: 国内

6. 研究組織

(1)研究分担者

研究分担者氏名: 吉田 信明

ローマ字氏名: Nobuaki Yoshida

所属研究機関名: 公益財団法人京都高度技術研究所

部局名: 研究開発本部

職名: 副主任研究員

研究者番号(8桁): 00373506

研究分担者氏名: 神原 弘之

ローマ字氏名: Hiroyuki Kanbara

所属研究機関名: 公益財団法人京都高度技術研究所

部局名: 研究開発本部

職名: 主席研究員

研究者番号(8桁): 80373497

(2)研究協力者

研究協力者氏名: 清水 美帆

ローマ字氏名: Miho Shimizu

研究協力者氏名：東 香実
ローマ字氏名：Kagumi Azuma

研究協力者氏名：大迫 裕樹
ローマ字氏名：Yuuki Oosako

研究協力者氏名：太田 小百合
ローマ字氏名：Sayuri Ota

研究協力者氏名：中野 和香子
ローマ字氏名：Wakako Nakano

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。