

令和元年5月9日現在

機関番号：82626

研究種目：基盤研究(C) (一般)

研究期間：2016～2018

課題番号：16K00089

研究課題名(和文) 閾値電圧制御による低消費電力FPGAの設計・評価環境の開発

研究課題名(英文) Development of an Evaluation Platform for Flex Power FPGA Device

研究代表者

片下 敏宏 (Katashita, Toshihiro)

国立研究開発法人産業技術総合研究所・エレクトロニクス・製造領域・主任研究員

研究者番号：90500215

交付決定額(研究期間全体)：(直接経費) 2,900,000円

研究成果の概要(和文)：既開発の閾値制御機構を持つ低消費電力FPGAデバイスFlexPowerFPGAの実用化に向けた開発・評価環境の構築を実施した。まず複数HDLコード、モジュールで構成される実用的な回路の合成・実装を可能とするソフトウェアの開発を行った。さらに、治具ボードから評価ソフトウェア・ハードウェアの開発により、静的・動的な消費電力と最大動作周波数を自動測定する評価環境を構築した。そして本評価環境により、AES暗号のS-boxや乗算回路など実応用で利用される回路を実装した際の評価を行った。測定実験により、応用回路においても閾値制御が有効であり、消費電力や動作周波数の改善の効果が得られることが確認できた。

研究成果の学術的意義や社会的意義

FPGAの構成回路ブロック毎に閾値電圧の切り替え機構を付加し、実装される回路に応じた閾値制御を可能とすることで、デバイス全体では高速化と低消費電力を実現するデバイスの開発は既に行われていた。本研究では、低消費電力化が求められる実利用において提案手法が有効であることを検証することが目的である。その実証には、より実用に近い動作条件での評価が必須であり、応用回路を合成できるツールの開発、消費電力測定環境を構築、低消費電力効果の実デバイスによる評価を実施した点が主な社会的意義である。

研究成果の概要(英文)：In this research, we developed an experimental platform to precisely evaluate power consumption and the maximum operating frequency of the device under various operating voltages and body biases with various practical circuits. Additionally, we developed a synthesis and place-and-route tool to implement complex circuits with multiple sources and modules. We had developed an FPGA device called Flex Power FPGA with SOTB technology and demonstrate its power reduction function with a 32-bit counter circuit. Using the above mentioned platform, we evaluate the Flex Power FPGA chip at operating voltages of 0.5-1.0 V and body bias of 0.0-0.5 V. In the evaluation, we use a 32-bit adder, 16-bit multiplier, and an SBOX circuit for AES cryptography. We operate the chip virtually with uniformed body bias voltage in order to drive all of logic resources with same threshold voltage. We demonstrate the advantage of Flex Power FPGA by comparing it with non-reconfigurable biasing.

研究分野：情報学

キーワード：FPGA 低消費電力 バイアス制御 評価プラットフォーム 論理合成ツール 評価ボード

様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

1. 研究開始当初の背景

回路データにより機能を再構成できる FPGA は、少量多品種な製品向け半導体や、演算の高速化と省電力化を両立する技術として注目されており、データセンターのエネルギー効率向上などの利用への期待が急速に高まっていた。これまでトランジスタの閾値電圧をプログラム化に基づく低消費電力 FPGA (以下、FlexPowerFPGA と記す) を開発し、試作回路において静的消費電力を 1/50 へ削減することに成功していた。その実証には、より実用に近い動作条件での評価が必須であった。

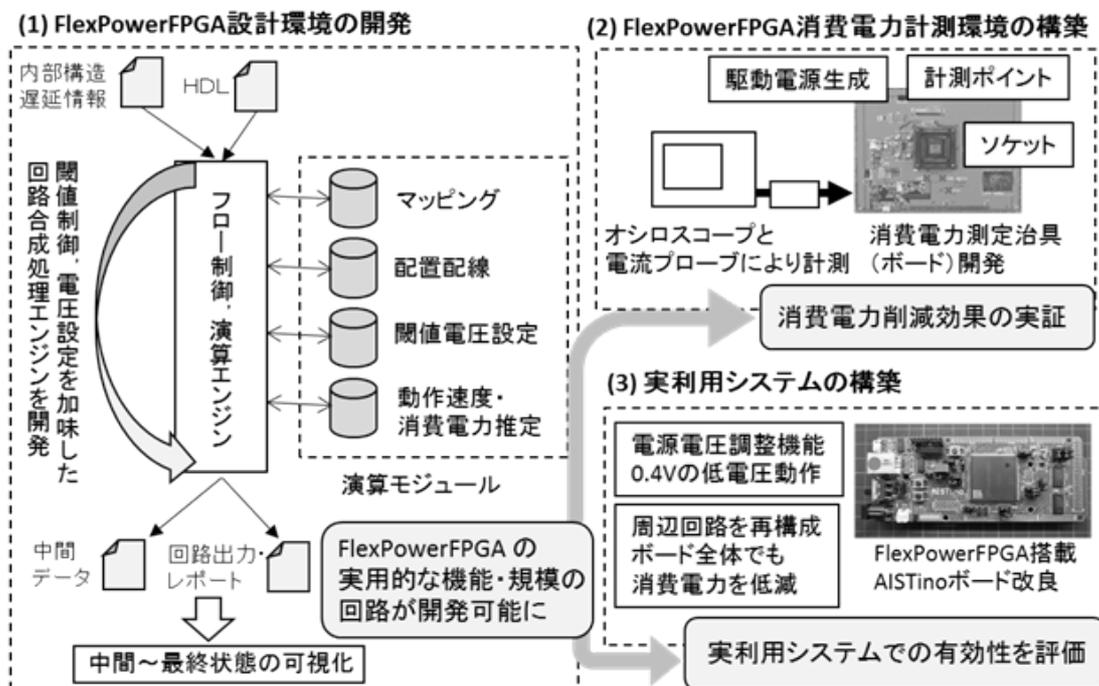
2. 研究の目的

FlexPowerFPGA は、データセンターの計算エレメントのほか、センサネットワークや組み込み機器など、低消費電力化が求められる応用に有効であると考えられる。その実証には、より実用に近い動作条件での評価が必須であった。

本研究では、(1) FlexPowerFPGA の実用化に不可欠な設計環境と評価環境を構築し、(2) 演算の低消費電力効果を実用レベルで評価することが目的である。本研究では、上記課題の研究を実施することを最終目標とし、FlexPowerFPGA に対応した回路実装環境開発環境と消費電力測定環境を世界に先駆けて構築し、開発環境によるデバイスの評価を実施する。

3. 研究の方法

本研究では、(1) FlexPowerFPGA の機能に対応し、かつ、実用的な回路を合成可能な実装環境の開発、(2) FlexPowerFPGA の消費電力計測環境の構築、(3) デバイス実利用システムの開発と消費電力削減効果の評価を実施する。



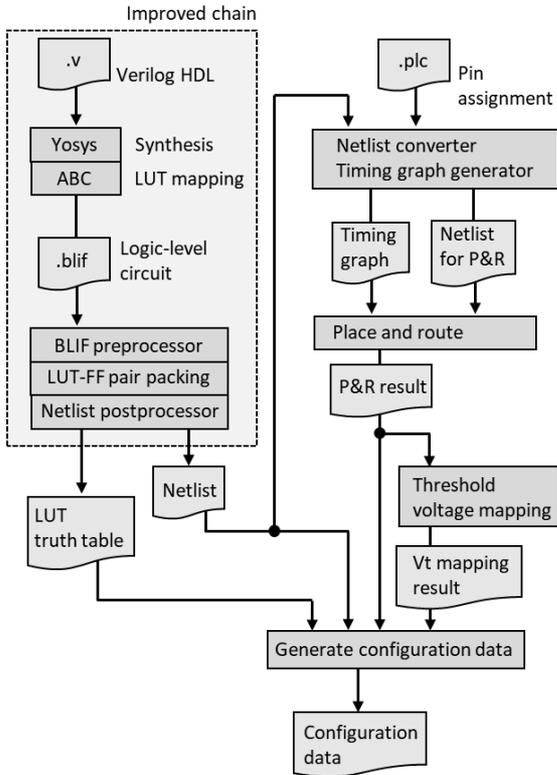
(図 1) 研究の方法の概要図

4. 研究成果

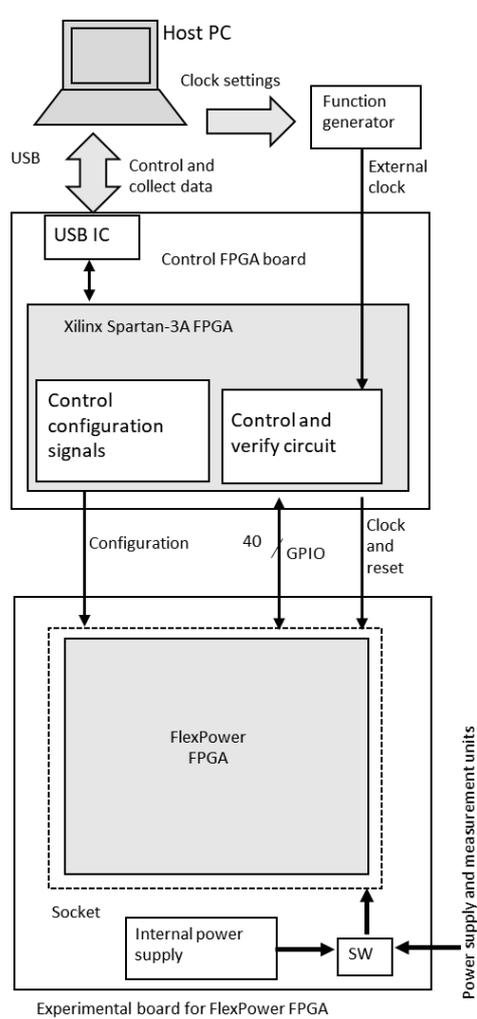
(1) FlexPowerFPGA 設計環境の開発では、回路を合成するエンジン部として POSIX を用いて Windows OS 上で動作するバイナリを実装した。これら合成エンジン呼び出し、回路合成フローを処理するソフトウェアの開発を実施した(図 2)。合成ツール整備により、これまで困難であった複数 HDL コード、モジュールで構成される実用的な回路の合成・実装が可能となった。

(2) FlexPowerFPGA の消費電力計測環境の構築では、消費電力を測定するための治具ボードを開発し、静的な消費電力の測定に加え、FPGA 上に回路を実装し疑似乱数回路による入力と外部市販 FPGA による出力値の検証回路を開発し、さらに、FPGA への供給電源電圧・動作クロックの制御、コンフィギュレーション、消費電力の測定を自動化するソフトウェアを開発し、動的な消費電力と最大動作周波数を自動測定する評価プラットフォームを構築した(図 3)。

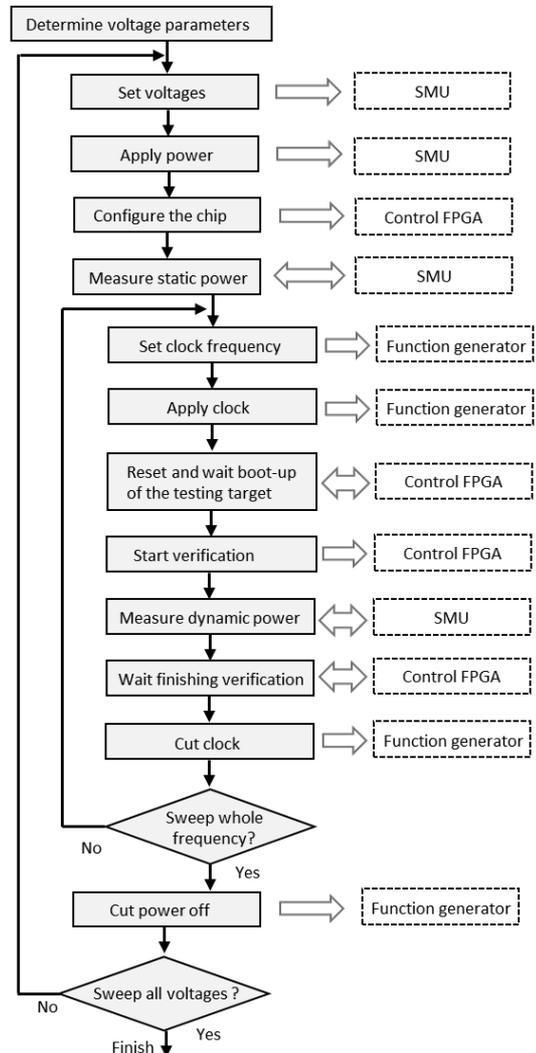
本評価プラットフォームにより、AES 暗号の S-box や乗算回路など実応用で利用される回路を実装した際の評価を行った。測定実験により、応用回路においても閾値制御が有効であり、静的な消費電力の抑制や動作周波数の改善の効果が得られることが確認できた。(図 4、5)

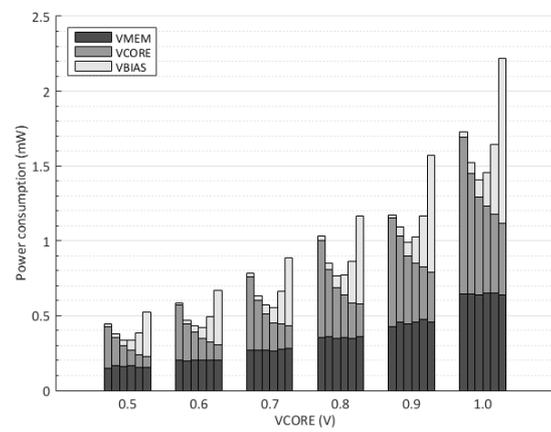
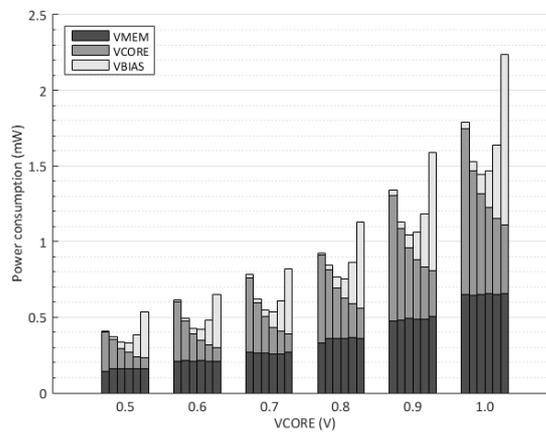


(図2) 合成ツールの構成

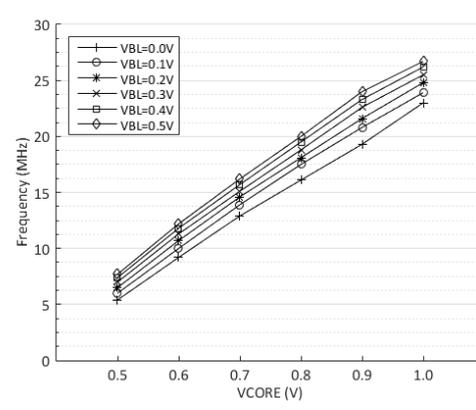
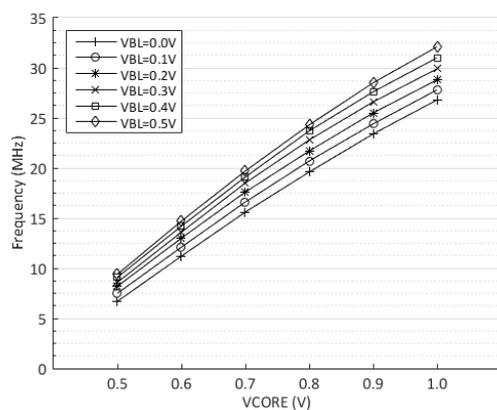


(図3) 評価プラットフォームの構成



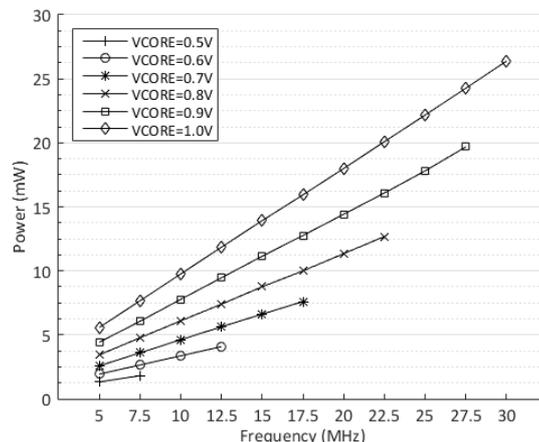
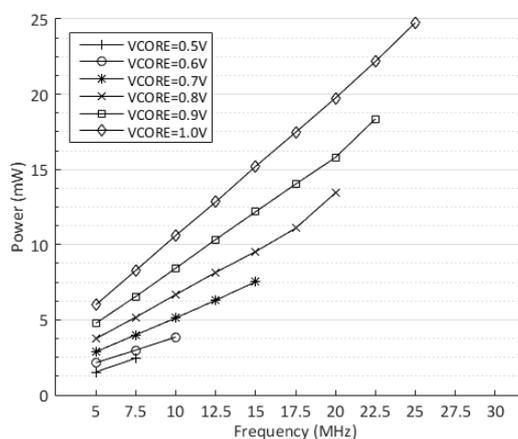


(図4) 静的な消費電力の抑制 (左: AES-SBOX, 右: 16-bit 乗算器)
各 Vcore において電力抑制のバイアス電圧が 0.0V, 0.1V, 0.2V, 0.3V, 0.4V, 0.5V



(図5) 閾値制御による動作周波数向上 (左: AES-SBOX, 右: 16-bit 乗算器)
バイアス電圧は図4と負の方向に印加されている

3) 実利用システムの構築では、通信回路(UART)や演算回路を実装し、実利用検証ボード上での動作検証を実施した。システムとして構築した場合、FPGA 自体の消費電力は数十 mW と低く (図6), これに対して電源やバイアス電圧を生成する回路や通信ドライバ、コンフィギュレーション制御部の電力が高く、市販されている部品の組み合わせによる工夫では消費電力が高い問題を解決するには至らず、今後の課題となった。



(図6) 動作周波数と消費電力 (左: AES-SBOX, 右: 16-bit 乗算器)

以上の当初計画に加え、将来的な FPGA の構成検証に向けた消費電力測定用治具の設計データ変換を行い、将来の FPGA デバイスや市販 FPGA などの評価のためのボード設計を容易とする改修を実施した。また、計算機や OS の更新に伴い、仮想マシン上に更新された Linux OS へ合成エンジンの移植を行った。しかし、今後 OS の更新にあわせた改修は難しいと判断し、Windows 10

OS上でPOSIXを利用せずVisual Studio 2017により合成に必要なエンジン部を改修してパイナリの構築を可能とした。

5. 主な発表論文等

〔雑誌論文〕(計 1件)

Toshihiro KATASHITA and Masakazu HIOKI and Yohei HORI and Hanpei KOIKE, "Development of an Evaluation Platform and Performance Experimentation of Flex Power FPGA Device", IEICE Transactions on Information and Systems, E101.D, 2018, pp.303-313.
10.1587/transinf.2017RCP0003

〔学会発表〕(計 2件)

片下敏宏, 日置雅和, 小池帆平, 低消費電力FPGAの実用化に向けた研究活動 - デバイスから合成ツール開発と応用回路の実装, LSIとシステムのワークショップ2016, 2016.
片下敏宏, 日置雅和, 堀洋平, 小池帆平, 低消費電力FPGAの応用回路実装を伴う評価のための環境構築と予備実験, デザインガイア2016, 2016.

6. 研究組織

(1)研究分担者

研究分担者氏名: 小池 帆平

ローマ字氏名: Hanpei Koike

所属研究機関名: 国立研究開発法人産業技術総合研究所

部局名: エレクトロニクス・製造領域

職名: 上級主任研究員

研究者番号(8桁): 00215146

研究分担者氏名: 日置 雅和

ローマ字氏名: Masakazu Hioki

所属研究機関名: 国立研究開発法人産業技術総合研究所

部局名: エレクトロニクス・製造領域

職名: 主任研究員

研究者番号(8桁): 40371067

研究分担者氏名: 堀 洋平

ローマ字氏名: Yohei Hori

所属研究機関名: 国立研究開発法人産業技術総合研究所

部局名: エレクトロニクス・製造領域

職名: 主任研究員

研究者番号(8桁): 60530368

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。