

令和元年6月17日現在

機関番号：15301

研究種目：基盤研究(C) (一般)

研究期間：2016～2018

課題番号：16K06223

研究課題名(和文) GaNパワーデバイスの連鎖的誤動作を抑制する回路配線設計手法の構築

研究課題名(英文) Circuit Wiring Design Method for Preventing the Oscillatory False Triggering of GaN Power Devices

研究代表者

平木 英治 (Hiraki, Eiji)

岡山大学・自然科学研究科・教授

研究者番号：20284268

交付決定額(研究期間全体)：(直接経費) 3,600,000円

研究成果の概要(和文)：次世代パワー半導体素子として超高速かつ低オン抵抗のGaN-FETが注目されており、小型・高効率の電源開発には必須となりつつある。しかし、高速動作が可能であるがためノイズの増大が懸念されている。GaN-FETはオン-オフの閾値電圧が低いことから、誤動作を起こしやすいのである。この誤動作は、GaN-FET自身を破壊しかねないことから、GaN-FETの産業応用に対する大きな障害となっている。本研究は、GaN-FET特有の連鎖的誤動作に着目し、誤動作メカニズムと回路寄生インダクタンスの関係を明らかにし、GaNの持つ高速スイッチング特性を最大限に生かすことのできる回路配線設計手法を開発した。

研究成果の学術的意義や社会的意義

次世代パワー半導体素子として超高速かつ低オン抵抗のGaN-FETが注目されているが、誤動作が産業応用に対する大きな障害となっている。本研究は、GaNデバイスの連鎖的誤動作の発生原理を解明し、適切な回路設計によって誤動作を抑制することが可能であることを示した。このことは、GaNデバイスの普及に向けた大きな前進である。

研究成果の概要(英文)：Ultra-high-speed, low on-resistance GaN-FETs are attracting attention as next-generation power semiconductor devices, and are becoming essential for the development of small-sized, high-efficiency power supplies. However, since high speed operation is possible, there is a concern about increase in noise. Since the GaN-FET has a low on-off threshold voltage, it is prone to malfunction. Since this malfunction may destroy the GaN-FET itself, it is a major obstacle to the industrial application of the GaN-FET.

In this research, we focused on the chain-like malfunction peculiar to GaN-FET, clarified the relationship between the malfunction mechanism and the circuit parasitic inductance, and developed the circuit wiring design method that can make full use of the high-speed switching characteristics possessed by GaN.

研究分野：パワーエレクトロニクス

キーワード：GaNデバイス 連鎖的誤動作 コモンソースインダクタンス



$f_2 < f_1 < f_3$  または  $f_3 < f_1 < f_2$  の場合  
バルクハウゼン条件を満たさない

**設計要件**

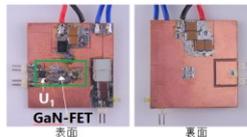
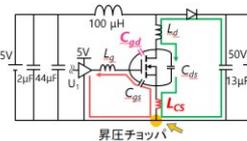
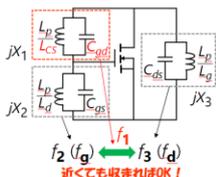
$$\frac{L_d}{C_{gs}} < \frac{L_{cs}}{C_{gd}} < \frac{L_g}{C_{ds}} \text{ または } \frac{L_g}{C_{ds}} < \frac{L_{cs}}{C_{gd}} < \frac{L_d}{C_{gs}}$$

$L_{cs}/C_{gd}$  が適切な範囲に収まることが重要！  
→ デバイスに固有する

■設計要件の解釈

連鎖的誤動作を防止するためにはCSIを最小化するのではなく、CSIがある範囲内に適切に設計するべきである

「 $L_{cs}/C_{gd}$ がある範囲に収まると連鎖的誤動作を回避できる」を検証する



**実験手順**

1. 回路を「 $f_g = f_d$ 」に設計した
2. 様々な  $C_{gd}$  において CSI を変化させた
3. 連鎖的誤動作が発生しない CSI の範囲を調査した

W 5 46P \*8 D b G20b W 6 46P\* 18D 0E 9

GaN FET 5 /KS 0NB8 0

(CSI) b T b 0M G\ , 46P\*8 @ 0G\ KS

(□ 7) F□ , Gb9b4 6 CSI 4F- QEMf @ 0d0fm2&

gMG\ @ AS I\ , CSI bA I 6zSO [ bMX @ 5 GaN FET ;

« 6 6 6 6 [ 6G\ AFuS

r FET 5 /KS5 CSI \ FET # @ WM0 FET @ I

b (Vpr d 546P\*8 D [ AG#1 6N , Gb#1= @ GK8

G 9E S G b 24 6 [ , 60S CSI 0fm21 5, K , S

.. nH ↑ b CSI 0EMG\ AU #S (KS I\ 5 G2b

6 d 6 , 7 9627G2b) (6G\ [ , FET b

46P\*8 b 6 @ + [ 6G\ , M0ö 6 46P

\*8DK: G 9S

s CSI bM4 @ 7 90 G24) z\ 6 G2° 4) zb 6\_ k NIGV% 6ö

K , PCB b p CSI 00E @ + [ 6900KS 6ö

I g 0 @ \$ 5 6 PCB #Z 5 Q R b CSI 3KS (□ 8□ 9) □ 2□ □

9□ 2□ □ □ □ 2□ □ 7) 2□ □ PCB b/8XB\_ 8Z) z @ j 2nM

Gb4( [ 7& @ 2sG~ 5 3M rS , 4) z6b 8b Al cj 2nM

4) z6 6 VV 5 j 2nM4) zb 7 v 4) z6 6MG\ [ 8b

ö \ 06 00b) Y , &. ) bB PCB b CSI 3MA 0

b PCB @ 6b0 \ 0 PKZ CSI @ MG\ & KS

GbG\ , PCB p CSI b Al 00E A G0V

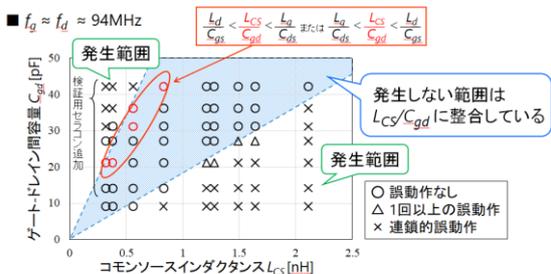
rS , 46P\*8 DMSu 00E MmA CSI b Al c 5 PCB 0z

0E CSI b 0 0E CSI b 0 ↑

6 GbGc 5 4:) ^ PCB p "

00E 5 46P\*8 75F 4 G

0KZ (□ 10) □



対象となる GaN-FET の  $C_{gd}$  に対して CSI を適切に設計することで、連鎖的誤動作を回避できることが確認できた！

W 7 46P\*8 0E 9) Y

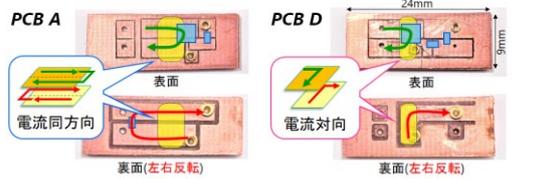
着眼点: CSIはゲートとドレイン配線との磁気結合に依存する

CSI =  $L_s + M_{gd}$

基板の寄生磁気結合により CSI の大きさを変えられるのでは..?

実験方法: 磁気結合の異なる5種類の基板レイアウトのCSIを比較する

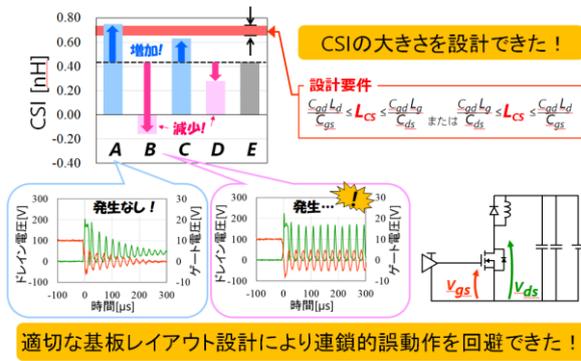
PCB	A	B	C	D	E
極性	正	負	正	負	-
度合い	大	大	小	小	-



W 8 46P\*8

D 0E b ,

W 9 0E



□ 10 09 □ ) □

3 > zste ...

7110 □ 2 6

□ Kazuhiro Umetani, Ryunosuke Matsumoto, Eiji Hiraki, F Prevention of Oscillatory False Triggering of GaN-FETs by Balancing Gate-Drain Capacitance and Common-Source Inductance, G IEEE Transactions on Industry Applications, Volume: 55, Issue: 1, 2019, P-P. 610-619, DOI: 10.1109/TIA.2018.2868272.

r Kazuhiro Umetani, Kyota Aikawa, Eiji Hiraki, F Straightforward Measurement Method of Common Source Inductance for Fast Switching Semiconductor Devices Mounted on Board G IEEE Transactions on Industrial Electronics, Volume: 64, Issue: 10, 2017, P-P. 8258-8267, DOI: 10.1109/TIE.2017.2694411.

81E 3 6

□ Ryunosuke Matsumoto, Kyota Aikawa, Akihiro Konishi, Kazuhiro Umetani, Eiji Hiraki, F Evaluation of impact of parasitic magnetic coupling in PCB layout on common source inductance of surface mounted package, G 2017 IEEE 12th International Conference on Power Electronics and Drive Systems (PEDS 2017).

r Ryunosuke Matsumoto, Kazuhiro Umetani, Eiji Hiraki, F Optimization of the balance between the gate-drain capacitance and the common source inductance for preventing the oscillatory false triggering of fast switching GaN-FETs G 2017 IEEE Energy Conversion Congress and Exposition (ECCE 2017).

s Kyota Aikawa, Tomohumi Shiida, Ryunosuke Matsumoto, Kazuhiro Umetani, Eiji Hiraki, F Measurement of the common source inductance of typical switching device packages, G 2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia).

91E 0 6

81D □ 0 6

91E 0 6

61 K

4 > 29) °

(1) 2(,\*

2(81 u1' 0

81 UMETANI Kazuhiro

8168 81

481 81 81 81

81 M

(2) % \*  
K

dē ↓ % c % b 0 | \ 2i 8Z Mvb[6Su % b x 26Y b 7t. \_  
8Z \ b 0[3:.. \_ ö 0vb[6Su 26Y \_ 6iM 0b0 x 2i c 27] \_ l rM