

令和元年6月21日現在

機関番号：17102

研究種目：若手研究(B)

研究期間：2016～2018

課題番号：16K16027

研究課題名(和文) データセンターにおけるPCMの寿命制御方式に関する研究

研究課題名(英文) Controlling a lifetime of PCM cells in a data center

研究代表者

小野 貴継 (Ono, Takatsugu)

九州大学・システムLSI研究センター・准教授

研究者番号：80756239

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：PCM(Phase Change Memory)には書き込み回数に制限(寿命)があることが知られている。本研究では低速書き込みによる書き込み回数制限の緩和の手法を提案した。開発したソフトウェアシミュレータに従来手法(性能優先、寿命優先書き込み手法)および提案手法を実装して複数のプログラムを対象に定量的評価した。その結果、提案手法は性能低下を約1.14%に抑制しつつ1.57倍の寿命を達成可能であることが明らかになった。メモリアクセスの特徴およびPCMに対する複数書き込みポリシーを選択することにより、データセンター規模で性能や残寿命などの条件に応じたジョブアロケーションが可能になることを示した。

研究成果の学術的意義や社会的意義

ポストシリコン時代に向けて、計算機の主記憶としてPCMの開発および導入の検討が進められており、PCMを搭載するサーバの運用は現実のものとなりつつある。本研究はPCMに対する多様な書き込み技術を提案するものである。研究の成果は実行するプログラムに求められる性能、データセンターのサーバにおいて必要とされるPCMの寿命に基づき、PCMの書き込み技術の適用とジョブのアロケーションを実現するための指針となり得る。ユーザにとっては性能が犠牲にならないことから利点があり、運用者にとってはサーバのPCMの寿命を適切に使い切ることができるというメリットがあり、意義ある研究である。

研究成果の概要(英文)：It is known that PCM (Phase Change Memory) is worn out quickly compared to DRAM. To extend the lifetime of the PCM cell, we proposed a slow-write approach. We implemented a conventional method (performance-first and lifetime-first) and the proposed approach on the developed software simulator and evaluated with multiple programs quantitatively. As a result, it is clear that the proposed method can achieve 1.57 times the lifetime while suppressing the performance degradation to about 1.14%. These results offer that based on the feature of memory access and selecting the multiple write policy for PCM, job allocation according to the conditions such as performance and extend the lifetime can be performed on the data center scale.

研究分野：計算機科学

キーワード：Phase Change Memory データセンター 寿命制御

## 様式 C-19、F-19-1、Z-19、CK-19（共通）

### 1. 研究開始当初の背景

データセンタで実行されるアプリケーションは、小さなデータアクセスを大量に発生させるウェブサービスや大容量かつ多様なデータへアクセスするビッグデータ解析など様々である。これらのアプリケーションを高速化するために、メモリを活用する技術が多く開発されている。例えば、ウェブサービスではメモリをキャッシュとして利用する。ビッグデータ解析では高速化させるためにすべてのデータをメモリに配置する技術がある。これらのインメモリ型処理の要求に応えるため、メモリ容量の増加に対する要求は強い。

半導体の微細化の終焉が現実的となった今日、いくつかの新メモリデバイスの開発が進められており、特に PCM (Phase Change Memory) は実用化への道が見えてきた。主記憶として PCM を用いることで待機電力の削減が期待される。また、DRAM よりも小さく加工することが可能になると期待されており、単位面積あたりの容量増加が期待できる。しかしながら、DRAM に比べて PCM は書き換え回数の上限值が小さいという問題（寿命問題）がある。

DRAM の代替として PCM を用いるためには、寿命問題を克服することが必須の条件であり、これまでもこの問題を緩和するアーキテクチャが提案されてきた。しかしながら、その手法は DRAM バッファを用いてサーバ内で PCM へのアクセスを平坦化するものである。サーバ間では PCM の寿命にばらつきが生じ、PCM への書き込みが集中したサーバは他のサーバよりも早く交換の対象となる。計画的に任意のサーバの PCM の寿命を終わらせ、新しいサーバと入れ替えていくことは、データセンタが継続的にサービスを提供する上で極めて重要である。

### 2. 研究の目的

本研究は、計算機の主記憶として新しいメモリデバイス (PCM) を用いる際に問題となる PCM の書き換え回数の制限 (寿命) について、データセンタレベルで PCM の寿命を制御する技術の確立を目指す。

### 3. 研究の方法

PCM への書き込み速度を低速にすることでセルの寿命（書き込み回数の上限）が長くなることが知られている（これを低速書き込みと呼ぶ）。一方、書き込み速度が遅いことから、アプリケーション性能が低下するというデメリットもある。これまで、MLC (Multi-Level Cell) に対する低速書き込みの性能や寿命は報告されていないことから、MLC 向けの低速書き込み技術を提案し、プロセッサシミュレータと協調して動作する PCM のソフトウェアシミュレータを開発した。このシミュレータではメインメモリとして PCM を用いることができ、PCM の書き込みおよび読み出しレイテンシをパラメータとして変更可能であり、セルごとに残りの寿命を算出することが可能である。多様な書き込み手法の性能および寿命に対する影響を定量的に捉えることは、スケジューリングによりメモリアクセスの特性に応じて PCM の寿命を制御するために重要である。性能優先、寿命優先の書き込み手法（低速書き込み）をソフトウェアシミュレータに実装した。

開発したシミュレータを用いて、様々なプログラムを対象にメモリアクセスの特徴を解析を実施した。そして、複数の PCM 書き込み方式を対象に性能と寿命を定量的に評価した。

### 4. 研究成果

開発したソフトウェアシミュレータを用いて、提案手法と様々な書き込み手法を対象に、性能および寿命の観点から複数のベンチマークプログラムを用いて定量的に評価した。寿命優先の書き込み手法では、あるベンチマークプログラムにおいては約 4 倍の寿命延長を達成可能である一方、約 27% の性能低下が生じることが明らかになった。また、提案手法では性能低下は約 1.14% に抑制しつつ寿命を約 1.57 倍にすることが可能であることが明らかになった。

これまでの研究成果により、メモリアクセスの特徴および PCM に対する複数書き込みポリシーを選択することにより、データセンタ規模で性能や残寿命などの条件に応じたジョブアロケーションが可能になることを示した。

### 5. 主な発表論文等

[雑誌論文] (計 2 件)

1. Yusuke Inoue, Takatsugu Ono, Koji Inoue, "Real-time Frame-Rate Control for Energy-Efficient On-Line Object Tracking," IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E101-A, No.12, pp. 2297-2307, Dec. 2018. (査読有り)
2. Satoshi Imamura, Yuichiro Yasui, Koji Inoue, Takatsugu Ono, Hiroshi Sasaki, Katsuki Fujisawa, "Evaluating Energy-Efficiency of DRAM Channel Interleaving Schemes for Multithreaded Programs," IEICE Transactions on Information and Systems, Vol.E101-D, No.9, pp. 2247-2257, Sep. 2018. (査読有り)

〔学会発表〕（計 10 件）

1. Takatsugu Ono, Zhe Chen and Koji Inoue, "Improving Lifetime in MLC Phase Change Memory using Slow Writes," International Japan-Africa Conference on Electronics, Communication and Computations, pp. 65-pp. 68, Dec. 2018.
2. Yusuke Inoue, Takatsugu Ono and Koji Inoue, "Situation-Based Dynamic Frame-Rate Control for On-Line Object Tracking," International Japan-Africa Conference on Electronics, Communication and Computations, pp. 129-pp. 132, Dec. 2018.
3. Takatsugu Ono, "A Network Simulator for On/Off Links of Large-Scale Interconnection Networks," NII Shonan Meeting Seminar 134 Advances in Heterogeneous Computing from Hardware to Software, Sep. 2018.
4. Takatsugu Ono, Yuta Kakibuka, Nikhil Jain, Abhinav Bhatele, Shinobu Miwa, Koji Inoue, "Extending A Network Simulator for Power/Performance Prediction of Large Scale Interconnection Networks," "Modeling and Simulation of HPC Architectures and Applications held in conjunction with SIAM Conference on Parallel Processing for Scientific Computing, Mar. 2018.
5. Yuta Kakibuka, Yuichiro Yasui, Takatsugu Ono, Katsuki Fujisawa, Koji Inoue, "Performance evaluation of Graph500 considering CPU-DRAMpower shifting," Poster session The International Conference for High Performance Computing, Networking, Storage, and Analysis, Nov. 2017.
6. 小野貴継, 垣深悠太, 三輪忍, 井上弘士, "電力性能推定を目的としたインターコネク  
ト・シミュレータ TraceRP の開発," 情報処理学会研究報告, Vol. 2017-HPC-161No. 15,  
pp. 1-7, 9 月 2017.
7. Satoshi Imamura, Yuichiro Yasui, Koji Inoue, Takatsugu Ono, Hiroshi Sasaki,  
Katsuki Fujisawa, "Power-Efficient Breadth-First Search with DRAM Row Buffer  
Locality-Aware Address Mapping," In Proc. of the 1st High Performance Graph Data  
Management and Processing workshop (HPGDMP), pp. 17-24, Nov. 2016.
8. Yusuke Inoue, Takatsugu Ono, Koji Inoue, "Adaptive Frame-Rate Optimization for  
Energy-Efficient Object Tracking," In Proc. of the 20th International Conference  
on Image Processing, Computer Vision & Pattern Recognition, pp. 158-164, July  
2016.
9. Yoshihiro Tanaka, Keitaro Oka, Takatsugu Ono, Koji Inoue, "Accuracy Analysis of  
Machine Learning-Based Performance Modeling for Microprocessors," In Proc. of  
the 2016 Fourth International Japan-Egypt Conference on Electronics,  
Communications and Computers, pp. 87-90, May 2016.
10. 垣深悠太, 安井雄一郎, 小野貴継, 稲富雄一, 藤澤克樹, 井上弘士, "CPU と DRAM へ  
の電力バジェット配分を考慮した Graph500 の性能評価," 情報処理学会研究会報告,  
Vol. 2016-HPC-155 No. 16, pp. 1-6, 8 月 2016.

〔図書〕（計 0 件）

〔産業財産権〕

○出願状況（計 0 件）

名称：  
発明者：  
権利者：  
種類：  
番号：  
出願年：  
国内外の別：

○取得状況（計 0 件）

名称：  
発明者：  
権利者：  
種類：  
番号：  
取得年：  
国内外の別：

[その他]  
ホームページ等

Cyber-Physical Computing Lab. (<http://www.cpc.ait.kyushu-u.ac.jp>)

## 6. 研究組織

### (1) 研究分担者

研究分担者氏名：

ローマ字氏名：

所属研究機関名：

部局名：

職名：

研究者番号（8桁）：

### (2) 研究協力者

研究協力者氏名：Chen Zhe

ローマ字氏名：陳哲

※科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。