

令和元年6月8日現在

機関番号：33908

研究種目：若手研究(B)

研究期間：2016～2018

課題番号：16K16029

研究課題名(和文)超伝導デジタル回路デバイスのための配線遅延を考慮した自動配置配線手法の確立

研究課題名(英文) Research on automatic layout methods considering wire delay for superconductive digital circuits

研究代表者

鬼頭 信貴 (Kito, Nobutaka)

中京大学・工学部・講師

研究者番号：90630997

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：省エネルギーで超高速な超伝導単一磁束量子(SFQ)デジタル回路の設計自動化のための自動配置配線手法とその手法に基づく設計ツールの試作を行った。

本研究でははじめに、従来は手設計されていたSFQデジタル回路の配線作業を自動化する手法を考案した。安定動作するSFQ回路を得るには、各論理ゲートについてそのゲートに至る複数の配線で配線遅延量を合わせこむ必要があり、配線長の指定などが重要である。そこでそのようなパラメータを入力として考えた手法を考案した。そして、この性質を考慮したゲートの自動配置手法を提案するほか、関連する技術も考案した。

研究成果の学術的意義や社会的意義

従来、超伝導SFQ回路のレイアウト設計においては論理ゲートを人手により配置し、手作業によりその間の配線を行っていた。本研究課題の開始時点ではその作業の自動化については手法の研究・ツールの開発どちらも手づかずであり設計に困難が伴った。

本研究によりSFQ回路の性質に注目して手法の提案を行うことで初期的な設計自動化が可能となったほか、今後さらに実用的な手法とするための研究課題の整理が進んだ。本研究等に触発され半導体分野の設計自動化の研究者も参入しており、超伝導デジタル回路の設計自動化に関して研究分野としての確立に貢献した。

研究成果の概要(英文)：We have developed automatic routing methods and a placement method for energy-efficient and high-speed rapid single flux quantum (RSFQ) logic circuits. We have also designed prototypes of design tools based on those methods.

In this research program, we have developed automatic routing methods for RSFQ circuits at first. The routing phase in the current RSFQ layout design flow has been performed mainly by hand. In the routing phase, every paths toward each gate need to be designed to have the same amount of wire delay to obtain chips working reliably. Therefore, we have developed routing methods which treat amount of wire delay on each path as one of input parameters. We have also developed an automatic placement method cooperated with the routing methods. We also developed design automation technologies related to placement and routing.

研究分野：計算機システム

キーワード：超伝導単一磁束量子回路 配線遅延 レイアウト設計 設計自動化 自動配線 自動配置

1. 研究開始当初の背景

現在のスーパーコンピュータやデータセンタでは巨大な消費電力が問題となっており、電力あたりの演算性能の向上が強く求められている。半導体集積回路の微細化が難しくなってきたことから電力あたり演算性能の急激な向上は難しく、新デバイスの活用により向上を目指す動きに注目が集まっている。様々なデバイスの中でも、超伝導を用いる単一磁束量子(SFQ: Single Flux Quantum)もしくはRSFQ: Rapid Single Flux Quantum)回路は注目を集めている。

超伝導 SFQ 回路は、数十 GHz のクロック周波数で動作し、冷却のためのエネルギーを考慮しても、従来の CMOS 回路技術より高い電力あたり演算性能を実現できる。研究開始時には、米国の政府機関である IARPA (Intelligence Advanced Research Projects Activity) が C3 (Cryogenic Computing Complexity) プログラムとよばれる Northrop Grumman, IBM 等の企業が参加する超伝導スーパーコンピュータ開発プログラムを推進していたところで、成果を挙げはじめていた。また、日本においても SFQ 回路を用いたマイクロプロセッサ開発や演算アクセラレータ開発についての研究プロジェクトが行われ、活発に研究が進められてきていた。

SFQ 回路は CMOS 回路と異なり、電圧レベルではなく電圧のパルスを用いた論理値の表現(パルス論理)を用い、各ゲートにおける入力端子へのパルスの到着順序がゲートの論理的動作に影響を与える。このことから論理設計やレイアウト設計、論理故障のモデル化などの面で CMOS 集積回路と異なる技術的な検討が要求される。CMOS 論理回路の設計では自動化されているレイアウト設計も手設計により行われており、大規模回路の設計には困難が伴う。このような状況から、2015 年初頭には IARPA では C3 プログラムに関連して SFQ 回路の設計自動化技術について情報提供を求める状況となっていた。

2. 研究の目的

このような背景から、本研究では、SFQ 回路のための自動配置と自動配線のためのアルゴリズム開発とその評価のための設計自動化ツールの試作を目的とした。

SFQ 回路では、各ゲートにおける入力端子への電圧パルスの到着順序がゲートの論理的動作に影響を与える。このため、配線における遅延時間は回路の論理的動作に影響を及ぼすことがある。SFQ 回路では数十 GHz と極めて高い動作周波数を目標とするため、配線遅延時間を緻密に合わせこんだ配線が必要になる。このため、SFQ 回路特有の条件が存在する。SFQ 回路特有のこれらの配線遅延条件を織り込んだ自動配置と自動配線のアルゴリズムの開発を目標とした。このほかに、SFQ 回路特有の回路設計法を探求するために SFQ 回路の特性を活用した回路設計の探求や SFQ 論理回路設計の基盤技術の開発も研究目標であった。

3. 研究の方法

はじめに、SFQ 回路において広く用いられている受動線路のための配線アルゴリズムの開発と洗練をおこなった。研究開始時点で SFQ 回路向け自動配線アルゴリズムの試作をすすめていたが、実行時間が非常に長く配線ができない場合があった。そこで、より高速な配線手法を開発することで適用可能回路の大規模化をはかった。そのうち SFQ 回路では配線が占める面積が大きいことに注目して配線の容易さを考慮した自動配置アルゴリズムを開発する方向を取った。これらのアルゴリズムを設計自動化ツールとして実現し、自動設計したレイアウトについて面積等の基準で評価を行った。

研究開始時点では SFQ 回路の設計自動化全般で研究が十分には行われていなかった。設計自動化の研究を進めるにあたっての知見を得るため、レイアウト設計の前段にあたる回路の論理設計に関しても補助的に研究を進めた。論理設計時には設計した回路のシミュレーションや検証が必要であり、これまで提案してきた SFQ 回路の論理シミュレーションツールの拡張を行った。また、パルスを用いて論理演算を行う SFQ 回路の特性を積極的に用いることで、どのような論理設計が可能となるのか、また、どの程度回路をコンパクトに実現できるかなどを検討した。

4. 研究成果

(1) 配線長マッチングを考慮した高速配線手法

大規模な SFQ デジタル回路において受動配線(PTL: Passive Transmission Line)による配線が積極的に用いられている。製造後の回路の動作のために、レイアウト設計の際、回路の入力よりゲートの各入力に至る経路において PTL の配線長をそろえること(配線長のマッチング)が重要と考えられている。そこで、配線長のマッチングのための配線延長を考慮した配線アルゴリズムを提案した。この手法ではチャンネル配線を考え、PTL で実現する各接続について両端の位置と配線の延長量を入力として与え、それらの接続を同時に実現する配線領域の幅が小

さいルーティングを出力する。

この手法では、焼きなまし法を用いた。焼きなまし法では、解のランダムな変形の反復によりよい解を得る。焼きなまし法には温度パラメータがあり、反復で徐々に小さな値に更新する。この値が大きいとき、評価値の悪くなる解の変形を生じやすくし、局所最適解へ収束することを回避する。

この手法では、1つの接続を1本の縦方向の配線と、配線延長のための上向きあるいは下向きのジグザグ配線により実現する。そして、ルーティングを焼きなまし法の解の変形操作を行いやすい記号列で表現することにより、整数計画問題として定式化した従来法よりもよい配線を高速に得ることが可能となった。

(2) SFQ回路のための配線長マッチングを考慮した自動配置手法

上述の研究では、製造後のSFQ回路の安定した動作のために、配線を行う際のPTLの配線長をそろえること(配線長のマッチング)が可能な配線手法に注目しているが、ゲートの配置についてはすでに行われている状態を考えていた。ここで、配線長のマッチングを行いやすくするような配置を考えることで、配線長のマッチングに必要な配線延長を小さくできる。これにより、配線の容易化ができ、また、大規模SFQ回路においてPTL配線の占める面積は大きいため配線のための面積を小さくできる。

そこで、SFQ回路の回路モジュールの自動配置において、配線長の最短化のみでなく配線長のマッチングを考慮して配置を行う配置手法を考案した。本手法では、PTL配線長のマッチングに必要な配線延長量を評価の基準に入れて、焼きなまし法でゲートの配置を決定する。配線時のPTL延長量が小さくなることにより、配線に必要な面積が小さくなり、レイアウト全体の面積も小さくできる。この手法の評価のために自動配置ツールも試作した。

32ビットの加算器を例に配置・配線を行い、レイアウト面積削減効果を確認した。配線長のマッチングに必要な配線の延長を考慮せずに配置を行う場合より、マッチングのための配線延長量を考慮してゲート配置を行った場合の方がレイアウト面積で3割程度小さくなることが明らかになった。このほか、手設計レイアウトを行ったものと同様の機能の回路をハードウェア記述言語で記述し、この記述から自動設計によりレイアウトを生成した。その結果、手設計のものより少なくとも10%程度のレイアウト面積の増加があることが明らかとなった。

(3) Stochastic Computingに基づくSFQ算術演算回路

SFQ回路において電圧パルスを論理値表現に使用する点が、0と1の出現割合で数値を表現するstochastic computingに適している可能性が考えられた。SFQ回路の特性を生かした回路構成としていかなるものがあり得るのか、知見を得るため研究を進めた。二進数をstochastic numberに変換するための回路を、SFQ回路が電圧パルスを用いる性質を活用して設計した。また、stochastic computingに着想を得たSFQ回路向け乗算回路を新しく考案した。

考案した乗算回路は電圧パルスの数え上げによって演算結果を得るため、一度の演算に多くのクロックサイクルが必要となるものの一般的な並列型乗算回路やビットシリアル乗算回路より面積が小さい。また、考案した乗算器の演算はtruncated multiplierにおける演算と同じとみなすことができる。このため、確率的な動作をせず演算誤差が確定している。演算誤差が低くても許容されるニューラルネットワークにおける演算への活用が考えられる。

(4) パルス論理の性質を活用した論理ゲートネットリストのSFQ回路向け変換

SFQデジタル回路はパルスを用いて論理演算を行うが、パルスを用いる特性を積極的に用いることで回路を小さく構成できることがある。人手による論理設計では、ゲートの複数の入力と同時に1を取らないものについて、クロック入力の必要なORゲートの代わりにパルスを合流させるCB(Confluence Buffer)素子を用いる。これにより、ゲート自体の面積のほか、クロック配線の面積を削減できる。

CB素子の活用は論理設計において重要であるが、半導体回路用に開発された論理合成ツールでCB素子を取り扱うことは容易でない。そこで、半導体回路用に開発された論理合成ツールにより生成されたネットリストからSFQ回路で実現する際CB素子に置換可能なORゲートを判定するための手法を考案した。また、実験により置換可能なゲートが少なくないことを示した。

(5) SFQ論理シミュレーションツールの論理検証に向けた拡張

SFQデジタル回路では論理ゲートへの電圧パルスの到着順序によりゲートの論理的な動作が変化する。このため、従来の半導体回路のようにゲートとその接続関係のみの記述では論理的な動作が確定しない。そこで、研究代表者らは以前より、SFQデジタル回路のための論理動作を明確に記述可能な表記法を提案し、その表記法により記述された回路の論理シミュレーションツールを開発してきた。

しかしシミュレーションツールとして実用するためには、回路動作を表記するだけでは不十

分であり、設計回路のデバッグのための言語拡張が必要と考えられた。そこで、SFQ 回路で特有に生じる、クロック時刻のずれによる回路動作の不具合を取り扱うための言語拡張を導入した。また、これまで試作しているツールを拡張しこの機能を導入した。その結果、SFQ 回路設計において発生しがちなタイミング設計ミスの検出コードを簡単に記述できるようになった。

5. 主な発表論文等

〔雑誌論文〕(計 3 件)

1. Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi, "Conversion of Logic Gates in Netlists for Rapid Single Flux Quantum Circuits Utilizing Confluence of Pulses," IPSJ Trans. System LSI Design Methodology, vol. 12, Aug. 2019. (in press)(査読有)
2. Nobutaka Kito, Ryota Odaka, and Kazuyoshi Takagi, "Rapid Single-Flux-Quantum Truncated Multiplier Based on Bit-Level Processing," IEICE Transactions on Electronics, vol. E102-C, no. 7, July 2019. (in press) (査読有)
3. Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi, "A Fast Wire-Routing Method and an Automatic Layout Tool for RSFQ Digital Circuits Considering Wire-Length Matching," IEEE Transactions on Applied Superconductivity, vol. 28, no. 4, Article# 1300105, June 2018. (DOI: 10.1109/TASC.2018.2793203) (査読有)

〔学会発表〕(計 11 件)

1. 鬼頭信貴, 高木一義, 高木直史, "パルス論理の性質を活用した論理ゲートネットリストの RSFQ デジタル回路向け変換," 2018 年電子情報通信ソサイエティ大会 C-8-1, 2018 年 9 月, 金沢大学(石川県金沢市)。
2. 小高良太, 鬼頭信貴, "Stochastic Computing に基づく単一磁束量子乗算器の検討," 電気・電子・情報関係学会東海支部連合大会, J3-3, 2018 年 9 月 4 日, 名城大学(名古屋市天白区)。
3. Nobutaka Kito, Yurie Koketsu, and Kazuyoshi Takagi, "Designs of Component Circuits for Stochastic Computing Using Rapid Single Flux Quantum Circuits," 21st Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2018), R1-9, 2018 年 3 月, くにびきメッセ(島根県松江市)。
4. Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi, "A fast wire-routing method and an automatic layout tool for RSFQ digital circuits considering wire-length matching," 13th European Conference on Applied Superconductivity (EUCAS2017), 1EP1-03, 2017 年 9 月, International Conference Centre of Geneva(スイス、ジュネーブ)。
5. 瀧藤百合絵, 鬼頭信貴, "単一磁束量子回路を用いた Stochastic Computing 実現のための Stochastic Number Generator の設計," 電気・電子・情報関係学会東海支部連合大会, C5-1, 2017 年 9 月 8 日, 名古屋大学(名古屋市中種区)。
6. 鬼頭信貴, 高木一義, 高木直史, "配線長マッチングを考慮した自動配置による RSFQ 回路のレイアウト面積削減," 電子情報通信学会 2017 年総合大会 C-8-1, 2017 年 3 月, 名城大学(名古屋市中種区)。
7. Naofumi Takagi, Kazuyoshi Takagi, and Nobutaka Kito, "Development of CAD Tools for SFQ Logic Circuits and Design of Data-path Circuits for SFQ Bit-slice Processors," 10th Superconducting SFQ VLSI Workshop (SSV 2017), 0-4, 2017 年 2 月 20 日, 名古屋大学(名古屋市中種区)。
8. Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi, "Fast Length-Matching Routing for Rapid Single Flux Quantum Circuits," 20th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2016), R2-11, 2016 年 10 月, 京都市サテライトパーク(京都市下京区)。
9. 鬼頭信貴, 高木一義, 高木直史, "SFQ デジタル回路のための配線長マッチングを考慮した高速配線法," 電子情報通信学会 2016 年電子情報通信ソサイエティ大会 C-8-2, 2016 年 9 月, 北海道大学(札幌市北区)。
10. 松本弦篤, 鬼頭信貴, "単一磁束量子論理回路の設計検証のための論理シミュレーションツールの拡張," 電気・電子・情報関係学会東海支部連合大会, E1-8, 2016 年 9 月 12 日, 豊田高専(愛知県豊田市)。
11. Nobutaka Kito, Gentoku Matsumoto, Kazuyoshi Takagi, and Naofumi Takagi, "Extension of a Logic Simulation System for Simulation-Based Verification of RSFQ Logic Circuits," 9th Superconducting SFQ VLSI Workshop (SSV 2016), P-4, 2016 年 8 月 3 日, 横浜国立大学(横浜市保土ヶ谷区)。

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。