

平成 30 年 6 月 20 日現在

機関番号：34406

研究種目：若手研究(B)

研究期間：2016～2017

課題番号：16K16030

研究課題名(和文) 高速A/D変換器の低電圧化および補正技術の確立と10mWデジタルRF受信機の開発

研究課題名(英文) A low-voltage and high-speed A/D converter and its digital correction methods for a 10-mW digital RF receiver

研究代表者

木原 崇雄 (Kihara, Takao)

大阪工業大学・工学部・講師

研究者番号：10736458

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：10 mW動作デジタルRF受信機を構成する次の要素回路とデジタル補正技術を開発した。

1. バックゲート電圧制御発振器(VCO)を用いたA/D変換器(VCOベースADC)、2. VCOベースADCから生じる3次高調波の低減技術、3. 時間インターリーブA/D変換器(TI-ADC)における特性ミスマッチによる不要波の低減技術、4. 帯域外妨害波を除去する低雑音増幅器

研究成果の概要(英文)：This research developed the following building blocks and digital correction techniques for a 10 mW digital RF receiver: 1. a 9-bit 800 MS/s A/D converter using back-gate voltage-controlled oscillator (VCO); 2. a digital reduction technique for 3rd-order harmonics of A/D converters using VCOs; 3. a digital reduction technique for mismatch spurs of time-interleaved A/D converters (TI-ADCs); 4. a low-noise amplifier (LNA) reducing out-of-band blockers.

研究分野：集積回路設計

キーワード：時間インターリーブA/D変換器 デジタル補正 VCO 3次高調波 LNA

1. 研究開始当初の背景

携帯電話やセンサー機器等に備わる無線通信機能は、RF トランシーバーIC によって実現されている。その構成要素の一つである RF 受信機では、信号の増幅、周波数変換、フィルタリング、サンプリングといった処理をアナログ回路で行うことで、低消費電力化を図ってきた。しかし、CMOS (Complementary Metal-Oxide Semiconductor) プロセスの微細化に伴うトランジスタの特性ばらつきや、デジタル回路との混載、さらに多種多様な無線通信規格への対応が、アナログ回路の設計と検証をより一層複雑にし、RF トランシーバーIC の開発費用を著しく増大させている。

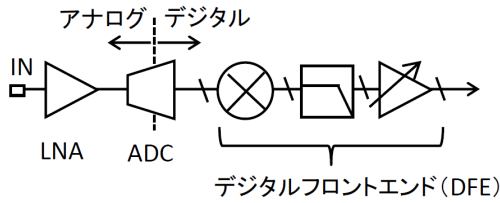


図 1. デジタル RF 受信機の構成

これらの問題に対して、信号の増幅とサンプリングを除く処理をデジタル回路 (Digital Front End: DFE)で行う「デジタル RF 受信機」が提案されているが (図 1)、製品化には至っていない。その最大の障壁が高速 (GHz) サンプリング A/D 変換器 (ADC) の低消費電力動作 (数十 mW) と、高分解能 (有効ビット数 12、約 72 dB の S/N 比) の両立である。バンドパス変調器を用いて 2.2 GHz 信号をオーバーサンプリングする方法があるが、消費電力は 100 mW 以上と大きくなる。また、リング型電圧制御発振器 (VCO) で ADC を構成し (VCO ベース ADC)、それらを交互に動作 (時間インターリーブ) させることで、15 mW で 2.4 GHz 信号をサンプリングできる。インバータと論理ゲートのみで構成された、低消費電力動作に最も適した構成であるが、VCO がもつ非線形性により不要信号成分 (-40 dBc の 3 次高調波) が発生し、所望の S/N 比が得られない。さらに、各 ADC の特性ミスマッチによっても不要波が発生する。

ADC のサンプリング周波数 f_s を入力周波数 f_{in} (2.45 GHz) の 4 倍 ($f_s=4f_{in}$) とすることで、デジタル RF 受信機をモノのインターネット (Internet of Things: IoT) 向け無線通信に対応させられる。しかし、ADC のサンプリングにより 7.35 GHz ($3f_s/4$) の帯域外妨害波 (-30 dBm) が信号帯域内 (2.45 GHz) に折り返されるので、希望波の S/N 比が劣化する。

2. 研究の目的

時間インターリーブ ADC (TI-ADC) の低電圧化 (0.75 V) 技術と、ADC から生じる不要信号成分をデジタル回路で低減するデジタル補正技術を確立し、IoT 向け無線通信を可能とする 10 mW 動作のデジタル RF 受信機を開発する (図 2)。次の項目を実施する。

(1) バックゲート VCO を用いた 0.75 V 動作 ADC

(2) VCO ベース ADC から生じる 3 次高調波を低減する手法

(3) TI-ADC の特性ミスマッチによる不要波を低減する手法

(4) 帯域妨害波 ($3f_s/4$) を低減する低雑音増幅器 (LNA)

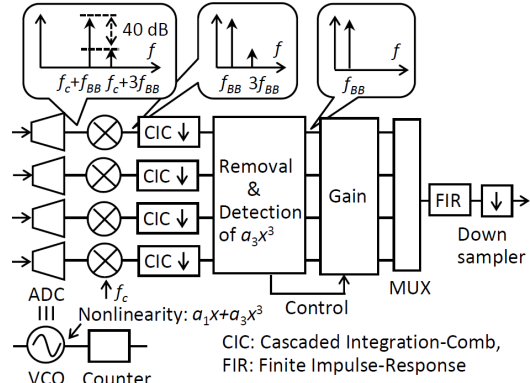


図 2. 開発するデジタル RF 受信機

3. 研究の方法

研究目的 (1) ~ (4) の有効性をシミュレーションまたは IC チップの測定で示す。チップはルネサス社 65 nm SOTB (Silicon-on-Thin-Buried Oxide) CMOS プロセスを用いて試作する。

(1) バックゲート VCO を用いた 0.75 V 動作 ADC

本研究の ADC の構成を図 3 に示す。バックゲート VCO、サンプリング器、位相エンコーダ、位相微分器で構成している。アナログ回路はリング VCO とサンプリング器のみであり、さらに回路のサンプリング周波数 (f_s) はサンプリング器またはデジタル回路の最大動作周波数で決まるため、低電源電圧かつ高いサンプリング周波数で動作する。

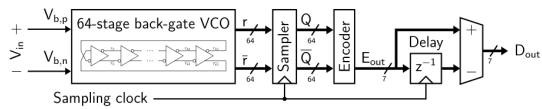


図 3. A/D 変換器の構成

(2) VCO ベース ADC の 3 次高調波の低減手法

図 4 に 3 次高調波の低減構成を示す。はじめに、乗算器を用いて ADC の出力信号を 3 乗することで、3 次高調波を含んだ信号 (補正信号) を生成する。次に、増幅器を用いて補正信号の 3 次高調波の大きさと ADC の出力に含まれる 3 次高調波の大きさを等しくさせる。最後に、元の ADC の出力信号から増幅させた補正信号を減算することで 3 次歪みを低減する。

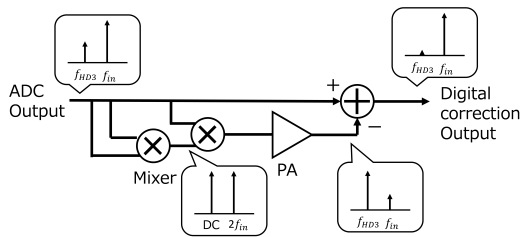


図 4. 3 次高調波の低減構成

(3) TI-ADC の特性ミスマッチによる不要波の低減手法

補正構成の概略を図 5 (上) に示す。補正構成には、複素ミキサでダウンコンバートされ、さらに CIC フィルタでデシメーションされた複素ベースバンド信号 $x(n)$ が入力される。この $x(n)$ から、 $x(n)$ の共役信号 $x^*(n)$ に補正係数 α を乗じた補正信号 $\alpha x^*(n)$ を減じることで、補正された信号 $y(n)$ を得る。このとき乗じる α は、図 5 (下) に示すように $y(n)$ の相補自己相関関数 (CACF) によって検出する。特性ミスマッチの大きさに応じた DC 値が CACF から出力されるので、これを用いることで補正を行う。そのため、CACF 前にハイパスフィルタで DC 成分を除去し、検出誤差をなくしている。さらに適応信号処理を用いて、適応ステップサイズ μ によって α を適切な値に収束させる。

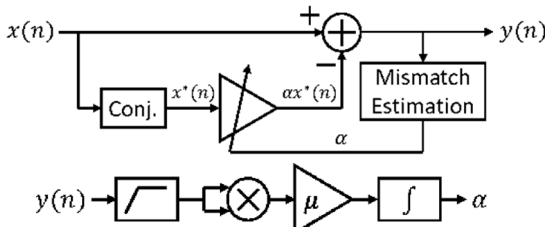


図 5. 不要波の低減構成 (上) とミスマッチの見積もり構成 (下)

(4) 帯域妨害波 ($3f_s/4$) を低減する低雑音増幅器 (LNA)

LNA の回路図を図 6 に示す。クロスカップル型差動ゲート接地 LNA (CG LNA) の入力トランジスタ (M_1 , M_2) とカスコードトランジスタ (M_3 , M_4) の間にノッチフィルタを挿入している。このフィルタの共振周波数を妨害波の周波数と一致させ、妨害波を除去する。

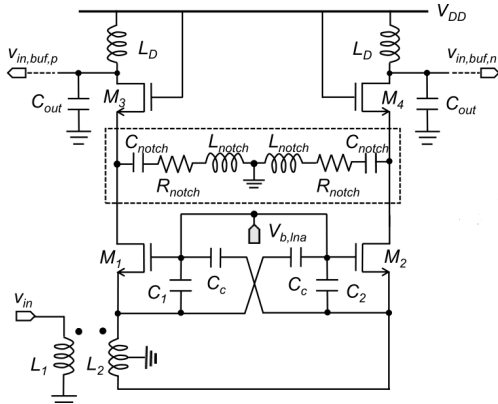


図 6. ノッチフィルタを用いた差動 LNA

4. 研究成果

(1) バックゲート VCO を用いた 0.75 V 動作 ADC

バックゲート VCO をチップ試作した (図 7)。このチップを評価基板に実装し、VCO の発振周波数と位相雑音を測定した。測定結果を表 1 に示す。発振周波数は 336 MHz から 556 MHz まで変化し、発振周波数 556 MHz で 1 MHz のオフセット周波数での位相雑音は -101.7 dBc/Hz であった。FoM (Figure of Merit) は -158.0 dBc/Hz で、これまで報告されている低電圧動作 (1.0 V 以下) のリング VCO の中で最もよく、ADC の VCO として十分な性能を得た。

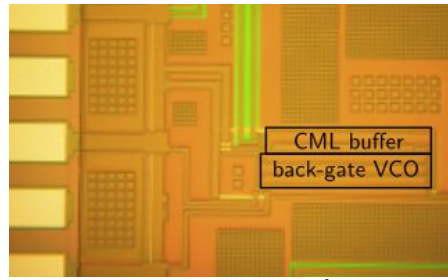


図 7. VCO のチップ写真

表 1. VCO の特性比較表

V_{DD} [V]	P_{DC} [mW]	$f_{osc,Max}$ [MHz]	Voltage control range [V]	Tuning range [MHz]	Phasenoise at 1MHz offset [dBc/Hz]
0.55	0.72	556	$-0.55 \sim 0.55$	376.9 ~ 556.0	-101.7

続いて、回路シミュレーター (Synopsys 社 VCS・CustomSim) を用いて図 3 の ADC をシミュレーションした。電源電圧とサンプリング周波数、オーバーサンプリング比をそれぞれ 0.75 V と 1.25 GHz、64 とした。振幅 0.375 V、周波数 1.221 MHz の正弦波を ADC に入力したときの出力データのスペクトラムを図 8 に示す。低周波領域で量子化雑音が抑制されているが、VCO の発振周波数の非線形性から 2 次高調波と 3 次高調波が発生している。S/R 比とそれに歪みの大きさを加えた SNDR はそれぞれ 70.59 dB と 26.10 dB で、理論式から求まる値 (70.67 dB, 26.35 dB) と一致した。

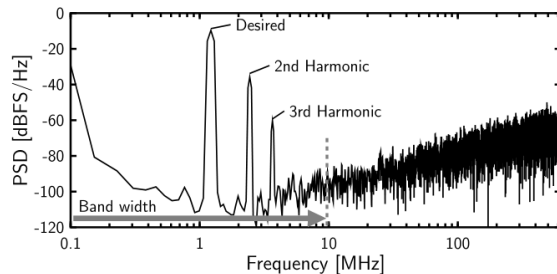


図 8. VCO ベース ADC の出力スペクトラム

(2) VCO ベース ADC の 3 次高調波の低減手法

MATLAB/Simulink を用いて、TI-ADC と低減構成の出力スペクトルをそれぞれシミュレーションした。それらの結果を図 9 に示す。この結果から、TI-ADC において 3 次歪みが基

本波の近くに生じているが(上)、また提案構成により3次歪みが約115 dB低減できていることがわかる(下)。しかし、補正信号に含まれる3次以外の高調波歪みが低減後の出力に現れるため、SFDRは47.45 dBから62.96 dBまで約15 dBの改善となった。

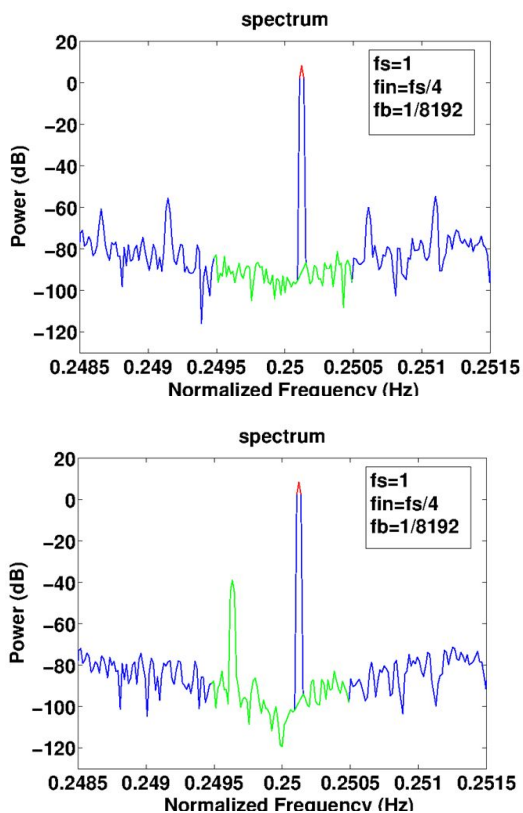


図9. 補正前の出力スペクトラム(上)、補正後の出力スペクトラム(下)

(3) TI-ADC の特性ミスマッチによる不要波の低減手法

本補正方法(図5)を市販のADC(TI社ADC 12D1800 RFRB)に適用した。ADCの出力データをロジックアナライザ(Keysight社16903A、16950A)で取得し、MATLAB/Simulink上で補正方法を適用した結果を図10に示す。補正前に現れていたスプリアス(-37.38 dBFS)が補正後に消えることを確認した。

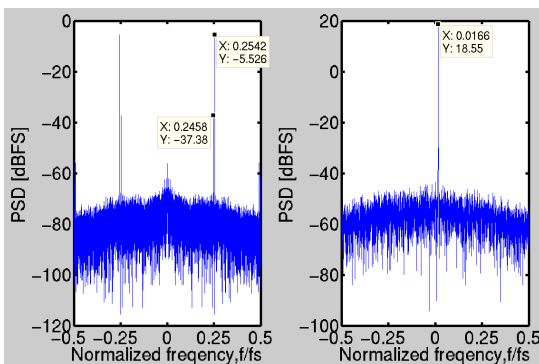


図10. ADCの出力スペクトラムの測定結果(左)補正なし、(右)補正あり

(4) 帯域外妨害波を除去するLNA

図6に示すノッチフィルタを持つLNAと持たないLNAを同一チップ上に試作した(図11)。それらの測定結果を表2に示す。ノッチフィルタにより7.88 GHzにおいて6.7 dBの減衰を得られた。

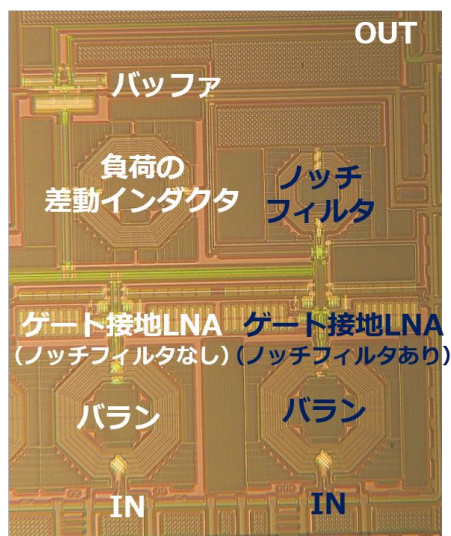


図11. LNAのチップ写真

表2. LNAの測定結果

構成	S_{11} [dB]	S_{21} [dB]	減衰量[dB]
周波数 [GHz]	2.00	2.00	7.88
目標値	<-10	>15	-
ノッチフィルタなし	-18.6	8.15	-45.7
ノッチフィルタあり	-26.5	6.91	-53.7

5. 主な発表論文等

〔雑誌論文〕(計4件)

- Tomoya Takahashi, Takao Kihara, Tsutomu Yoshimura, "Correction of Mismatches in Time-Interleaved A/D Converters for Digital-RF Receivers", Proc. 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2017), Batumi, Georgia, Dec. 2017. (査読有)
- Tsunehiro Yoshio, Takao Kihara, Tsutomu Yoshimura, "A 0.55 V Back-Gate Controlled Ring VCO for ADCs in 65 nm SOTB CMOS", Proc. 2017 IEEE Asia Pacific Microwave Conference (APMC 2017), Kuala Lumpur, Malaysia, Nov. 2017. (査読有)
- Takao Kihara, Hiroyuki Yano, and Tsutomu Yoshimura, "Design of Cascaded Integrator-Comb Decimation Filters for Direct-RF Sampling Receivers", IEEE International Symposium on Circuits and Systems Conference (ISCAS), May 2017. (査読有)
- Takao Kihara, Shigesato Matsuda,

Tsutomu Yoshimura, " Analysis and design of differential LNAs with on-chip transformers in 65-nm CMOS technology ", Proc. 2016 14th IEEE International New Circuits and Systems Conference (NEWCAS), June 2016. (査読有)

[学会発表](計 15 件)

高橋克樹, 木原崇雄, 吉村勉, " 温チップノッチフィルタを用いた差動低雑音増幅器 ", 2018 年電子情報通信学会総合大会(東京足立区, 2018 年 3 月)。
村田敏規, 高橋克樹, 木原崇雄, 吉村勉, " トランスを用いた 2.4 GHz D 級パワーアンプの出力インピーダンス整合 ", 2018 年電子情報通信学会総合大会(東京足立区, 2018 年 3 月)。
磯部佑真, 高橋知也, 吉尾恒洋, 木原崇雄, 吉村勉, " デジタル RF 受信機における CIC フィルタの設計 ", 2018 年電子情報通信学会総合大会(東京足立区, 2018 年 3 月)。
譜久山篤也, 吉尾恒洋, 木原崇雄, 吉村勉, " スタンダードセルを用いた VCO ベース A/D 変換器の設計 ", 2018 年電子情報通信学会総合大会(東京足立区, 2018 年 3 月)。
吉田一登, 宮腰佳祐, 木原崇雄, 吉村勉, " RF パルス幅変調を用いたデジタル送信機による QPSK 信号の生成 ", 電子情報通信学会 関西支部 学生会 第 23 回学生会研究発表講演会(奈良市, 2018 年 3 月)。
宮腰佳祐, 吉尾恒洋, 高橋知也, 木原崇雄, 吉村勉, " デジタル RF 受信機における A/D 変換器の高調波歪みの影響 ", 電子情報通信学会 関西支部 学生会 第 23 回学生会研究発表講演会(奈良市, 2018 年 3 月)。
高橋克樹, 木原崇雄, 吉村勉, " 帯域外妨害波を除去する差動低雑音増幅器の設計と評価 ", LSI とシステムのワークショップ 2017(東京目黒区, 2017 年 5 月)。
村田敏規, 高橋克樹, 木原崇雄, 吉村勉, " 差動低雑音増幅器と差動電力増幅器におけるバランの共有化 ", 2017 年電子情報通信学会総合大会(名古屋市, 2017 年 3 月)。
矢野裕之, 高橋知也, 木原崇雄, 吉村勉, " デジタル RF 受信機における CIC フィルタの設計 ", 2017 年電子情報通信学会総合大会(名古屋市, 2017 年 3 月)。
高橋知也, 木原崇雄, 吉村勉, " デジタル RF 受信機における時間インターリーブ A/D 変換器の特性ミスマッチ補正 ", 2017 年電子情報通信学会総合大会(名

古屋市, 2017 年 3 月)。
宮腰佳祐, 吉尾恒洋, 高橋知也, 木原崇雄, 吉村勉, " 時間インターリーブ A/D 変換器における 3 次高調波歪みの低減手法 ", 2017 年電子情報通信学会総合大会(名古屋市, 2017 年 3 月)。
吉尾恒洋, 木原崇雄, 吉村勉, " プライオリティエンコーダを用いた VCO A/D 変換器 ", 2017 年電子情報通信学会総合大会(名古屋市, 2017 年 3 月)。
高橋克樹, 木原崇雄, 吉村勉, " デジタル RF 受信機向け帯域外妨害波を除去する低雑音増幅器 ", 2016 年電子情報通信学会総合大会(札幌市, 2016 年 9 月)。
Takao Kihara, Shigesato Matsuda, Tsutomu Yoshimura, " Design Considerations of CMOS Differential LNAs with On-Chip Transformers ", 2016 年電子情報通信学会ソサイエティ大会(札幌市, 2016 年 9 月)。
松田茂郷, 高橋克樹, 木原崇雄, 吉村勉, " LNA のシミュレーション精度の向上検討 ", LSI とシステムのワークショップ 2016(東京目黒区, 2016 年 5 月)。

[図書](計 0 件)

[産業財産権]

出願状況(計 0 件)

取得状況(計 0 件)

[その他]

ホームページ等

<http://www.oit.ac.jp/www-ee/server/iclab/>

6. 研究組織

(1) 研究代表者

木原 崇雄 (KIHARA, Takao)
大阪工業大学・工学部電気電子システム
工学科・講師
研究者番号: 10736458

(2) 研究分担者

なし

(3) 連携研究者

なし

(4) 研究協力者

高橋 克樹 (TAKAHASHI, Katsuki)
大阪工業大学大学院・電気電子工学専
攻・大学院生

高橋 知也 (TAKAHASHI, Tomoya)
大阪工業大学大学院・電気電子工学専
攻・大学院生

矢野 裕之 (YANO, Hiroyuki)
大阪工業大学大学院・電気電子工学専攻・大学院生

吉尾 恒洋 (YOSHIO, Tsunehiro)
大阪工業大学大学院・電気電子工学専攻・大学院生

宮腰 佳祐 (MIYAKOSHI, Keisuke)
大阪工業大学大学院・電気電子機械工学専攻・大学院生

村田 敏規 (MURATA, Toshiki)
大阪工業大学大学院・電気電子機械工学専攻・大学院生

吉田 一登 (YOSHIDA, Kazuto)
大阪工業大学大学院・電気電子機械工学専攻・大学院生

磯部 佑真 (ISOBE, Yuma)
大阪工業大学・工学部電気電子システム工学科・学部生

譜久山 篤弥 (FUKUYAMA, Tokuya)
大阪工業大学・工学部電気電子システム工学科・学部生