

令和元年6月4日現在

機関番号：12612

研究種目：若手研究(B)

研究期間：2016～2018

課題番号：16K18076

研究課題名(和文) 族半導体を用いた格子整合ヘテロエピ結晶成長技術の開発と高速量子素子への応用

研究課題名(英文) Group-IV lattice-matched heterostructure and its application to high-frequency devices

研究代表者

塚本 貴広 (TSUKAMOTO, TAKAHIRO)

電気通信大学・大学院情報理工学研究科・助教

研究者番号：50640942

交付決定額(研究期間全体)：(直接経費) 3,200,000円

研究成果の概要(和文)：本研究では、GeSiSnの結晶成長技術を開発することで、格子定数整合系の 族ヘテロ接合を実現し、高性能な量子井戸積層デバイスの特性を取得することを目的とした。Geに格子定数整合した GeSiSnの結晶成長技術を開発し、良好な界面を有するGeSiSn/Ge量子井戸の形成に成功した。量子井戸積層デバイスとして、Geを量子井戸としGeSiSnを障壁層とした共鳴トンネルダイオード(RTD)の開発に取り組み、RTD素子の特長である微分負性抵抗の取得に成功した。本研究結果より、格子定数整合系の 族量子井戸積層デバイスの動作実証に成功し、格子定数整合系 族ヘテロ接合デバイスという新しい分野の開拓が期待される。

研究成果の学術的意義や社会的意義

本研究結果では、大面積成膜可能な物理体積法であるスパッタエピタキシー法を用いたGeSiSn薄膜結晶成長の物理を明らかにし、 族半導体における格子定数整合系ヘテロエピ結晶成長技術を確立し、量子効果デバイス作製に向けた結晶成長の技術的指針を提案した。本研究で開発したRTD素子はミリ波・テラヘルツ波帯の発振デバイスの有力な候補であり、従来のSi CMOS回路への搭載やSiプロセス技術の転用による低コスト化といった理由から安価で汎用的な高周波デバイスが新規開発され、高速無線通信や車載レーダ、ミリ波・テラヘルツ波を用いたセンサデバイスの実用化の促進やさらなる市場の拡大が期待される。

研究成果の概要(英文)：In this study, we aimed to develop a growth technique of GeSiSn layers and fabricate quantum well devices composed of GeSiSn. At first, we formed GeSiSn layers lattice-matched with Ge, and successfully obtained lattice-matched GeSiSn/Ge quantum well structure with a good interface. Then, we fabricated a resonant tunneling diode (RTD) using Ge as a quantum well and GeSiSn layer as a barrier layer, and obtained a differential negative resistance that is a feature of RTD devices. From these results, we have successfully demonstrated the operation of the group IV lattice-matched quantum well devices, and it is expected to develop a new group IV heterojunction device.

研究分野：電子材料工学

キーワード：GeSiSn 共鳴トンネルダイオード RTD スパッタエピタキシー法

様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

1. 研究開始当初の背景

情報化社会の促進に伴い、ひっ迫してきた周波数資源や無線通信における大容量伝送のため、ミリ波帯 (30-300GHz) やテラヘルツ波帯 (300GHz-10THz) における周波数資源の開拓が求められており、汎用性が高く安価な Si 系 族半導体での実現が必要である。テラヘルツ応答が期待される共鳴トンネルダイオード (RTD) 素子開発において、 III-V 族半導体は格子定数とバンドギャップを独立に制御可能であるため、優れた量子効果が獲得でき、1.5THz を超える動作が可能である。 III-V 族半導体により構成された RTD 素子においても、室温での RTD 特性が報告され、最大周波数は 20 GHz 程度である。Si と SiGe の格子不整合に起因した欠陥生成が性能向上のボトルネックであった。本研究では、 III-V 族半導体において、格子定数とバンドギャップが独立に制御可能なヘテロエピ結晶成長技術を確立し、低欠陥で高性能な量子効果デバイスの実現を試みた。

2. 研究の目的

本研究では、 III-V 族半導体における格子定数整合系ヘテロエピ結晶成長技術の確立と共鳴トンネルダイオード (RTD) への応用を試みた。Si, Ge, Sn の 3 元素を用いることにより、格子定数とバンドギャップを独立に制御可能な III-V 族半導体ヘテロエピ結晶成長技術を実現し、格子定数整合した III-V 族半導体高速量子素子の開発を試みた。また、Si や SiGe よりも高周波応答が期待される Ge を量子井戸に用いることにより、高性能な III-V 族 RTD 素子の開発を試みた。

3. 研究の方法

本研究では、GeSiSn 薄膜の形成技術を開発し、量子効果デバイスの試作に取り組んだ。GeSiSn 薄膜の形成においては、大面積に成膜可能な物理体積法であるスパッタエビタキシー法を採用し、成膜温度などの条件が薄膜形成に及ぼす効果について調べた。Ge に格子定数整合する GeSiSn 薄膜の形成条件を明らかにし、量子井戸積層構造の作製を試みた。GeSiSn の格子定数は Si, Ge, Sn の成膜速度により制御した。そして、Ge を量子井戸、GeSiSn を障壁層とした RTD 素子を試作し、特性取得を試みた。また、n 型 RTD 試作において、n-Ge 基板におけるオーミック電極形成技術の開発にも取り組んだ。

4. 研究成果

本研究では、GeSiSn の結晶成長技術を開発することで格子定数整合系の III-V 族ヘテロ接合を実現し、高性能な量子井戸積層デバイスを実現することを目的としている。量子井戸積層デバイスとして、Ge を量子井戸、GeSiSn 層を障壁層とした共鳴トンネルダイオード (RTD) を開発する。RTD 素子の開発では、Ge 量子井戸における障壁のポテンシャルが増大すると、熱放射電流を抑制した良好なトンネル現象が得られる。そのため、Ge に格子定数整合したバンドギャップの大きな GeSiSn 薄膜形成技術の開発は RTD 素子特性の向上において重要である。GeSiSn 薄膜の格子定数とバンドギャップは、Si, Ge, Sn の組成比から決定され、Ge との格子定数整合条件下では Sn 組成比の増大に伴いバンドギャップは増大する。まず、Ge に格子定数整合した Sn 組成比の高い GeSiSn 薄膜の結晶成長に取り組んだ。GeSiSn の組成比は、Si, Ge, Sn のそれぞれの成膜速度により制御した。GeSiSn の格子定数は X 線回折逆格子マップ測定により評価し、Ge に格子定数整合した GeSiSn 薄膜の形成条件を調べた。GeSiSn の組成比は X 線光電子分光法 (XPS) やラザフォード後方散乱分析法 (RBS) により評価した。結果として、Ge に格子定数整合した 12% の Sn 組成比の GeSiSn 薄膜の形成に成功し、伝導体で 0.2 eV、価電子帯で 0.15 eV のバンドオフセットが期待される格子定数整合系の GeSiSn/Ge ヘテロ接合を実現した。次に、Ge を量子井戸とし、GeSiSn 層を障壁層とした RTD 素子の透過型電子顕微鏡 (TEM) による構造解析を行った。RTD 構造は、Ge/GeSiSn 障壁層/Ge 量子井戸/GeSiSn 障壁層/Ge 構造であり、Ge 量子井戸及び GeSiSn 障壁層の膜厚はそれぞれおよそ 2nm とした。TEM 観察により、RTD 構造に

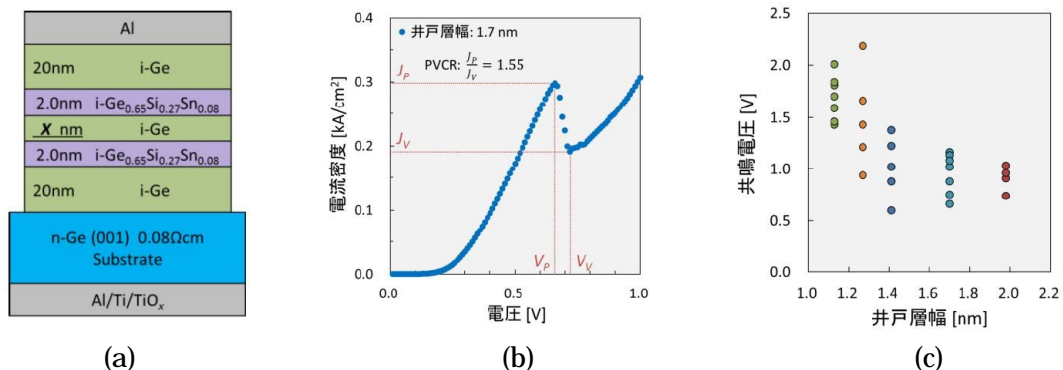


図 1. (a)試作した n 型 RTD デバイスの素子構造 . (b)得られた RTD 特性 . (c)共鳴電圧と Ge 量子井戸幅の関係 .

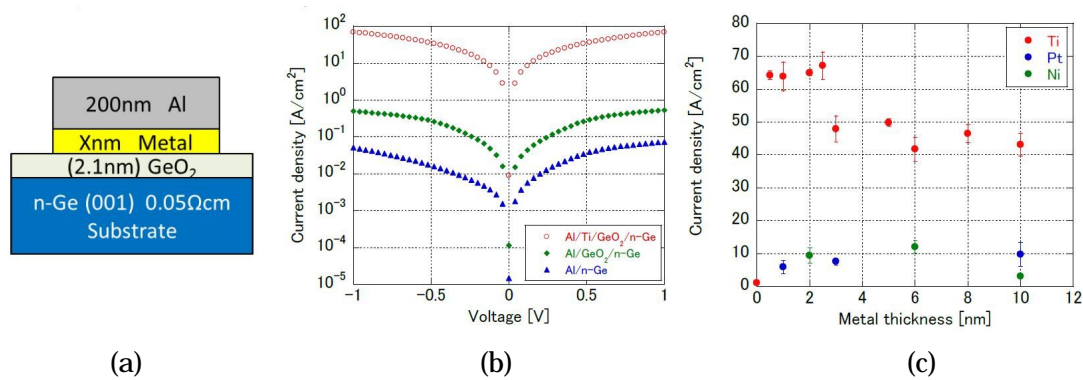
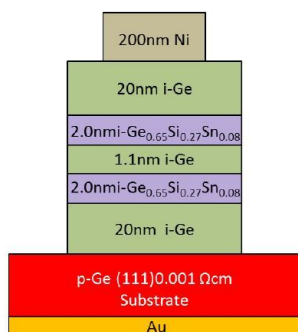


図 2 . (a)提案した MIS 構造の断面モデル図 . (b)得られた電流特性 . (c)金属膜厚と電流密度の関係 .

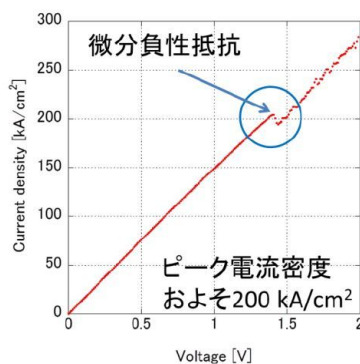
において、均一で急峻な界面をもつ量子井戸が形成していることを確認した。GeSiSn/Ge ヘテロ接合において、数ナノメートルの量子構造形成が可能であることを明らかにした。

Fig.1(a)に示す Ge_{0.65}Si_{0.27}Sn_{0.08} を障壁層とした GeSiSn/Ge n-RTD 素子を作製した。成膜温度は 300 とし、平坦性及び GeSiSn と Ge の格子定数整合は原子間力顕微鏡 (AFM) と X 線回析法 (XRD) により評価した。Fig.1(a)に示す GeSiSn/Ge 積層構造を形成し、AFM による表面形状観察を行った結果、RMS 値はおよそ 0.2 nm と平坦であることがわかった。XRD 逆格子マッピングにより、GeSiSn 薄膜と Ge 基板の格子定数整合を確認した。Ge 量子井戸層の膜厚を 1.1 nm から 2.0 nm の間で変化させ、n-RTD の素子特性の取得を行った。得られた RTD の素子特性を Fig.1(b)に示す。およそ 0.7 V の印加電圧において急激な電流の減少が観察され、GeSiSn/Ge RTD において微分負性抵抗の取得に成功した。Ge 量子井戸の幅と共鳴電圧の関係を Fig.1(c)に示す。井戸幅が狭くなるにつれて Ge 量子井戸における離散化エネルギー準位が上昇し、共鳴電圧が高電圧側にシフトする傾向を得た。これらの結果より、本研究で作製した格子定数整合系 GeSiSn/Ge ヘテロ接合デバイスにおいて、良好な RTD 素子特性の取得に成功した。

次に、電流密度向上に向けた直列抵抗の低減として、オーミック電極形成技術の開発に取り組んだ。フェルミレベルピニング (FLP) により金属/n-Ge 界面において、オーミック接触が得られないといった課題がある。FLP の緩和には金属/Ge 界面への酸化膜の挿入が効果的であり、直列抵抗の低減に向けた金属/GeO₂/n-Ge 電極構造の検討を行った。本研究では、金属/GeO₂/n-Ge 電極構造における Ti 薄膜の効果について取り組んだ。Fig.2(a)に示す Al/GeO₂/n-Ge 界面に Ti、Ni および Pt を形成した試料を作製し、電流特性の評価を行った。GeO₂ の形成条件として、O₂ 雰囲気中で 400 、20min でアニールを行った。Ti を挿入することにより、Al/GeO₂/n-Ge 電極構造に比べて二桁程度の電流密度の増加を確認した (Fig.2(b))。また、XPS 分析の結果から、Ti を挿入した方が酸素の拡散が抑制されることがわかった。還元力の低い Ti を用いることで、酸素の拡散を抑制し、急峻な酸化物/Ge 界面を形成することで、フェルミレベルピニングの緩和による接触抵抗の低減ができたと考えられる。Fig.2(c)に Al/GeO₂ 界面に Ti、Ni および Pt を挿入した構造の印加電圧 1V での金属の膜厚と電流密度の関係を示す。Ni 及び Pt の場合は電流密度は小さいが、Ti においては比較的大きな電流密度を得ることに成功した。これは、Al/GeO₂/n-Ge 界面に挿入する金属の酸化還元力と仕事関数が接触抵抗に影響していると考えられる。さらに、Ti が薄い領域 (膜厚 0.5 - 2.5 nm) で電流密度が増加することがわかった。これは、Ti の膜厚により、GeO₂ の酸化度に変化が起きていることを示唆しており、Ti が薄い領域において良好な電流特性が得られることがわかった。



(a)



(b)

図3 . (a)試作した p 型 RTD デバイスの素子構造 . (b)得られた RTD 特性 .

また、直列抵抗の低減として、電極においてオーミック特性の得やすい p 型 RTD の開発を行った。量子井戸部は n-RTD 素子と同じ構造であり、Ge 基板を p 型基板に変更した。作製した GeSiSn/Ge p-RTD の素子構造を Fig.3(a)に示す。GeSiSn 障壁層及び Ge 量子井戸の膜厚は、それぞれ 2.0 nm 及び 1.1 nm とした。GeSiSn/Ge 積層構造は TEM 観察しており、急峻な量子井戸積層構造が形成されていることを確認している。GeSiSn 及び Ge の格子定数整合条件は、XRD 測定により確認した。上部電極 Ni を成膜する前の RTD 上部の平坦性は、RMS 値がおよそ 0.2 nm と良好な平坦性を実現している。Fig.3(b)に取得した RTD 特性を示す。印加電圧 1.4 V において微分負性抵抗を得ており、200 kA/cm² を超える高いピーク電流密度を取得した。GeSiSn/Ge n-RTD に比べて共鳴電流密度が増加しており、これは p-RTD 素子における接触抵抗が n-RTD 素子に比べ低いことが要因と考えられる。GeSiSn/Ge p-RTD において n-RTD より高いピーク電流密度が得られることを示した。

本研究では、RTD 素子の特長である微分負性抵抗の取得に成功しており、RTD 特性における量子井戸幅依存性も取得し、量子効果の発現を確認している。本研究成果より、格子定数整合系の族量子井戸積層デバイスの動作実証に成功し、格子定数整合系 族ヘテロデバイスという新しい分野の開拓が期待される。

5 . 主な発表論文等

〔学会発表〕(計 5 件)

栗原祥太, 脇谷実, 塚本貴広, 須田良幸 : 格子定数整合 GeSiSn/Ge 系 p-RTD の試作, 第 65 回応用物理学会春季学術講演会(2018.3)

栗原祥太, 塚本貴広, 須田良幸 : 金属/GeO₂/n-Ge 電極構造における Ti 薄膜の効果, 第 65 回応用物理学会春季学術講演会(2018.3)

Takahiro Tsukamoto, Nobumitsu Hirose, Akifumi Kasamatsu, Toshiaki Matsui, Yoshiyuki Suda: Formation of lattice-matched GeSiSn/Ge quantum well structure by sputter epitaxy method, Materials Research Society Fall Meeting, Boston, USA(2017.11)

Takahiro Tsukamoto, Nobumitsu Hirose, Akifumi Kasamatsu, Toshiaki Matsui, Yoshiyuki Suda: Epitaxial growth of GeSn and GeSiSn by sputter epitaxy method, 2017 EMN/CC Barcelona Meeting Energy Materials Nanotechnology, Barcelona, Spain, pp. 21-22(2017.9)

羽田一暁, 塚本貴広, 広瀬信光, 笠松章史, 松井敏明, 須田良幸 : 格子定数整合系 GeSiSn/Ge n-RTD の作製, 第 64 回応用物理学会春季学術講演会(2017.3)