

令和元年6月4日現在

機関番号：13901

研究種目：若手研究(B)

研究期間：2016～2018

課題番号：16K18077

研究課題名(和文) 光容量法を用いた III-V族系半導体結晶における深い欠陥準位の解明

研究課題名(英文) Investigation of Deep Levels in III-V Semiconductors Crystal using Photo Capacitance Method

研究代表者

出来 真斗 (Deki, Manato)

名古屋大学・未来材料・システム研究所・助教

研究者番号：80757386

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：光容量法およびDLTS法を用いて窒化物半導体における深い準位の測定および絶縁膜/GaN界面における界面準位測定を行った。光容量測定装置およびDLTS測定装置を構築し、GaN-SBDにおける深い準位測定を行った結果、光容量測定に置いて、DLTS法では確認できなかった1～2eVの深い準位の測定に成功した。また、絶縁膜/GaN界面における深い準位に関しては、CV法を用いてALD-GaN MOSキャパシタの界面準位を測定した。界面準位を評価した結果、オゾン曝露試料において、ヒステリシスが改善され、VFBも理想値に近づき、DMOSFETにおけるチャネル移動度向上を達成した。

研究成果の学術的意義や社会的意義

これまでの光容量法に関する報告では、欠陥密度の光子エネルギー依存性を測定する際に、1つの光子エネルギーあたり5分程度の測定時間を要していたが、本測定では0.5sec程度の時間スケールで静電容量の過渡応答を測定するため、測定時間を短縮可能であり、研究の加速化が図れる。今回申請者が提案した装置を用いることで、DLOS、DLTS、およびMCTSから得られた欠陥準位とデバイス特性との対応が取れると予想される。一方で、これらの測定手法を統合的に用いて GaNデバイス中の結晶欠陥分布と起源を明らかにする報告は無く、世界に先駆けて GaNパワーデバイス実現に向けた意義ある研究と言える。

研究成果の概要(英文)：We investigated deep levels in nitride semiconductors crystal using DLTS and photo capacitance methods. We prepared n-type schottky barrier diodes and MOS capacitors with Al₂O₃ gate insulators. DLTS and Photo capacitance measurement systems were fabricated, and deep levels which more than 1.5eV were detected by photo capacitance method. In addition, we measured interface state density in Al₂O₃/GaN interface. Hysteresis of CV curve and VFB were decreased by O₃/UV exposure process for 1min. From the XPS measurements, Ga₂O_x can improve interface property by this process. Finally, channel mobility of DMOSFET increased with O₃/UV exposure process.

研究分野：電子工学

キーワード：窒化ガリウム 深い準位 DLTS DLOS SSPC MOSFET 界面準位

様式 C-19、F-19-1、Z-19、CK-19（共通）

1. 研究開始当初の背景

ワイドバンドギャップ半導体は、低損失化を達成する材料として注目されている。とりわけ、GaN は優れた材料物性から低損失パワーデバイス材料の最有力候補となっている。GaN パワーデバイスは Si パワーデバイスと比較して大幅な高周波数化および低消費電力化が期待できる。しかしながら、GaN パワーデバイスの動作信頼性を低下させる現象の一つとして、電流コラプスが挙げられる。電流コラプスとは動作オフ時の HEMT において、絶縁膜と AlGaIn の界面や、GaN 膜中に存在する深い準位に電子が捕獲され、負に帯電することでドレイン電流が低下する現象である。また、電流コラプスはドレイン・ソース間に印加する電界強度が大きいほど顕著に現れることが知られている。したがって、GaN パワーデバイスにおいて、深い欠陥準位の存在はデバイス特性やデバイス信頼性に大きく影響する。以上のことから、GaN を用いたデバイス中に存在する深い欠陥準位に関する起源を明らかにし、電流コラプスの対策を講じることは動作信頼性の担保に必要不可欠である。

2. 研究の目的

半導体膜中や絶縁膜-半導体界面における深い欠陥準位を測定する手法には DLTS 法が広く用いられている。しかしながら、GaN デバイス中における欠陥のエネルギー準位と、その欠陥の起源に関しては完全に明らかになっていない。この理由は、DLTS 法などの熱でキャリアを発生させる測定手法では、およそ 1eV までのエネルギー深さの準位までしか測定することが出来ず、GaN の広いバンドギャップ全体に渡っての評価が困難であるためである。前述の問題点を解決するため、既存の DLTS 法に加えて、光容量法の一つである DLOS 法を用いることにより、GaN 膜中や絶縁膜-AlGaIn 界面における深い結晶欠陥を定量的に評価することを目的とする。

これまでの DLOS 法を用いた GaN 系半導体の結晶欠陥に関する研究動向は、中野らが AlGaIn/GaN 界面における欠陥のエネルギー準位に関して報告している(Nakano et al., Appl. Phys. Exp., 1, 091101 (2008))。一方で、絶縁膜/AlGaIn 界面および GaN 膜中のバンドギャップ全体に渡る深い欠陥準位分布とその起源に関しては、世界的にも結論が出ていない現状である。

我々は名古屋大学において、光を用いて GaN 膜中に存在する深い欠陥準位の評価に関する研究を行ってきた。具体的には GaN-SBD を作製し、逆方向へバイアス印加した状態の GaN-SBD に分光した単色光を照射することで、定常状態における光容量(SSPC)測定を行い、GaN 膜中の電気的な欠陥密度測定を行ってきた。

図 1 に測定した SSPC 信号を示す。図 1 において 3.4eV 付近において GaN バンド間励起に起因するピークが確認された。加えて入射光子エネルギー 2.0~3.2eV の範囲において深い欠陥準位がブロードに存在することが明らかになった。以上の結果から、これまで報告例の少ない GaN エピ膜中の 1eV 以上の非常に深い欠陥準位における密度に関する知見を得ることが出来た。しかしながら、深い欠陥準位の起源を解明するためには、正確な欠陥準位の同定も重要である。Lucovsky らの報告によると、DLOS 法により得られる光子捕獲断面積から欠陥のエネルギー準位を同定可能であることを報告している(G. Lucovsky, Solid State Commun. 3, 299(1965))。申請者は欠陥の起源の違いによって光子捕獲断面積が異なることに着目し、DLOS 法を用いて欠陥準位を正確に同定することで欠陥の起源を明らかにして、欠陥評価からの知見を高品質な GaN エピタキシャル膜の作製技術にフィードバックし、GaN デバイス実現に向けた研究が加速できると着想した。

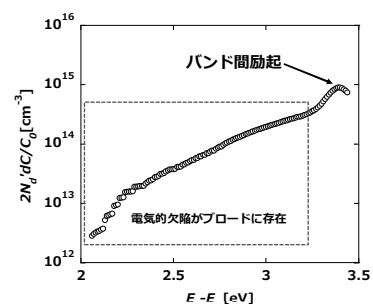


図 1: GaN 膜中欠陥濃度の
入射光子エネルギー依存性

3. 研究の方法

第1に DLOS および DLTS 装置の構築を行う。欠陥の光子捕獲断面積を詳細に同定するためには、静電容量の過渡応答を正確に測定する必要がある。現在使用している SSPC 測定装置を流用し、過渡応答の分解能が高い装置を構築する。第2に欠陥濃度の異なる GaN-SBD および MIS キャパシタを作製する。構築した DLOS 測定装置において試料の深い欠陥準位密度を比較するため、エピタキシャル成長時に不純物である炭素等を導入する。第3に構築した装置を用いて、作製した試料の結晶欠陥密度および準位に関して評価する。第4に DLTS 装置を改造し、MCTS 測定装置を構築する。最終的に DLOS、DLTS、および MCTS 評価結果の知見とデバイス特性との相関を調べることにより、GaN のバンドギャップ全体における欠陥準位分布を明らかにする。

4. 研究成果

【DLTS 装置の構築】

平成 28 年度は DLTS・DLOS システムの構築を行った。DLTS 測定は、ホール測定用クライオチャンバーに試料を導入し、静電容量を高速容量メータにより測定した。静電容量は NI 製 16bit の DAQ を用いて D/A 変換を行った。測定に用いた試料は n タイプ GaN 基板の上に $5\mu\text{m}$ のエピを有する n タイプ GaN ショットキーダイオードである。図2に測定した DLTS 信号および図3に点欠陥の活性化エネルギーを示す。78~430K における測定結果から、 $E_c - E_t = 150\text{meV}$ 、 570mV の E1 および E3 センターを検出し、その密度は $5E+14\text{cm}^{-3}$ であった。E1 センターに関しては GaN 中における貫通転位起因、E3 センターに関しては窒素空孔起因の真性欠陥であると報告されている。

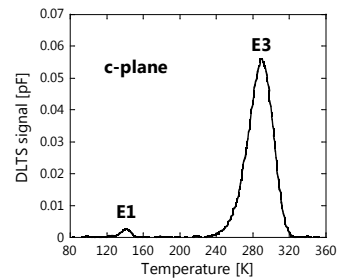


図2: c 面 GaN-SBD における

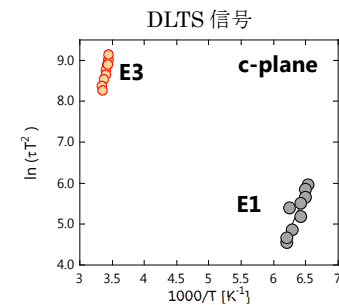


図3: アレニウスプロット

【DLOS 装置の構築】

GaN-SBD にキャパシタンスメータを接続し、単色光入射時における静電容量の過渡応答を測定する。16bit・2MS/秒の DA コンバータにて測定精度向上を図った。また、アテネータおよびパワーメータを用いて各光子エネルギーに対する光子密度を一定にして試料に照射可能になっている。

構築した DLOS システムを用いて、GaN/sapphire ウエハ上に作製した GaN-SBD の欠陥評価を行った。SBD における光容量の時分解信号を測定した。エミッションレート e_n^0 を測定することによって、各光子エネルギーに対する欠陥の光学的捕獲断面積を測定した。得られた $h\nu - \sigma$ グラフから欠陥の光学的活性化エネルギー E_i を見積もった。

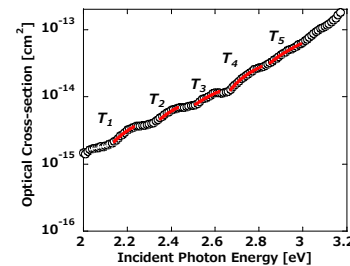


図4: DLOS 測定結果

図4に測定した DLOS スペクトルを示す。図4に置いて、DLTS 法では測定不可能な $T_1 \sim T_5$ の欠陥が観測され、その光学的活性化エネルギーは $T_1 = 1.95$ 、 $T_2 = 1.96$ 、 $T_3 = 2.21$ 、 $T_4 = 2.60$ 、 $T_5 = 2.78\text{eV}$ であった。 T_4 における欠陥は炭素起因欠陥であると報告されている。

【m 面における GaN-SBD の DLTS 測定】

平成 29 年度において、GaN-SBD を作製した。GaN-SBD に関しては、c 面および m 面の GaN 基板の上にドナー濃度 $1E+16\text{cm}^{-3}$ 程度の n 型 GaN エピ膜を成長し作製した。m 面における MOVPE を用い

た結晶成長に関しては、酸素取り込みを防ぐため、c 面および a 面方向にオフ角を有する基板を用いた。c 面および m 面 GaN 基板上 SBD の電気特性は理想係数が 1.1 程度であり、逆方向リーク電流も熱電界放出モデルと一致することが分かった。この GaN-SBD に対して、深い準位の測定を行った。測定結果を図 5 に示す。図 5 において DLTS 測定で得られた m 面 GaN 基板上 SBD の結果は c 面 GaN 基板上にて報告されている E_3 センター ($E_c - E_t = 0.57\text{eV}$) と非常に近く、同起源の点欠陥であると結論付けた。加えて、m 面においては c 面 SBD で現れた E_1 センターが検出できなかった。これは用いた基板が HVPE 法を用いて c 面成長させた基板を m 面方向に劈開し成長させたため、m 面方向に伝搬する転位が減少したためであると考えられる。この成果は 10th IWBN (2017 年 9 月 18 日、エスポー) にて報告した。

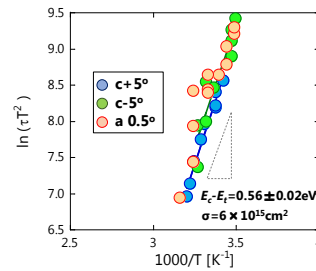


図 5 : m 面における DLTS 測定結果

【c 面および m 面における GaN-MOS キャパシタにおける深い界面準位の測定】

GaN-MIS キャパシタを作製し、Hi-Lo 法により界面準位密度を測定した。MIS 界面の準位密度を低減させるため、ALD 装置を用いてアルミナ膜を堆積させ、低界面準位密度の GaN-MIS キャパシタの作製を行った。図 6 に CV 特性の周波数分散および Hi-Lo 法より算出した界面準位密度の測定結果を示す。ALD- Al_2O_3 膜をデポした直後においては、界面準位は $10^{12}\text{eV}^{-1}\text{cm}^{-2}$ 程度であったが、 400°C 1 時間の熱アニールによって $10^{10}\text{eV}^{-1}\text{cm}^{-2}$ 以下まで低減可能であることが明らかになった。加えて、m 面 GaN 基板上 GaN-MIS キャパシタに関しては a 軸方向に 0.5 度のオフ角を設けた基板における試料が、 Al_2O_3 膜の高絶縁破壊電界強度および低界面準位密度を達成できることを明らかにした。以上の成果は、12th ICNS (2017 年 7 月 24 日、ストラスブール)、ICMaSS 2017 (2017 年 9 月 29 日、名古屋) にて報告した。

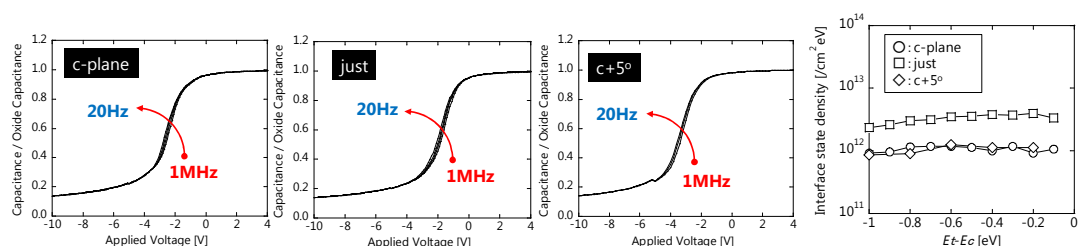


図 6 : c 面および m 面 GaN-MOS キャパシタにおける CV 特性評価結果および界面準位測定結果

【プロセスによって生じる界面準位の測定に関して】

平成 30 年度において、GaN キャパシタを作製し、その界面における深い準位の測定を行った。GaN 表面に O_3 ガスおよび O_2 プラズマを曝露することによって表面に酸化層を形成し、界面準位の低減を試みた。試料作製プロセスに関しては、用いた基板は HVPE 法を用いて成長させた n 型 GaN 基板であり、MOVPE 法を用いて実効ドナー濃度 $5\text{E}+16\text{cm}^{-3}$ 程度の n 型エピ層を成長させた。ウエハを RCA 洗浄後、原子層堆積法 (ALD 法) を用いて Al_2O_3 膜を 50nm 堆積させ、ゲート電極 (Ni/Au) および裏面電極 (Al) を蒸着し、GaN-MIS キャパシタを作製した。 O_3 曝露試料に関して

は、ALD-Al₂O₃ 堆積前に UV-1 を用いてオゾン曝露を行い、酸化層を形成した。また、Post deposition Anneal (PDA) の効果を検証するため、300~600°Cにおいて1時間の PDA 処理を行った。図 7 に作製した試料の C-V 特性を示す。As-depo. 試料に置いてはヒステリシスおよび高温 PDA 処理に置いて C-V 特性が悪化し、Al₂O₃ 膜の多結晶化が懸念される。一方、O₃ 1min 処理においてはフラットバンドシフトが負方向に発生し、酸化膜/GaN 界面に正の固定電荷が発生していると考えられるが、ヒステリシスが改善され、PDA 処理によって理想的なフラットバンド電圧にシフトすることが明らかになった。また、O₃ 20min 処理に置いては、PDA 処理によってフラットバンド電圧は改善するものの、ヒステリシスは改善されなかった。

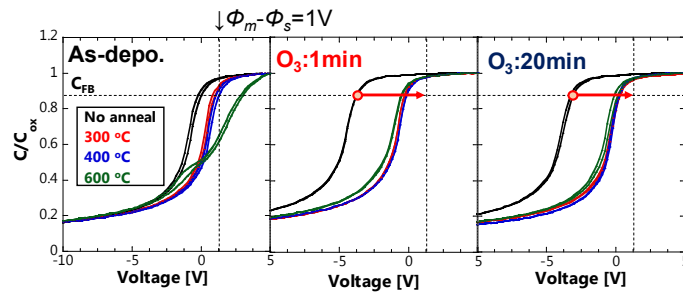


図 7 : 試料の C-V 特性測定結果

O₃/UV 処理時間に対してヒステリシスおよびフラットバンド電圧シフトを測定した結果を図 8 に示す。図 8 において、O₃/UV 処理時間が 1min の条件において最もヒステリシスが改善され、300°C以上の PDA 条件においてフラットバンド電圧が-1V 程度まで回復することが分かる。より長時間の O₃ 曝露処理においては C-V 特性が悪化し、PDA 処理を用いてもヒステリシスは改善されない。

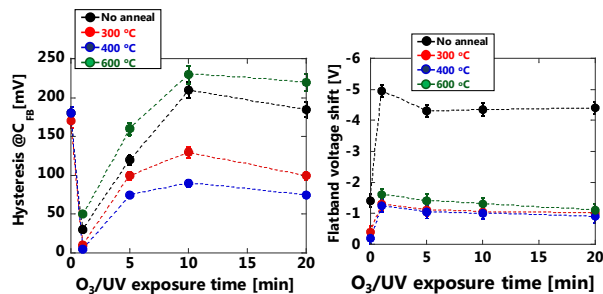


図 8 : ヒステリシスおよびフラットバンド電圧の O₃/UV 処理時間依存性

図 9 に O₃/UV 処理後における XPS 測定結果を示す。As-depo. 試料と比較して、O₃/UV 曝露条件に置いては、酸化ガリウム層に起因する強度が増加していることが分かる。C-V 特性において確認された O₃/UV 処理におけるヒステリシスの改善およびフラットバンド電圧の変動は、界面における酸化ガリウム層に起因していると結論付けた。

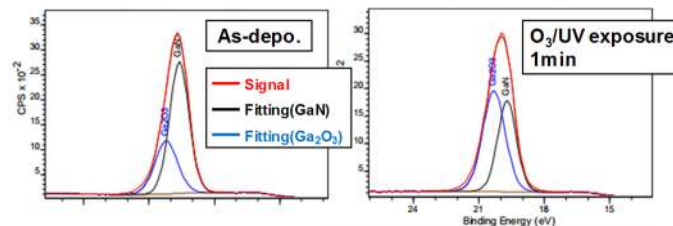


図 9 : GaN-MOS における XPS 測定結果

加えて、Hi-Lo 法によって見積もった界面準位密度は、オゾン曝露を行った試料に関しては、伝導帯下端から 1eV 程度のエネルギー領域において、界面準位密度が 11 乗から 10 乗台程度の低界面準位密度を達成することが出来た。 O_3 曝露によって酸化層が形成され、GaOx/GaN 界面が良好な界面特性を示すことが明らかになった。この成果は、ISGN-7（2018 年 8 月 9 日、ワルシャワ）にて報告した。

界面酸化層形成プロセスによるトランジスタの移動度向上効果を確認するため、MOSFET を作製し、移動度を検証した。作製した MOSFET は縦型 DMOSFET であり、絶縁膜には Al_2O_3 および界面に O_3/UV 処理を行ったものを用いた。図 10 に DMOSFET における静特性を示す。UV/ O_3 処理によって gm の改善が確認され、MOS キャパシタで得られた界面準位の低減効果が MOSFET においても確認された。

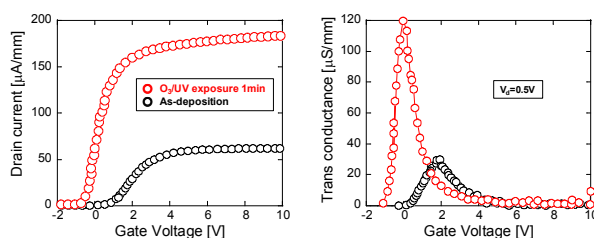


図 10：DMOSFET における I_d - V_g 特性および g_m - V_g 特性評価結果

5. 主な発表論文等

〔雑誌論文〕（計 7 件）

[1] Yoshihiro Ueoka, **Manato Deki**, Yoshio Honda, and Hiroshi Amano, “Improvement of breakdown voltage of vertical GaN p-n junction diode with Ga 2 O 3 passivated by sputtering”, Japanese Journal of Applied Physics, **57**, 70302, (2018)

他 5 件

〔学会発表〕（計 8 件）

[1] **M. Deki**, Y. Ando, K. Nagamatsu, A. Tanaka, M. Kushimoto, S. Nitta, Y. Honda, and H. Amano, Deep Levels in Homoepitaxial m-plane GaN Schottky Barrier Diodes, 10th International Workshop on Bulk Nitride Semiconductors, Oral, 2017/09/18, Espoo, Finland, (Aalto University)

他 7 件

〔その他〕

ホームページ等

研究奨励賞 「オフ角を有する m 面 GaN 基板上 GaN-MOS キャパシタの界面準位評価」, 第 10 回 ナノ構造・エピタキシャル成長講演会, 名古屋大学, 2018/07/30

※科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。