

平成 30 年 6 月 20 日現在

機関番号：12601

研究種目：若手研究(B)

研究期間：2016～2017

課題番号：16K18085

研究課題名(和文) 強誘電HfO₂による急峻スロープFETの低消費電力回路と混載FeRAMの設計実証研究課題名(英文) Research and development of ultralow power circuit built by steep subthreshold slope FET and embedded FeRAM based on ferroelectric HfO₂ thin film

研究代表者

小林 正治 (Kobayashi, Masaharu)

東京大学・生産技術研究所・准教授

研究者番号：40740147

交付決定額(研究期間全体)：(直接経費) 3,200,000円

研究成果の概要(和文)：本研究ではIoT向けセンサノードデバイスにおける集積回路の飛躍的な超低消費電力化に向けたトランジスタおよびメモリ技術の研究開発を行った。トランジスタについては、0.2V以下で動作する負性容量トランジスタの設計指針を明確にし、また実際に試作・実証を行い急峻サブスレシヨルド特性を実現するとともに、動作原理に関する新しい物理メカニズムの提案を行った。メモリについては、待機時の消費電力を極限まで抑える不揮発性SRAMを設計・試作、動作実証に成功した。トランジスタ・メモリともに強誘電体HfO₂薄膜を用いたところが特徴であり低コストな低消費電力デバイスの実現性・有用性を示した点で工学上重要な成果を上げた。

研究成果の概要(英文)：We have studied and developed transistor and memory technology for ultralow power integrated circuit system in IoT sensor node module. For transistor, we have clarified device design guideline of negative capacitance FET (NCFET) which can operate at below supply voltage 0.2V. We have fabricated and demonstrated NCFET with steep subthreshold slope, and proposed new physical mechanism on device operation principle. For memory, we have successfully designed, fabricated and demonstrated non-volatile SRAM cell which can significantly suppress standby leakage. Both for transistor and memory, we have introduced ferroelectric HfO₂ thin film which enables very low cost process integration for manufacturing. The above-mentioned results are important achievements demonstrating possibility and usefulness and will open new paths for very low-cost ultralow power device technology

研究分野：集積ナノエレクトロニクス

キーワード：低消費電力 負性容量トランジスタ 不揮発性メモリ 強誘電体 酸化ハフニウム

1. 研究開始当初の背景

Internet-of-Things(IoT)において用いられるセンサーノードデバイスの数は一兆個のオーダーになるため、個々のセンサーノードデバイスには極めて低い消費電力が要求される。消費電力を $1\mu\text{W}$ 程度に抑える必要があると試算されており、現在の商用デバイスと比較すると今後 10 ~ 100 倍以上の低消費電力化が必要となる。この低消費電力化を実現するためには既存のトランジスタ技術と回路技術だけで対応することは困難であり、新しい超低消費電力トランジスタ技術が必要と考える。特に、消費電力削減には電源電圧を下げるのが最も有効であるため、オン電流を維持しつつオフ電流を削減できる急峻サブスレシールド係数トランジスタが有望である。その中でもゲート絶縁膜に強誘電体薄膜を用いた負性容量トランジスタ(NCFET)が最も有力な候補と私は考えている[1]。特にゲート絶縁膜として最近発見された強誘電性 HfO_2 薄膜[2]を用いた NCFET は、高いオン電流、対称的な動作・回路、CMOS プロセスとの整合性の高さ、という点で大きな特徴をもち、ローコストな低消費電力トランジスタプラットフォームを実現できると期待される。

私のグループでは NCFET のデバイス設計・試作・実証を始めている。その一方回路・システム設計エンジニアからは、急峻立ち上がりトランジスタを用いた回路を設計して回路性能を検討したいという要望が強い。しかし NCFET の回路レベルでの検討は未だなされていない。また強誘電体 HfO_2 をメモリとして用いる方向性も十分に考えられる。これまでの強誘電体メモリデバイス・回路を新しい材料の視点から再検討することが必要である。

<引用文献>

- [1] S. Salahuddin, et al., Nano Lett., 8 2 405 (2008).
 [2] J. Muller et al., Nano Lett., 12 4318 (2012).

2. 研究の目的

本研究の目的は、環境発電で動作する IoT 向けセンサーノードデバイスにおける集積回路の非連続的な超低消費電力化に向けたデバイス・回路技術の開発である。これまでの急峻スロープトランジスタのデバイス設計に関する研究成果を更に推進し、新材料強誘電性 HfO_2 薄膜をゲート絶縁膜とする急峻スロープトランジスタを用いて回路設計を行うために不可欠な設計環境を、コンパクトモデルの構築と実験データを用いたパラメータ抽出により確立する。そして実際に回路設計を行い低電圧で動作する高エネルギー効率な論理回路・SRAM を実証する。さらに本研究ではこの急峻スロープトランジスタ上に強誘電性 HfO_2 による不揮発性メモリを集積して、低電圧で動作する新しい混載 FeRAM の設計と単体セルレベルでの試作・実証を行う。

3. 研究の方法

2016 年度

(1)強誘電性 HfO_2 ゲート絶縁膜を用いた負性容量トランジスタ(NCFET)の設計：次世代トランジスタのチャネル構造であるナノワイヤチャネルの NCFET のモデリングを行った。Landau-Khalatnikov 方程式とナノワイヤのポアソン方程式を連立させることで解析モデルを構築した。ナノワイヤピッチ、ゲートピッチの制約のもと、ナノワイヤ径および強誘電体ゲートスタックのパラメータを系統的にふり急峻スロープが発現する条件を探索した。また動特性についても一次微分の項を含めることで検討を行った。

(2)トランジスタの待機時リーク電流に対する MCU 消費電力のベンチマーク：MCU をロジック部と SRAM 部の 2 つに分けたシンプルなモデルを想定し、MCU の消費電力/Hz の情報と、SRAM セル単体のリーク電流の情報から、MCU の消費電力をそのアクティブ率に対して計算した。これを、異なるテクノロジーノードと異なるリーク電流に対して計算することで求められるトランジスタ特性について考察することができる。

(3)強誘電性 HfO_2 キャパシタを集積した不揮発性 SRAM の試作・実証：まずはじめに強誘電体のモデルを SPICE に組み込み、強誘電体キャパシタの実験データからパラメータを抽出、その後回路レベルでの設計を行った。不揮発性 SRAM の試作は、はじめに SOI CMOS で 6T SRAM セルを形成し、そして配線層に強誘電体キャパシタを集積することで行った。不揮発性 SRAM のストア・リコール動作時の電圧波形をオシロスコープで観測した。

2017 年度

(1)強誘電体 HfO_2 の過渡特性のマルチドメインモデルによる再現：強誘電体のマルチドメインモデルは Landau-Khalatnikov 方程式にドメイン間相互作用の項を追加することで構築、SPICE でシミュレーションを行った。パラメータは過渡特性の測定結果とモデルをフィッティングさせることで得た。

(2)強誘電体の分極反転による MOSFET のサブスレシールド特性への影響の実験的検証：強誘電体キャパシタと MOSFET を集積した MFIS-FET を試作した。具体的には下地となる MISFET をゲート金属を堆積する前まで進めて、その後 MFM を堆積、最後にゲートパターンニングを行うことによって試作した。

(3)強誘電体 HfO_2 を用いた強誘電体トンネル接合メモリ素子(FTJ)の実証：誘電遮蔽と直接トンネルに基づく FTJ の設計を行い、強誘電体 HfO_2 膜厚を 4nm 以下に薄膜化することで直接トンネルを利用した MFS 構造の FTJ を試作した。

4. 研究成果

2016 年度

(1) 強誘電性 HfO_2 ゲート絶縁膜を用いた負性容量トランジスタ (NCFET) の設計: ナノワイヤ型 NCFET のモデリングに成功し、ゲート長とナノワイヤピッチの設計制約の下、エネルギー効率の指標となる電流オンオフ比がフィン FET 型 NCFET に比べて 2 倍程度大きくなることを示した。また過渡特性とモデリングにより強誘電性 HfO_2 の NCFET の動作速度について初めて実験的に調査を行い、1-10MHz の領域でヒステリシスを抑えた動作が可能であることを示した。

(2) トランジスタの待機時リーク電流に対する MCU 消費電力のベンチマーク: IoT デバイスにおいてはアクティブ率の低い間欠動作が主となることを考慮し、ロジックトランジスタ・メモリセルの待機時リーク電流と MCU の消費電力について調査した。1MHz 動作で $1\mu\text{W}$ の消費電力を目指すためには待機時リーク電流を 10pA/セルまで抑制することが必要であることを明らかにした。

(3) 強誘電性 HfO_2 キャパシタを集積した不揮発性 SRAM の試作・実証: (2) の結果を鑑みて、IoT デバイスで最重要なデバイス是不揮発なワーキングメモリであると結論づけ、CMOS プロセスと整合性の高い強誘電性 HfO_2 キャパシタを集積した不揮発性 SRAM の設計・試作を行い、電源オフ時にデータをストアし、電源回復時にデータをリストアする動作を実証した。これにより待機時リーク電流を限りなくゼロに近づけることが可能となる。

2017 年度

(1) 強誘電体 HfO_2 の過渡特性のマルチドメインモデルによる再現: 2016 年度に実験的に得られた強誘電体 HfO_2 の過渡特性および負性容量の測定結果を再現するためのマルチドメインモデルを構築、高い再現性を実証した。このモデルは Landau-Khalatnikov 方程式にドメイン間の相互作用を導入することでシングルドメインでは再現できない詳細な特性の再現に成功した。

(2) 強誘電体の分極反転による MOSFET のサブスレシヨルド特性への影響の実験的検証: 金属/強誘電体/金属/絶縁膜/半導体の構造をもつトランジスタを設計・試作した。従来の負性容量トランジスタ (NCFET) の理論に基づいて設計すると急峻スローブ特性は得られなかったが、リーク電流と分極反転の組み合わせにより急峻スローブ特性を観測した。またサブスレシヨルド特性における分極反転の影響を、ゲートリーク電流をモニタリングすることで検証できることを提案した。この結果はこれまで報告されてきた NCFET の動作原理に対する新しい見解を示すもので

学術上重要である。

(3) 強誘電体 HfO_2 を用いた強誘電体トンネル接合メモリ素子 (FTJ) の実証: 5nm 以下の極薄強誘電体薄膜の材料開発に成功し、金属/強誘電体/半導体の構造をもつ FTJ メモリ素子を試作、トンネル抵抗比で 30 以上の特性を実現した。またマルチレベルセルとしての動作特性も確認した。この結果は、FTJ メモリセルが大容量ストレージクラスメモリとして期待されるだけでなく、ニューロモルフィックコンピューティングなどのハードウェア AI への応用も可能であることを意味し、工学上重要である。

5. 主な発表論文等

[雑誌論文](計 5 件)

(4) Kyungmin Jang, Nozomu Ueyama, Masaharu Kobayashi, and Toshiro Hiramoto, "Experimental Observation and Simulation Model for Transient Characteristics of Negative-Capacitance in Ferroelectric HfZrO_2 Capacitor", Journal of the Electron Devices Society, vol. 6, pp. 346-353, 2018.

DOI: 10.1109/JEDS.2018.2806920

Masaharu Kobayashi, Nozomu Ueyama, Kyungmin Jang, and Toshiro Hiramoto, "Experimental Demonstration of a Nonvolatile SRAM with Ferroelectric HfO_2 Capacitor for Normally Off Application", Journal of the Electron Devices Society, 査読有, vol. 6, pp. 280-285, 2018.

DOI: 10.1109/JEDS.2018.2800090

Kyungmin Jang, Takuya Sayara, Masaharu Kobayashi, and Toshiro Hiramoto, "On gate stack scalability of double-gate negative capacitance FET with ferroelectric HfO_2 for energy efficient sub-0.2V operation", Japanese Journal of Applied Physics, 査読有, vol. 136, pp. 60-67, 2017.

DOI: 10.7567/JJAP.57.024201

Kyungmin Jang, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Ion/Ioff ratio enhancement and scalability of gate-all-around nanowire negative capacitance FET with ferroelectric HfO_2 ", Solid State Electronics, 査読有, vo. 136, pp. 60-67, 2017.

DOI: 10.1016/j.sse.2017.06.011

Masaharu Kobayashi, Kyungmin Jang, Nozomu Ueyama, and Toshiro Hiramoto, "Negative Capacitance for Boosting Tunnel FET Performance", IEEE Transactions on Nanotechnology, 査読有,

vol. 16, no. 2, pp. 253-258, 2017.
DOI: 10.1109/TNANO.2017.2658688

〔学会発表〕(計 21 件)
* 代表的な発表 5 件を記載.

Masaharu Kobayashi, Nozomu Ueyama, and Toshiro Hiramoto, "A nonvolatile SRAM integrated with ferroelectric HfO₂ capacitor for normally-off and ultralow power IoT application", VLSI symposium 2017, 査読有, Rihga Royal Hotel Kyoto, Kyoto, Japan, Jun. 7, 2017, pp.156-157.

Kyungmin Jang, Nozomu Ueyama, Masaharu Kobayashi, and Toshiro Hiramoto, "Investigations on dynamic characteristics of ferroelectric HfO₂ based on multi-domain interaction model", Silicon Nano Workshop (SNW) 2017, 査読有, Rihga Royal Hotel Kyoto, Kyoto, Japan, Jun. 4, 2017, pp. 15-16.

Masaharu Kobayashi, Nozomu Ueyama, Kyungmin Jang, and Toshiro Hiramoto, "Experimental Study on Polarization-Limited Operation Speed of Negative Capacitance FET with Ferroelectric HfO₂", IEEE International Electron Devices Meeting (IEDM), 査読有, Hilton San Francisco Union Square, San Francisco, CA, USA, pp. 314 - 317, December 6, 2016.

Kyungmin Jang, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "On Gate Stack Scalability of Double-Gate Negative-Capacitance FET with Ferroelectric HfO₂ for Energy-Efficient Sub-0.2V Operation", IEEE Silicon Nanoelectronics Workshop, 査読有, Hilton Hawaiian Village, Honolulu, HI, USA, pp. 176 - 177, June 13, 2016.

Masaharu Kobayashi, Kyungmin Jang, Nozomu Ueyama, and Toshiro Hiramoto, "Negative Capacitance as a Performance Booster for Tunnel FET", IEEE Silicon Nanoelectronics Workshop, 査読有, Hilton Hawaiian Village, Honolulu, HI, USA, pp. 150 - 151, June 13, 2016.

〔図書〕(計 0 件)

〔産業財産権〕

出願状況 (計 0 件)

名称 :

発明者 :
権利者 :
種類 :
番号 :
出願年月日 :
国内外の別 :

取得状況 (計 0 件)

名称 :
発明者 :
権利者 :
種類 :
番号 :
取得年月日 :
国内外の別 :

〔その他〕
ホームページ等

6. 研究組織
(1) 研究代表者
小林 正治 (KOBAYASHI, Masaharu)
東京大学・生産技術研究所・准教授
研究者番号 : 40740147

(2) 研究分担者 なし
()

研究者番号 :

(3) 連携研究者
平本 俊郎 (HIRAMOTO, Toshiro)
東京大学・生産技術研究所・教授
研究者番号 : 20192718

(4) 研究協力者 なし
()