

令和 3 年 5 月 25 日現在

機関番号：14603

研究種目：基盤研究(A) (一般)

研究期間：2017～2020

課題番号：17H00730

研究課題名(和文) エッジコンピューティングを牽引するニアメモリ高効率計算基盤

研究課題名(英文) Near-memory efficient computing platform leading edge-computing

研究代表者

中島 康彦 (NAKASHIMA, Yasuhiko)

奈良先端科学技術大学院大学・先端科学技術研究科・教授

研究者番号：00314170

交付決定額(研究期間全体)：(直接経費) 29,900,000円

研究成果の概要(和文)：内部動作周波数(140MHz)および外部インタフェース性能(35.8Gbps)がともに、28nm想定ASIC(3mm角)4個連結構成の1/6となるプロトタイプの開発を完了した。測定の結果、プロトタイプの単精度浮動小数点演算性能は、NVIDIA製Jetson TX2に比べて、480x480の行列積では5.6倍、242x242(ICH=18, OCH=16, K=3x3)の畳み込み演算では6.2倍となった。同様に、ASIC化した場合の見積り性能は、NVIDIA製GTX1080Tiに比べて、行列積では1.8倍、畳み込み演算では2.0倍となった。

研究成果の学術的意義や社会的意義

狭メモリバンド幅環境において組込用プロセッサの演算効率を飛躍的に向上させる決定打は見つかっていない。不規則アドレスの複数データストリームに対し複数演算を100%近い効率で連続適用でき、同時に、メモリ主記憶間データ転送を100%近い効率で実行可能なメモリ主導型CGRAが最適と考えた。エッジコンピューティングの高機能化を狙うメモリ主導型CGRAの探索と体系化は、従来型プロセッサの性能向上が鈍化している状況において、自立人工知能搭載機器の低価格・低電力・小型化を加速する。サイズ・電源・価格の制約から、これまで搭載が不可能であった領域に高度な情報通信技術を展開し生産性を向上する原動力になると確信する。

研究成果の概要(英文)：We have completed the development of a prototype that has 140MHz internal operating frequency and 35.8Gbps external interface, which is 1/6 of the 28nm assumed ASIC (3mm square) and 4 chips configuration. As a result of the measurement, the single precision floating point arithmetic performance of the prototype is 5.6 times in the matrix product of 480x480, and 6.2 times in the convolution operation of 242x242 (ICH = 18, OCH = 16, K = 3x3) compared to NVIDIA Jetson TX2 respectively. Similarly, the estimated performance when converted to ASIC was 1.8 times in matrix multiplication, and 2.0 times in convolution operation compared to NVIDIA's GTX1080Ti respectively.

研究分野：計算機アーキテクチャ

キーワード：CGRA シストリックアレイ エッジコンピューティング 狭メモリバンド幅

様式 C-19、F-19-1、Z-19 (共通)

**1. 研究開始当初の背景** 膨大なセンサが収集した一次データをクラウドセンターに集約し学習・判断するシステムが次々に発表されている。エッジには低価格組込用マイクロプロセッサ、クラウドセンターには高性能並列処理 GPU や大規模 FPGA (Field Programmable Gate Array) を搭載する。しかし、ネットワークとクラウドセンターの負荷増大は、応答性・可用性を低下させる。膨大なエッジが学習・判断の一端を担うには、エッジに適合する低価格・低電力・高効率計算基盤の創出が極めて重要と考えた。

さて、プロセッサの性能向上は、半導体微細化と並列処理高度化の両輪が支えてきた。前者に限界が見え始め、後者に期待がかかる。基本技術であり続けた、スーパスカラ、VLIW (Very Long Instruction Word)、SIMD (Single Instruction Multiple Data)、マルチスレッディングは、1960年代から70年代にかけて出揃い、ワークステーション用ワークロードの分析結果に基づき、分岐予測や並列処理が強化され現在に至っている。研究開始時点において広く普及している特徴的な計算基盤は3種あり、

高性能プロセッサは、スーパスカラと SIMD により非数値計算とベクトル演算の両方

低電力メニコアプロセッサは、VLIW と SIMD により同じく両方

GPU は、SIMD とマルチスレッディングによりベクトル演算

に特化しつつ計算基盤を広くカバーしている。プロセッサは内蔵キャッシュへのデータ閉じ込め、GPU は膨大なマルチスレッディングによる主記憶遅延隠蔽と、手段は異なるものの、いずれも各コアがオンデマンドに行う主記憶参照の規則性を利用して演算器稼働率を最大化する。一方、エッジに期待されるワークロードは、ネットワーク負荷を下げる動画フィルタ・高圧縮、および、クラウドセンターからフィードバックする学習結果を用いた動画認識等である。広域離散ステンスル計算やベクトル長の短い畳み込み演算は、オンデマンドの参照順序を規則化するチューニングが非常に難しく、最新の GPU でもピーク性能の数分の一しか出ないため、要求性能達成のために過大な演算能力と高価な大規模 LSI が必要である。実際には、対応可能範囲外に広域参照規則性および莫大な演算並列度があるため、専用ハードウェアや FPGA による実装方法が数多く提案されている。しかし、前者は汎用性に欠け大量生産によるコストダウンが見込めず、後者は動作周波数が一桁低い構造的問題を抱えており、エッジには適さない。専用ハードウェアの低電力・高速性、FPGA の柔軟性、プロセッサのプログラマビリティ、さらに、コストダウンに必須の汎用性と省面積を兼ね備える、エッジ向けの新たな計算基盤の創出と体系化が渴望されている。

**2. 研究の目的** 広域参照規則性に適合する計算基盤の鍵は、1982年にH.T.Kungらが提唱したストリックアレイを起源とする CGRA (Coarse Grained Reconfigurable Architecture) にある。二次元配置の演算器ネットワークを最内ループに合わせて再構成 (命令列を固定) し、内部メモリに留保したデータと主記憶データを同時に流し込むことで、汎用プロセッサの演算器数倍の高性能を発揮する。各演算器に命令キャッシュやデコーダが不要なため単位面積当たりの演算器密度向上が容易であり、再構成粒度がゲートより大きい演算器レベルであるため FPGA より一桁高い動作周波数を実現できる。また、未使用演算器の長期電源 OFF による省電力化に向く。ただし、当時の半導体集積度では実用規模の実装が困難。また、マイクロプロセッサの急成長期と重なり、主流にはならなかった。2000年初頭、国内半導体企業の多くが起死回生のため推進した CGRA プロジェクトも、キラーアプリがなく頓坐した歴史がある。ところが、2016年の著名国際会議では機械学習をキラーアプリとする CGRA の発表が相次ぎ、面積効率に優れた計算基盤として一躍脚光を浴びた。国内に計算機アーキテクチャ分野の CGRA 研究者が僅少な中、次世代基盤技術として早急に取り組む必要があった。過去の頓坐の主因は、演算器主導の最適化に腐心し、実効性能を決めるメモリアーキテクチャを軽視したため、性能予測もチューニングも困難だった点にある。メモリを近傍配置し、演算器とメモリを干渉させない統合制御により、有効演算性能とメモリ主記憶間転送性能を100%発揮するメモリ主導型 CGRA が実現可能と考えた。そこで、以下を研究目的とした。

(1) エッジ高機能化に資するメモリ主導型 CGRA の探索と体系化。特に、低コスト狭メモリバンド幅を使い切る低電力高効率メモリアーキテクチャ。40nm テクノロジーによるエッジ向け CGRA 搭載プロセッサの試作と省電力性の実証。(2) プログラマビリティの飛躍的改善と性能チューニング手法の探索。特に、プログラム・デバッグ・チューニングが容易な実行モデルと CGRA ツール群。また、ベクトルプロセッサ並に簡便な性能予測モデルの構築とコンパイラの試作。(3) 大規模専用ハードウェアを模擬できる CGRA 仮想化技術の創出。特に、大規模専用回路記述を FPGA の代わりに高速 CGRA に変形・写像する手法。また、多数の演算を CGRA に畳み込んで実行するコンパイラや CGRA 仮想化機構。

### 3. 研究の方法

【平成29年度】

**(1) エッジ高機能化に資するメモリ主導型 CGRA の探索と体系化** CGRA-LSI の本格設計の前に、当時、図1に示す不規則な主記憶参照を伴う画像処理を評価中であった。6重ループのカーネルは、GPU はピーク性能の数分の一、同一狭メモリバンド幅のメモリ主導型 CGRA は理論上、ピーク性能近くを出せる。予備評価を元にプロトタイプを設計する。見通しの良い性能予測のため、演算に干渉しない主記憶データ供給バス(図2)を設け、統合制御により、主記憶メモリ、メモリ間 CGRA 演算、メモリ主記憶を完全にオーバーラップさせ(図3)、稼働率100%を目指す。CGRA の構成パラメタ(行列構成・メモリサイズ・バス数・レジスタ数・演算種別・条件分岐機能等)を可変とし、様々な実用カーネルの収容能力と実効性能を網羅的に探索する。同時に LSI 化の際に問題となり得る配線量等を評価するため、仮設計データを用いた物理設計を開始する。

**(2) プログラマビリティの飛躍的改善と性能チューニング手法の探索** 従来型 CGRA では、コンパイラが、特殊言語ソースからハードウェア構成情報を生成するのが一般的であり、二次元格子構造内部の直接デバッグや、性能チューニングは難しい。プログラマビリティの飛躍的改善に必要な以下の基盤技術に関し網羅的に探索し、有望なアイデアを組み込んだツールチェーンの評価用プロトタイプを作成する。

2-1 ハードウェアのアルゴリズム収容力を最大限活用する一般的高級言語を用いた記述方法

2-2 異常動作がアルゴリズム自体の問題か、CGRA 固有の問題かを切り分ける手段の探索

## 2-3 性能予測・性能チューニング・デバッグが容易なツールチェーン

2015年、C言語による標準的記述から、CGRAの二次元格子構造に直接対応付け可能なCライブラリ呼び出し型CGRA記述を生成して問題を切り分ける手法を提案した。まず、標準的記述をCGRA記述に変換するフロントエンドコンパイラに着手する。CGRA記述はCGRAの構成に忠実でありながら、既存Cコンパイラによる実行、printf()の挿入、デバッグによるステップ実行ができ、CGRA実行に近い環境かつ慣れた環境でのアルゴリズム検証が可能である。CGRA記述からCGRAバイナリを生成するバックエンドコンパイラはプロトタイプが完成しており、結合後、見通しよくソフトウェアを開発・デバッグできる統合ツールチェーンを構成する。

**(3) 大規模専用ハードウェアを模擬できるCGRA 仮想化技術の探索** 画像処理や機械学習分野では様々な専用回路が考案されている。しかし、先端LSIの開発費は高額なため多品種少量生産に向かず、FPGAは動作周波数が一桁低い。専用ハードウェアの設計資産を活用できるCGRAを考案すれば、計算基盤の選択肢が広がり、CGRAとしても大量生産によるコストダウンが期待できる。専用ハードウェアの高位記述からCGRA記述への変換には前述のフロントエンドコンパイラを利用すると、変換後のCGRA記述は、現実的CGRAの構成を大幅に上回ると予想される。実現の鍵は、数千~数万規模の小型演算器からなる専用ハードウェアを数百のCGRA内蔵大型演算器群が如何に模擬するかにある。ライトフィード距離画像生成とHEVC動画圧縮を例題として、以下の2手法を探索する。

3-1 大規模なCGRA記述を二次元格子構造にブロック分割し収容するバックエンドコンパイラ 収容可能な規模にバックエンドコンパイラがCGRA記述をN分割し、中間結果の内蔵メモリ保存とCGRAのALU機能入れ替えをN-1回繰り返すブロック分割手法が考えられる。この場合、K回目のメモリ保存内容をK+1回目の取り出しにシームレスに接続するための内蔵メモリ位置最適化が鍵となる。位置が合わない部分は主記憶への追い出しと再読み込みによりカバーする。

3-2 通常は演算が固定されるCGRA内ALUに対して複数演算を割り当てるCGRA仮想化機構 各ALUにN個の命令を割り当て、Nサイクル実行後に結果を次段に送るCGRA仮想化が考えられる。複数命令を実行するには小さくてもプログラムカウンタが必要である。Nを大きくするにつれメモリとALUの組は一般的なプロセッサの構成に近づくものの、必要最小限の機能に抑えることにより、汎用メニコアプロセッサよりも面積あたり性能に優れた計算基盤を目指す。

【平成30年度以降】

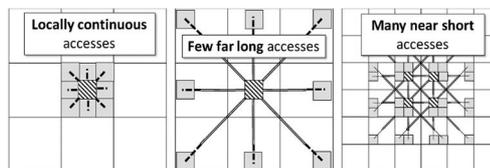
**(1) エッジ高機能化に資するメモリ主導型CGRAの探索と体系化** 最適なVerilog記述を選定した後、3段階の実装評価を行う。

1-1 大規模FPGA内蔵ARM-SoCに4列8行構成のCGRAを実装 平成30年度、ARM-FPGA密結合システムを利用し、CGRA全体の回路規模、動作周波数、汎用コア高速インタフェースを検証する。本過程で、実装結果と各種パラメタ(行列構成・メモリサイズ・バス数・レジスタ数・演算種別・条件分岐機能等)の関係性を体系化し、メモリ主導型CGRAの設計指針を総括する。また、CPUのキャッシュを考慮した効率の良い接続方法を探索する。特に、CGRAでは配線オーバーヘッドが大きいことが経験的にわかっている。LSI化に向け、動画認識処理に重点を置く効率の良い配線構造を決定する。

1-2 40nmテクノロジーの試作LSI上に4列64行構成の大規模CGRAを実装 ターゲットが異なるものの、以前に開発したEMAX2は、180nmテクノロジー169平方mmに4列16行(単精度浮動小数点演算器128個)を実装(40nmの6平方mmに相当)し、当時の組込用GPUの3分の1の演算器数で同等の性能と消費電力を達成した。本提案では平成31年度、25平方mmに動画認識に十分な4列64行を実装可能と予想している。さらに図2の構造に進化させ、図3に基づき有効演算とメモリの稼働率を100%近くに上げ、電力あたり性能および同一狭メモリバンド幅あたり処理性能でEMX2やGPUの4倍と、抜群の効率を目指す。

1-3 最先端テクノロジーを想定した汎用コア融合型CGRAへの展開 一般に、汎用コアとGPU等計算アクセラレータは各々独立した内蔵キャッシュを有し、L2キャッシュに対等に接続されている。令和2年度、CGRAの特徴を利用して汎用コア融合型CGRAへの展開に取り組む。

**(2) プログラマビリティの飛躍的改善と性能チューニング手法の探索** ツールチェーンのプロトタイプを用いて、平成30年度、エッジの主力機能である学習結果を用いた動画認識を記述し、CGRA-LSI構成の微調整と精度向上に取り組む。特に本命の動画認識カーネルの体系的記述が可能になるまでツールチェーンを改良する。本カーネルの最内ループは単純構造だが、全体は8重ループであり、認識ステップが進むにつれ各ループ回転数が様々に変化する特徴を有する。アンローリング数が変化するため同一CGRA構成情報の使い回しが困難であり、ループ回転数に応じた構成情報自体の最適化が重要である。また、図4のCGRA演算を長期間連続稼働させて100%に近い効率を出すために、複数階層のループ構造をCGRAにまとめて写像する最適化にも取り組む。平成31年度、フロントエンドコンパイラの能力を集中的にチューニングし、動画認識用CGRAコンパイラに関する理論を体系化する。



従来型ステンシル 離散ステンシル 短ベクトル畳み込み

図1 エッジに発生する不規則な主記憶参照

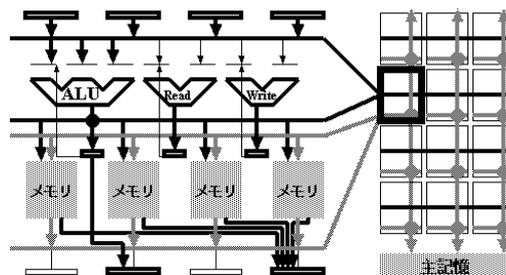


図2 ユニット構成と、演算に干渉しない主記憶データ供給バス

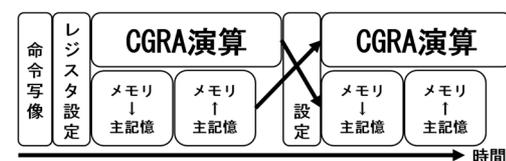


図3 演算器とメモリの稼働率100%を目指す

**(3)大規模専用ハードウェアを模擬できる CGRA 仮想化技術の探索** 3-1 ブロック分割、3-2 CGRA 仮想化の評価結果に基づき、平成 31 年度、(1)への適用を試みる。ライトフィールド距離画像生成と HEVC 動画圧縮を用いて、高精度シミュレータから得られる処理性能オーバーヘッド、FPGA 実装結果から得られる回路規模と動作周波数に対するオーバーヘッド、また、動画認識 LSI への適用結果から得られる面積や消費電力に対するオーバーヘッドを総合的に評価し、CGRA 仮想化技術の有効性を検証する。

【研究が当初計画どおりに進まない時の対応】

(1)において予想される困難は、広域離散ステンシルや畳み込み演算に特化する余り、メモリ主導型 CGRA が、一般的な SIMD/GPU が得意な単純メモリ参照パターンに弱くなり、結果的にニッチな応用に留まる考慮不足との遭遇である。省面積・省電力な CGRA の優位性を維持しつつ SIMD にも対応できる柔軟な構成に留意しつつ推進する。また、LSI 化に際し研究費ではカバーできない多額の設計費用が必要になる困難も予想される。研究室内の人員により物理設計をカバーできる体制を整え、LSI 化を完遂できるよう準備する。(2)では、プロトタイプが完成しているバックエンドコンパイラに比べて難易度が高いフロントエンドコンパイラが完成できない困難が予想される。この場合、Clang 等既存フロントエンドコンパイラの利用や、SDSoC 等高位合成コンパイラの出力を CGRA に逆変換する代替手法を検討に加える。(3)では、3-1 ブロック分割の分割員が無視できない可能性や、3-2 CGRA 仮想化はユニット内に多くの状態記憶が必要となりオーバーヘッドが無視できない問題が想定される。プログラム記述時にディレクティブを書かせてコンパイラが利用するなど極力ソフトウェアによる解決を図り、低コスト CGRA の特長を損なわないよう進める。

#### 4. 研究成果

当初計画に関する研究成果の要約

全研究期間の発表件数は、査読付論文(poster 3 含む)30 報、査読無し口頭発表18 件、招待講演9 件、特許出願国内5 件、海外各国移行5 件となった。以下の当初計画に対し、

(1) エッジ高機能化に資するメモリ主導型 CGRA の探索と体系化(ハードウェア)

(2) プログラマビリティの飛躍的改善と性能チューニング手法の探索(ソフトウェア)

(3) 大規模専用ハードウェアを模擬できる CGRA 仮想化技術の創出(ソフト・ハード)

(1)と(3)を同時に解決する構成として、列方向マルチスレッディング機構を発案し、従来は相性が悪かった CGRA と浮動小数点演算器の効率統合、および、面積効率の大幅改善(約3 倍)を達成した。また、実性能を重視した結果、ASIC は28nm による面積見積りに留め、実機システムは外部メモリ性能とマルチチップ性能を重視するマルチ FPGA プロトタイプとした。これにより、汎用コアに手を入れるコストの高い方法ではなく、デジチェーン型外部メモリとしてアクセラレータを複数接続できる低コストかつスケーラブルな方法を提案できた。以上の方針変更に伴い、(2)は、小さなハードウェアのために無理にループ分割するのではなく、通常多重ループ記述を自動的にマルチチップに展開するコンパイラに機能変更でき、分割損を回避できるのみならず、スケーラビリティも改善できる結果となった。

以下、当初計画に関する研究内容の年度毎の詳細、および、発展的内容の研究成果について詳述する。

平成 29 年度当初実施計画(1) エッジ高機能化に資するメモリ主導型 CGRA の探索と体系化 半導体集積度の頭打ちを見越して、デジタル回路とアナログ回路が協働する低電力高速アクセラレーション方式も探索を進める。

(2) プログラマビリティの飛躍的改善と性能チューニング手法の探索 動画学習・認識を具体的アプリケーションとして、クラウドとエッジの間の最適な負荷分散方式について探索を行い、プロトタイプシステムを完成させる。

(3) 大規模専用ハードウェアを模擬できる CGRA 仮想化技術の探索 専用回路において生じるデータ依存由来の無駄な動作時間を CGRA 上に重畳実装することにより、CGRA 資源の最大限活用と、CGRA の弱点である配線の大幅削減を同時に達成できる目処が立っており、初年度は、具体的な実装方法について詳細検討を開始する。さらに、デジタル・アナログ混載アクセラレータの実現可能性と性能見積りも行う。

**研究実績** 本研究では、メモリとして扱うことができるシストリックリング型アクセラレータ設計と評価を行った。初年度の成果は次の通りである。列方向マルチスレッディング技術の考案；チップ内ローカルリカレントメモリ(RMM)の導入；ホストに対してメモリとして見せるインタフェースの考案；により、(1)エッジ高機能化に資するメモリ主導型 CGRA の探索と体系化；(3)大規模専用ハードウェアを模擬できる CGRA 仮想化技術の探索；に関して大きな成果を挙げることができた。また(2)プログラマビリティの飛躍的改善と性能チューニング手法の探索；についても、開発済 CGRA との機能互換を達成できたことにより、既存ツールチェーンの積み上げによる無駄の無い環境構築ができた。特に、ARM-SoC 上に4列64 行の機能を実装し、実機動作の確認まで完了できた。また、計画を前倒して28nm テクノロジーによる評価も完了した。以上、予定を大幅に上回るペースにて研究が進捗した。

平成 30 年度当初実施計画 当初予定の40nm テクノロジーによる大規模 LSI 試作は、もはや国内では必要な CAD を保有している引き受け手がないことが判明した。また、十分な絶対性能に必要な高速 I/O が予算内では調達困難であることも判明した。CAD レンタル費および高速 I/O 購入費を本予算で賄うことはできないため、LSI 化の技術的目処が立った現状にて試作はスキップし、LSI 開発は別途競争的資金に応募して継続を試みることにした。

平成 30 年度は、LSI 開発コスト削減のための技術開発を含む以下3 つの発展的課題に取り組む。(4) エッジコンピューティング向け省面積 CGRA のマルチチップ構成に関する検討と性能評価・分析；研究項目(1)と(3)を統合し、省面積 LSI の特長を最大限生かす方向として、マルチチップ化による容

易な拡張を可能とする構成の検討を開始する。このために、ARM-SoC を拡張する VU440 を追加購入し、マルチチップ構成評価環境を整備する。(5) エッジコンピューティング向けの共有 CNN 方式と分割推論モデルの構築と評価；(2) の発展として動画認識によるデータ圧縮をエッジコンピューティングのキラーアプリケーションとし、分散機械学習による複数エッジのグループ化、重みの共有、中間結果の圧縮による、エッジとデバイスを包含する最適化技術の探索を行う。(6) エッジコンピューティング向けのアナログアプロキシメイト演算方式の検討と性能評価・分析；半導体微細化の終焉により急速に注目を集めているアナログ近似計算機構を成果の出ている CGRA と組み合わせるハイブリッド構成について探索を開始する。



図4 4 チップ構成 CGRA (IMAX2)のプロトタイプ

**研究実績** 平成 30 年度は、LSI 開発コスト削減のための技術開発を含む 3 つの発展的課題 (4) エッジコンピューティング向け省面積 CGRA のマルチチップ構成に関する検討と性能評価・分析；(5) エッジコンピューティング向けの共有 CNN 方式と分割推論モデルの構築と評価；(6) エッジコンピューティング向けのアナログアプロキシメイト演算方式の検討と性能評価；に取り組んだ。2 年度の成果として、(4) マルチチップ構成のためのコンパイラ、詳細シミュレータ、マルチチップを構成する基本チップを模倣した FPGA プロトタイプを開発し評価した結果、省面積 CGRA のカスケードリングによりメモリバンド幅において劣る FPGA 実機でも Jetson-TX2 を上回る性能を達成できる見通し；(5) GPU を用いた分割推論モデルの精度と通信量とのトレードオフ評価を完了し、エッジコンピューティング向け共有 CNN 方式において精度とデータ量を適切にトレードオフできる見通し；(6) 近似計算の基本回路の精度とばらつきの評価を完了し、アナログ近似演算方式において妥当な精度を得られる見通しを得た。

平成 31 年度当初実施計画 平成 31 年度は (7) スケーラビリティのある AXI スレーブカスケードリング型 CGRA アクセラレータの FPGA 実装および性能評価；(8) 認識の確信度も表現可能な変分ベイズ推定手法の実装と評価；(9) よりハードウェアを小型化可能なストカスティック近似計算手法の実装と評価に取り組む。

**研究実績** 平成 31 年度は、(7) スケーラビリティのある AXI スレーブカスケードリング型 CGRA アクセラレータの FPGA 実装および性能評価を行った。HOST に ARMv8 を搭載する XILINX 製 ZCU102、アクセラレータに XILINX 製 VU440 を搭載する S2C 製 Prodigy Logic Module を複数使用し、様々なアプリケーションを搭載した。評価の結果、アクセラレータのローカルメモリに収容できないサイズのデータを扱うプログラムでも、高性能を発揮できることを実証した。ただし、多数チップをカスケードリング接続する場合、AXI-READ が性能ボトルネックとなることがわかった。そして、AXI トランザクションをそのまま複数チップに送るのではなく、途中で 1 つのトランザクションに束ねてオーバーヘッドを削減する手法が極めて有効であることがわかった。(8) 認識の確信度も表現可能な変分ベイズ推定手法の実装と評価の結果、従来の実装では GPU による高速化が困難であった問題を解決でき、CPU に比べて数百倍の高性能化を達成できることがわかった。また、指数関数の総和を求める部分が全体のボトルネックとなることもわかった。(9) よりハードウェアを小型化可能なストカスティック近似計算手法の実装と評価の結果、従来のデジタル方式に比べて、許容可能な精度劣化と引き換えに、大幅なハードウェアおよび消費電力の削減が可能であることがわかった。

令和 2 年度当初実施計画 (10) ASIC 化の課題である CGRA チップ間インタフェースの設計と高速化；(11) VBGMM 法の CGRA 化；(12) ストカスティック近似計算手法の CGRA への統合に取り組む。

**研究実績** 最終年度は、(10) ASIC 化の課題である CGRA チップ間インタフェースの FPGA 非依存設計と高速化を行い、5Gbps\*3 レーンであった構成を 5Gbps\*8 レーンに増強できた。また、32KB であった各ユニットのローカルメモリを 64KB に倍増でき、高性能化に大きく寄与した。さらに、ローカルメモリの連続アドレスから 2 つの単精度浮動小数点データを一度にロード (SIMD-LOAD) する場合、先頭アドレスの 64bit 境界制約をデュアルポートメモリの工夫により撤廃した。この機能拡張により、畳み込み演算では利用が困難であった SIMD-LOAD が利用可能となり、高速インタフェースの利用と合わせて、性能をさらに約 2 倍に向上できた。最終的には、新たに開発した FPGA 間接続高速インタフェースおよび大規模 FPGA ボード 4 枚を利用して、内部動作周波数 (140MHz) および外部インタフェース性能 (35.8Gbps) がともに、28nm 想定 ASIC (3mm 角) 4 個連結構成の 1/6 となるプロトタイプの開発を完了した (図 4)。測定の結果、プロトタイプの単精度浮動小数点演算性能は、NVIDIA 製 Jetson TX2 に比べて、480x480 の行列積では 5.6 倍、242x242 (ICH=18, OCH=16, K=3x3) の畳み込み演算では 6.2 倍となった。また、外部メモリバンド幅あたり性能は、TX2 (主記憶バンド幅 480Gbps) に比べて、各々、76 倍と 83 倍となった。同様に、ASIC 化した場合の見積り性能は、NVIDIA 製 GTX1080Ti に比べて、行列積では 1.8 倍、畳み込み演算では 2.0 倍となった。また、外部メモリバンド幅あたり性能は、GTX1080Ti (主記憶バンド幅 3872Gbps) に比べて、各々、30 倍と 35 倍となった。さらに、面積あたり性能は、行列積では  $(1.0/471\text{mm}^2 : 1.8/8.4\text{mm}^2 * 4)$  の比より 25 倍、畳み込み演算では  $(1.0/471\text{mm}^2 : 2.0/8.4\text{mm}^2 * 4)$  の比より 28 倍となった。なお、本プロトタイプでは、前述の行列積および畳み込み演算に加え、逆行列計算、ライトフィールド画像処理 2 種 (距離画像生成およびレンダリング)、画像フィルタ 9 種、科学技術ステンシル計算 5 種 (grapes、jacobi、fd6、resid、wave2d)、文字列検索、画像認識 (ニューラルネットワークを用いた誤差逆伝搬学習および識別) VBGMM の指数関数総和等が稼働しており、汎用性においても優れていることを実証している。(11) VBGMM 法の CGRA 化では、前述のように、GPU では高速化が難しい指数関数の総和を求める部分に適用し、高速化が可能であることを確認した。(12) ストカスティック近似計算手法の CGRA への統合に取り組む、DiaNET アーキテクチャシリーズを多数考案して、高効率性を確認した。

## 5. 主な発表論文等

〔雑誌論文〕 計27件（うち査読付論文 27件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 TRAN Thi DIEM, NAKASHIMA Yasuhiko	4. 巻 Vol. E104-C, No.7
2. 論文標題 SLIT: An Energy-Efficient Reconfigurable Hardware Architecture for Deep Convolutional Neural Networks	5. 発行年 2021年
3. 雑誌名 IEICE Transactions on Electronics	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transele.2020CDP0002	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 ERLINA Tati, ZHANG Renyuan, NAKASHIMA Yasuhiko	4. 巻 Vol. E104-C, No.5
2. 論文標題 A Feasibility Study of Multi-Domain Stochastic Computing Circuit	5. 発行年 2021年
3. 雑誌名 IEICE Transactions on Electronics	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transele.2020ECP5015	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Honda Taku, Nishimoto Hiroki, Nakashima Yasuhiko	4. 巻 CANDAR'20
2. 論文標題 Speeding Up VBGMM By Using Logsumexp With the Approximate Exp-function	5. 発行年 2020年
3. 雑誌名 CANDAR'20	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CANDARW51189.2020.00032	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Thi Thu Thao Khong, Takashi Nakada, Yasuhiko Nakashima	4. 巻 CANDAR'20
2. 論文標題 Bayes without Bayesian Learning for Resisting Adversarial Attacks	5. 発行年 2020年
3. 雑誌名 CANDAR'20	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 SHINGAI Ryuta, HIRAGA Yuria, FUKUOKA Hisakazu, MITANI Takamasa, NAKADA Takashi, NAKASHIMA Yasuhiko	4. 巻 E103.D
2. 論文標題 Construction of an Efficient Divided/Distributed Neural Network Model Using Edge Computing	5. 発行年 2020年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 2072 ~ 2082
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2019EDP7326	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Renyuan Zhang, Tati Erlina, Tinh Van Nguyen, and Yasuhiko Nakashima	4. 巻 ISOC2020
2. 論文標題 Hybrid Stochastic Computing Circuits in Continuous Statistics Domain	5. 発行年 2020年
3. 雑誌名 IEEE Int. System-on-Chip Conf., pp.225-230, Sep. 8th-11th	6. 最初と最後の頁 225-230
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tran Thi Diem, Kimura Mutsumi, Nakashima Yasuhiko	4. 巻 SigTelCom2020
2. 論文標題 Primary Visual Cortex Inspired Feature Extraction Hardware Model	5. 発行年 2020年
3. 雑誌名 SigTelCom2020, Aug.	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/SigTelCom49868.2020.9199057	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kan Yirong, Wu Man, Zhang Renyuan, Nakashima Yasuhiko	4. 巻 ISVLSI2020
2. 論文標題 A Multi-grained Reconfigurable Accelerator for Approximate Computing	5. 発行年 2020年
3. 雑誌名 2020 IEEE Computer Society Annual Symposium on VLSI (ISVLSI)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ISVLSI49217.2020.00026	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Wu Man, Chen Yan, Kan Yirong, Nomura Takeshi, Zhang Renyuan, Nakashima Yasuhiko	4. 巻 NEWCAS2020
2. 論文標題 An Elastic Neural Network Toward Multi-Grained Re-configurable Accelerator	5. 発行年 2020年
3. 雑誌名 The 18th IEEE International NEWCAS Conference	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/NEWCAS49341.2020.9159845	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Nguyen Van-Tinh, Luong Tieu-Khanh, Zhang Renyuan, Nakashima Yasuhiko	4. 巻 ISOC2020
2. 論文標題 A Compact and Accuracy-Reconfigurable Univariate RBF Kernel Based on Stochastic Logic	5. 発行年 2020年
3. 雑誌名 IEEE International Symposium on Circuits & Systems	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ISCAS45731.2020.9180624	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 IWAMOTO Jun, KIKUTANI Yuma, ZHANG Renyuan, NAKASHIMA Yasuhiko	4. 巻 E103.D
2. 論文標題 Daisy-Chained Systolic Array and Reconfigurable Memory Space for Narrow Memory Bandwidth	5. 発行年 2020年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 578 ~ 589
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2019EDP7144	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Nishimoto Hiroki, Nakada Takashi, Nakashima Yasuhiko	4. 巻 CANDAR'19
2. 論文標題 GPGPU Implementation of Variational Bayesian Gaussian Mixture Models	5. 発行年 2019年
3. 雑誌名 CANDAR'19, REGULAR PAPER	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CANDAR.2019.00031	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Nguyen Van Tinh、Erlina Tati、Zhang Renyuan、Nakashima Yasuhiko	4. 巻 CSA2020
2. 論文標題 A Programmable Approximate Calculation Unit Employing Time-Encoded Stochastic Computing Elements	5. 発行年 2019年
3. 雑誌名 Proc. 7'th Int'l Workshop on Computer Systems and Architectures(CSA19)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CANDARW.2019.00024	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Iwamoto Jun、Zhang Renyuan、Nakashima Yasuhiko	4. 巻 CSA2020
2. 論文標題 Evaluation of a Chained Systolic Array with High-Speed Links	5. 発行年 2019年
3. 雑誌名 Proc. 7'th Int'l Workshop on Computer Systems and Architectures(CSA19)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CANDARW.2019.00021	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Zhang Renyuan、Chen Yan、Nakada Takashi、Nakashima Yasuhiko	4. 巻 SOCC2020
2. 論文標題 DiaNet: An Efficient Multi-Grained Re-configurable Neural Network in Silicon	5. 発行年 2019年
3. 雑誌名 IEEE International System-on-Chip Conf.(SOCC)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/SOCC46988.2019.1570548015	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 ZHANG Renyuan、NAKADA Takashi、NAKASHIMA Yasuhiko	4. 巻 E102.A
2. 論文標題 Programmable Analog Calculation Unit with Two-Stage Architecture: A Solution of Efficient Vector-Computation	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 878 ~ 885
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E102.A.878	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 一倉 孝宏、菊谷 雄真、中島 康彦	4. 巻 J102-D
2. 論文標題 DSA並みの効率を達成するCNNs拡張機能付きCGRAの提案と評価	5. 発行年 2019年
3. 雑誌名 電子情報通信学会論文誌D 情報・システム	6. 最初と最後の頁 477 ~ 490
掲載論文のDOI (デジタルオブジェクト識別子) 10.14923/transinfj.2018JDP7061	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 CHEN Yan, ZHANG Jing, XU Yuebing, ZHANG Yingjie, ZHANG Renyuan, NAKASHIMA Yasuhiko	4. 巻 E102.C
2. 論文標題 A ReRAM-Based Row-Column-Oriented Memory Architecture for Convolutional Neural Networks	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Electronics	6. 最初と最後の頁 580 ~ 584
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transele.2018CTS0001	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Erlina Tati, Chen Yan, Zhang Renyuan, Nakashima Yasuhiko	4. 巻 GLSVLSI2019
2. 論文標題 An Efficient Time-based Stochastic Computing Circuitry Employing Neuron-MOS	5. 発行年 2019年
3. 雑誌名 GLSVLSI2019, pp.51-56	6. 最初と最後の頁 51-56
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3299874.3317985	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ichikura Takahiro, Yamano Ryusuke, Kikutani Yuma, Zhang Renyuan, Nakashima Yasuhiko	4. 巻 -
2. 論文標題 EMAXVR: A programmable accelerator employing near ALU utilization to DSA	5. 発行年 2018年
3. 雑誌名 2018 IEEE Symposium in Low-Power and High-Speed Chips (COOL CHIPS)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CoolChips.2018.8373078	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Uetake Noriyuki, Zhang Renyuan, Nakada Takashi, Nakashima Yasuhiko	4. 巻 -
2. 論文標題 A programmable analog calculation unit for vector computations	5. 発行年 2018年
3. 雑誌名 2018 IEEE Symposium in Low-Power and High-Speed Chips (COOL CHIPS)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CoolChips.2018.8373080	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Zhang Renyuan, Uetake Noriyuki, Nakada Takashi, Nakashima Yasuhiko	4. 巻 38
2. 論文標題 Design of Programmable Analog Calculation Unit by Implementing Support Vector Regression for Approximate Computing	5. 発行年 2018年
3. 雑誌名 IEEE Micro	6. 最初と最後の頁 73~82
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/MM.2018.2873953	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Takahiro ICHIKURA, Yuma KIKUTANI, and Yasuhiko NAKASHIMA	4. 巻 J102-D
2. 論文標題 DSA並みの効率を達成するCNNs拡張機能付きCGRAの提案と評価	5. 発行年 2019年
3. 雑誌名 IEICE Trans., Vol.J102-D, No.07	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Hoang Gia Vu, Shinya Takamaeda-Yamazaki, Takashi Nakada, Yasuhiko Nakashima	4. 巻 FCCM2017
2. 論文標題 CPRring: A Structure-aware Ring-based Checkpointing Architecture for FPGA Computing	5. 発行年 2017年
3. 雑誌名 FCCM2017	6. 最初と最後の頁 192-192
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/FCCM.2017.60	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Renyuan Zhang, Takashi Nakada and Yasuhiko Nakashima	4. 巻 CANDAR'17
2. 論文標題 A Feasibility Study of Programmable Analog Calculation Unit for Approximate Computing	5. 発行年 2017年
3. 雑誌名 CANDAR'17	6. 最初と最後の頁 180-186
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Hoang-Gia VU, Shinya TAKAMAEDA-YAMAZAKI, Takashi NAKADA, and Yasuhiko NAKASHIMA	4. 巻 Vol. E101-D No.2
2. 論文標題 A Tree-based Checkpointing Architecture for the Dependability of FPGA Computing	5. 発行年 2018年
3. 雑誌名 IEICE TRANSACTIONS on Information and Systems	6. 最初と最後の頁 288-302
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Hoang Gia Vu, Takashi Nakada, and Yasuhiko Nakashima	4. 巻 ARC2018
2. 論文標題 Efficient Multitasking on FPGA Using HDL-based Checkpointing	5. 発行年 2018年
3. 雑誌名 ARC2018	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計24件 (うち招待講演 5件 / うち国際学会 0件)

1. 発表者名 中島康彦
2. 発表標題 IMAX2: GTHの8レーン化を契機とするIMAXの倍速化
3. 学会等名 信学技報, vol.120, no.338, CPSY2020-27, pp.31-34
4. 発表年 2021年

1. 発表者名 稲益秀成, 中島康彦
2. 発表標題 シストリックリングアレイ (IMAX2) を用いたこう効率誤差逆伝搬の実装
3. 学会等名 信学技報, vol.120, no.338, CPSY2020-28, pp.35-39
4. 発表年 2021年

1. 発表者名 中島康彦
2. 発表標題 好きなことを韌やかに頑固に素早く
3. 学会等名 情報・システムソサイエティ誌 フェローからのメッセージ (招待講演)
4. 発表年 2020年

1. 発表者名 中島康彦
2. 発表標題 動画認識フロントエンドを想定した特徴抽出専用ハードウェアの構想
3. 学会等名 信学技報, vol.119, no.372, CPSY2019-75, pp.147-150
4. 発表年 2020年

1. 発表者名 新谷隆太, 中田尚, 中島康彦
2. 発表標題 分散CNNにおける通信効率化のための圧縮技術の比較検討
3. 学会等名 信学技報, vol.119, no.147, CPSY2019-36
4. 発表年 2020年

1. 発表者名 本田卓, 岩本淳, 中島康彦
2. 発表標題 リニアアレイによる逆行列計算の高速化手法と評価
3. 学会等名 情報処理学会研究報告, Vol.2019-ARC-237, No.15
4. 発表年 2020年

1. 発表者名 中島康彦
2. 発表標題 CGLAにおける高速コンパイルとチューニングのためのアーキテクチャ支援
3. 学会等名 信学技報, vol.119, no.76, CPSY2019-9, pp.71-76
4. 発表年 2020年

1. 発表者名 西本宏樹, 中田尚, 中島康彦
2. 発表標題 GPGPUを用いた変分混合ガウスモデルのパラメータ推定高速化
3. 学会等名 信学技報, vol.119, no.76, CPSY2019-1, pp.1-5
4. 発表年 2020年

1. 発表者名 平賀由利亜, 福岡久和, 三谷剛正, 中田尚, 中島康彦
2. 発表標題 共有 CNN を用いた高効率な分割推論実行モデル
3. 学会等名 xSIG 2018: The 2nd. cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming
4. 発表年 2018年

1. 発表者名 Tati Erlina, Renyuan Zhang, Yasuhiko Nakashima
2. 発表標題 An Efficient Multiplier Employing Time-Encoded Stochastic Computing Circuit
3. 学会等名 信学技報, vol.118, no.339, CPSY2018-41, pp.47-52
4. 発表年 2018年

1. 発表者名 岩本淳, 菊谷雄真, 中島康彦
2. 発表標題 ユニット内フィードバックによるリニアアレイの多重ループ対応手法
3. 学会等名 信学技報, vol.118, no.339, CPSY2018-40, pp.33-38
4. 発表年 2018年

1. 発表者名 西本宏樹, 中田尚, 中島康彦
2. 発表標題 変分混合ガウスモデルアクセラレータ設計のための変分推論アルゴリズムの解析
3. 学会等名 信学技報, vol.118, no.334, VLD2018-62, pp.155-160
4. 発表年 2018年

1. 発表者名 中島康彦
2. 発表標題 AI専用ハードを横目に見ながらやるべきこと
3. 学会等名 信学技報, vol.118, no.339, CPSY2018-37, pp.3-8 (招待講演)
4. 発表年 2018年

1. 発表者名 Jun IWAMOTO, Yuma KIKUTANI, Renyuan ZHANG, and Yasuhiko NAKASHIM
2. 発表標題 CGRA Cascading for Narrow Memory Bandwidth and Low Cost
3. 学会等名 xSIG 2019: The 3rd. cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming
4. 発表年 2019年

1. 発表者名 Keisuke Fujimoto, Takashi Nakada, Shinya Takamaeda-Yamazaki, Yasuhiko Nakashima
2. 発表標題 A Multi-Level Power-Capping Mechanism for FPGAs
3. 学会等名 xSIG2017
4. 発表年 2017年

1. 発表者名 平賀由利亜, 三谷剛正, 福岡久和, 中田尚, 中島康彦
2. 発表標題 エッジコンピューティングによる分散ニューラルネットワークの構想
3. 学会等名 電子情報通信学会コンピュータシステム研究会
4. 発表年 2017年

1. 発表者名 山野龍佑, 中島康彦
2. 発表標題 時分割多重実行によるシストリックリングの面積効率向上手法
3. 学会等名 電子情報通信学会コンピュータシステム研究会
4. 発表年 2017年

1. 発表者名 福岡久和, 山野龍佑, 中島康彦
2. 発表標題 各種FPGAによる畳み込み演算向けシストリックリングの実装と評価
3. 学会等名 電子情報通信学会コンピュータシステム研究会
4. 発表年 2017年

1. 発表者名 中島康彦
2. 発表標題 GoogleのTPUにも使われたシストリックアレイアーキテクチャとDeep Learningについて
3. 学会等名 富士通研究所技術講演会（招待講演）
4. 発表年 2017年

1. 発表者名 中島康彦
2. 発表標題 Deep Learningに向けたApproximate Computingとシストリックアレイアーキテクチャ
3. 学会等名 革新的コンピューティングの研究開発戦略検討会（招待講演）
4. 発表年 2017年

1. 発表者名 Renyuan Zhang, Takashi Nakada, Yasuhiko Nakashima
2. 発表標題 A Programmable Analog Calculation Unit based on Support Vector Regression
3. 学会等名 電子情報通信学会コンピュータシステム研究会
4. 発表年 2017年

1. 発表者名 中島康彦
2. 発表標題 Approximate Computingとシストリックアレイ
3. 学会等名 ジスクソフト技術講演会（招待講演）
4. 発表年 2017年

1. 発表者名 菊谷雄真, 山野龍佑, 一倉孝宏, 中島康彦
2. 発表標題 時分割多重実行型シストリックリングの実装と評価
3. 学会等名 電子情報通信学会コンピュータシステム研究会
4. 発表年 2017年

1. 発表者名 菊谷雄真, 山野龍佑, 一倉孝宏, 中島康彦
2. 発表標題 エッジコンピューティング向けアクセラレータの実装と評価
3. 学会等名 電子情報通信学会関西支部第23回研究発表講演会
4. 発表年 2017年

〔図書〕 計0件

〔出願〕 計8件

産業財産権の名称 制御装置（スパイクメモリ構成方法）	発明者 中島康彦, 木村睦, 張任遠	権利者 同左
産業財産権の種類、番号 特許、特願2021- 27859	出願年 2021年	国内・外国の別 国内

産業財産権の名称 データ処理装置（高効率アクセラレータ構成方法）	発明者 中島康彦	権利者 同左
産業財産権の種類、番号 特許、PCT/JP2020/025123	出願年 2020年	国内・外国の別 外国

産業財産権の名称 データ処理装置（メモキャパシタ構成方法）	発明者 中島康彦, 木村睦, 張任遠	権利者 同左
産業財産権の種類、番号 特許、特願2020-91392	出願年 2020年	国内・外国の別 国内

産業財産権の名称 データ処理装置（高効率アクセラレータ構成方法）	発明者 中島康彦	権利者 同左
産業財産権の種類、番号 特許、特願2019-517698	出願年 2019年	国内・外国の別 国内

産業財産権の名称 データ処理装置（NCHIP制御方法）	発明者 中島康彦	権利者 同左
産業財産権の種類、番号 特許、特願2019-121853	出願年 2019年	国内・外国の別 国内

産業財産権の名称 データ処理装置（高効率アクセラレータ構成方法）	発明者 中島康彦	権利者 同左
産業財産権の種類、番号 特許、PCT/JP2018/018169	出願年 2018年	国内・外国の別 外国

産業財産権の名称 データ処理装置（高効率アクセラレータ構成方法）	発明者 中島康彦	権利者 同左
産業財産権の種類、番号 特許、特願2017-96061	出願年 2017年	国内・外国の別 国内

産業財産権の名称 データ処理装置（高効率アクセラレータ構成方法）	発明者 中島康彦	権利者 同左
産業財産権の種類、番号 特許、PCT/JP2018手続中	出願年 2018年	国内・外国の別 外国

〔取得〕 計2件

産業財産権の名称 データ処理装置（メモリ内蔵アクセラレータの構成方法）	発明者 中島康彦，高前田伸也	権利者 同左
産業財産権の種類、番号 特許、中国ZL201680019602	取得年 2020年	国内・外国の別 外国

産業財産権の名称 Data processing Device	発明者 Yasuhiko Nakashima	権利者 同左
産業財産権の種類、番号 特許、US Patent 10,275,392	取得年 2019年	国内・外国の別 外国

〔その他〕

NAIST Computing ARchitecture Lab <a href="http://arch.naist.jp/">http://arch.naist.jp/</a> 奈良先端科学技術大学院大学コンピューティングアーキテクチャ研究室 <a href="http://arch.naist.jp">http://arch.naist.jp</a>
--

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	ZHANG Renyuan  (ZHANG Renyuan)  (00709131)	奈良先端科学技術大学院大学・先端科学技術研究科・助教    (14603)	
研究分担者	中田 尚  (NAKADA Takashi)  (00452524)	奈良先端科学技術大学院大学・先端科学技術研究科・准教授    (14603)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関