

令和 2 年 7 月 6 日現在

機関番号：12102

研究種目：基盤研究(B) (一般)

研究期間：2017～2019

課題番号：17H01707

研究課題名(和文) 高効率な並列計算を実現するコロニー型メニーコアアーキテクチャ

研究課題名(英文) Highly parallel computing with many corallum mimic architecture

研究代表者

山口 佳樹 (Yamaguchi, Yoshiki)

筑波大学・システム情報系・准教授

研究者番号：30373377

交付決定額(研究期間全体)：(直接経費) 14,600,000円

研究成果の概要(和文)：設計容易性、演算速度、消費電力対性能、可変性等を備えたメニーコアアーキテクチャとして、FPGAの書き換え可能性を積極的に利用した、コロニー型アーキテクチャの提案とその実装に関する研究を行った。まず、設計容易性という観点から、SIMD命令を基本とした演算部(PE)の並列実装に取り組んだ。次に、演算速度、電力対性能の観点から、PE部に独自の演算命令(ISA)を提案し、それを最大256基実装した。これにより、FPGAの書き換え機能を用い、アプリケーションに適した回路構成を取ることを可能にした。また、既存アーキテクチャ(RISC-V)を基にした提案も行ない、何れにおいても十分な性能を得ることができた。

研究成果の学術的意義や社会的意義

半導体集積度の向上に期待したプロセッサの性能向上、特にプロセッサコア数の増加による性能向上、は難しいものとなりつつある。一方、ビッグデータや機械学習など扱うデータ量は指数関数的に増大している。そこで、プロセッサコア数およびプロセッサ数を増やすことで得られる従来の高速化の方向に加え、そこで利用される複数の演算コアを動的かつ柔軟に変更する提案を導入することで、飛躍的な性能向上を期待できる可能であることを示した。

研究成果の概要(英文)：This project has proposed a colony-based architecture and studied its efficient implementation on FPGAs, which actively utilizes the function of reconfiguration to adapt to target applications. It brings the ease of hardware and software development, accelerated computing speed, excellent power performance, and flexibility for computing systems. First of all, the colony-based architecture adapts a many-core architecture following a SIMD manner in the proposition of this research project. Thus, some processing elements and their inter-network were evaluated in this project. Then, some instruction-set architectures were verified for accelerating target applications and prepared for reconfiguration as building blocks from the viewpoint of computing speed and power performance. Also, common and popular ISAs like RISC-V were evaluated on the proposed architecture. Both the proposed and traditional ISAs could achieve adequate performance compared to conventional processors.

研究分野：リコンフィギャラブルアーキテクチャ

キーワード：FPGA SIMD メニーコア

## 1. 研究開始当初の背景

2000年初頭まで演算処理装置(CPU)は単一の演算コアで構成され、その演算性能の向上は主に動作周波数の向上によりもたされていた。しかし、動作周波数と演算性能のトレードオフに関する議論が進むと、マルチコアやメニーコアなどプロセッサコア数を増やす方向に舵を取ることとなった。この先には並列プログラミングという困難が待ち受けていたものの、利用者がこの新しいアーキテクチャを容易に扱えるようにするため、例えば、従来から存在したスレッドという概念を応用し、演算を細かい単位に分割し、複数同時に扱うことで、そのシステム設計ならびにシステム性能を引き出すことが可能となった。つまり、この10年間で、先達の努力によりマルチコア/メニーコアシステムは実用化され、その世界は格段に広がった。一方、使用トランジスタ数に対する性能という観点ではその鈍化が確認されており、この先に続く新しいアーキテクチャについて改めて議論すべき局面を迎えている。

## 2. 研究の目的

単一の計算スレッドを複数・並列に実行させるという従来の計算様式を拡張するとともに、演算の可変性について保証した演算方式について検討する。

## 3. 研究の方法

超並列演算を活かすメニーコアアーキテクチャの構成および実効効率について検討と評価を行った。また、各アプリケーションがもつ演算特性に対応可能なフレキシビリティの高い演算器および構成の検討を行うとともに、利用者の設計容易性(プログラマビリティの向上)を兼ね備えたシステムについても検討を行った。演算の可変性を扱うことから、試験環境としてFPGAを用い、想定する数種の問題に対する実装を通してその性能について評価を行った。

## 4. 研究成果

### (1) 概要

利用者=アーキテクチャ=ハードウェア資源をシームレスに繋げ、かつ高い利用効率を達成する全体構造について議論を行った。第一に、ハードウェア利用効率および消費電力対性能という観点より演算加速装置について議論する場合、対象とする問題を熟知し、細粒度レベルから設計を最適化することが最も望ましい。しかし、高性能計算について考えると2019年8月にCerebrasが1.2兆個のトランジスタかつ約40万個の演算コアを有するWafer Scale Engineを発表したように、演算処理装置の設計およびその上で実行される処理の整理は、人間が設計・制御可能な範囲を逸脱したスケールとなりつつある。つまり、トランジスタ数に対する演算の効率と、その演算器の利用効率の双方を満足するハードウェア資源を直接取り扱う低位言語による細粒度設計は限界に近付いており、その双方を切り分ける中間構造を導入し、その双方を最適化可能な余地を持つ高位合成による設計が望ましい。そこで、FPGAを中心に置き、図1に示すオーバーレイアーキテクチャについて提案を行い、その議論を開始した。

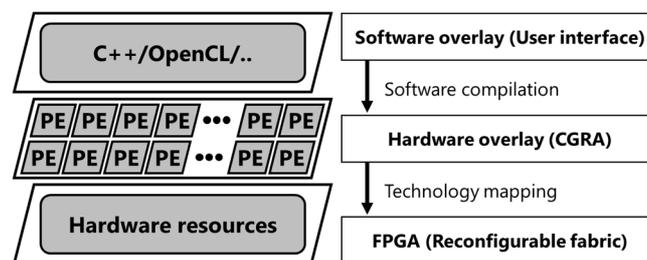


図1 検証に利用したシステムの概念構造

提案する構造は、ハードウェア部(FPGA)、中間構造(本提案)、利用者による設計の大きく3層より構成される。提案する中間構造は、複数の演算コア(PE)を配列状に配置した構造となっている。配列の形状(後述)は基本的に変更されないが、その要素であるPEは変更可能である。PEは、共通する命令セットアーキテクチャ(ISA)を持っているが、異なる構造を採用することで、演算特性に応じた適切な形でハードウェア部と利用者の橋渡しを実現することが可能となる。つまり、利用者から見たとき、対象とする問題のアルゴリズム最適化に注力するだけで良い。その内容を自動的に解析し、最適なPEを常に選択することができれば、本研究の目的が達成される。

## (2) 中間構造

中間構造の骨格 (MITRACA: Manycore Interlinked Torus Reconfigurable ACcelerator Architecture) を図 2 に示す。本構造は、基本的に SIMD 構造を踏襲している。他の SIMD 構造との大きな違いは、64 コアの場合、ある PE は 6 個の PE と密に接続され、レジスタを介してデータを直接やり取りできる点にある。つまり、最大で、4 次元トラス構造が実現可能である。

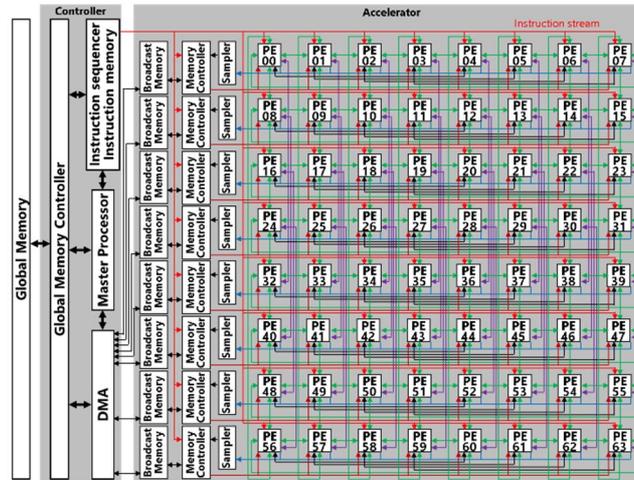


図 2 中間構造 (MITRACA: Manycore Interlinked Torus Reconfigurable ACcelerator Architecture)

また、チップ内ネットワークにおけるコストは非常に大きいことから、MITRACA では、この隣接する直接接続を使用するかどうかをアプリケーションの特性に応じて変更できる。即ち、利用しないアーキテクチャにおいては配線量および接続切替回路量の削減が可能となっている。次に、PE の基本アーキテクチャを図 3 に示す。

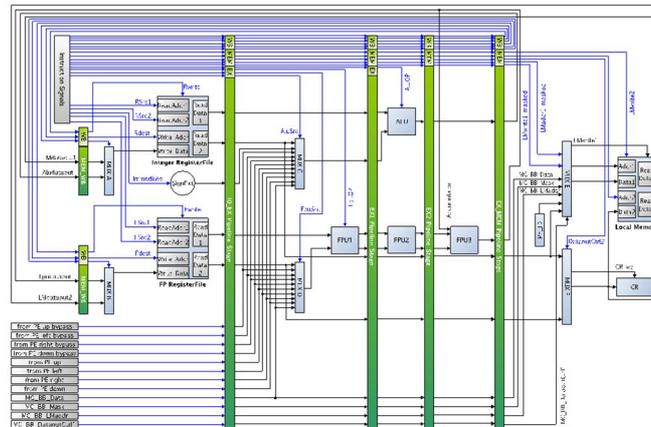


図 3 PE の基本アーキテクチャ

演算装置 (ALU: arithmetic logical unit) および浮動小数点装置 (FPU: Floating Point Unit) の遅延を同じパイプライン段数にすることで、ALU 1 基 + FPU 1 基や FPU 2 基などの変更が可能である。これらの種類違いや性能については、MCSoc2019, ARC2020, ASAP2019, 2020 などの会議で報告しているが、行列計算から遺伝子情報処理における文字列検索など、異なる種類の問題に対して十分な性能を示すことができることがわかった。

一方で、動作周波数や消費電力の観点で見たとき、FPGA を用いていることから、GPU と比較して特定の演算において十分な性能向上が得られないことが分かっている。中間構造を ASIC 化することでこの問題は改善できるが、ASIC の採用は本提案の特徴である自由度を大きく損ねることから中間構造とトランジスタ実装の間の粗粒度～細粒度の間を結ぶアーキテクチャについても提案が必要であることが明らかになった。

## (3) 命令列の並列化

ユーザ視点で考えた場合、アルゴリズム最適化を含む MIMD (Multiple Instruction Multiple Data) 実装は非常に敷居が高い一方、SIMD (Single Instruction Multiple Data) 実装による効率の低下は大きな問題であった。自動化を意識し、本研究では、命令列を複数にするという DIMD (Dual Instruction Multiple Data) を導入し、実行効率の向上を図った。DFT 演算の実装にお

いて、回路規模をほとんど増加させることなく、16 PE 利用時、従来の MPI 実装と比較して 40% 程度、これまでの本提案である SIMD 実装と比較して 20% 程度の性能向上を得ることができた。この方向は、(2)の課題である自由度の問題を解決できる糸口になると考えられ、今後も研究を継続する予定である。

## 5. 主な発表論文等

〔雑誌論文〕 計20件（うち査読付論文 11件 / うち国際共著 1件 / うちオープンアクセス 5件）

1. 著者名 Iman Firmansyah, Yoshiki Yamaguchi	4. 巻 1
2. 論文標題 OpenCL Implementation of FPGA-based Signal Generation and Measurement	5. 発行年 2019年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 1~11
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ACCESS.2019.2910391	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Iman Firmansyah, Yusuf Nur Wijayanto, Yoshiki Yamaguchi	4. 巻 1
2. 論文標題 2D Stencil Computation on Cyclone V SoC FPGA using OpenCL	5. 発行年 2018年
3. 雑誌名 Proceedings of 2018 International Conference on Radar, Antenna, Microwave, Electronics, and Telecommunications	6. 最初と最後の頁 121~124
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/ICRAMET.2018.8683924	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 該当する
1. 著者名 Nakamura Hiroki, Takayama Hirotaka, Yamaguchi Yoshiki, Boku Taisuke	4. 巻 1
2. 論文標題 Thorough analysis of PCIe Gen3 communication	5. 発行年 2017年
3. 雑誌名 Proceedings of the International Conference on ReConfigurable Computing and FPGAs	6. 最初と最後の頁 1~6
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/RECONFIG.2017.8279824	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Ben Abdelhamid Riadh, Yamaguchi Yoshiki	4. 巻 1
2. 論文標題 A Block-Based Systolic Array on an HBM2 FPGA for DNA Sequence Alignment	5. 発行年 2020年
3. 雑誌名 Proceedings of Applied Reconfigurable Computing	6. 最初と最後の頁 298~313
掲載論文のDOI（デジタルオブジェクト識別子） 10.1007/978-3-030-44534-8_23	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Du Changdao, Firmansyah Iman, Yamaguchi Yoshiki	4. 巻 1
2. 論文標題 FPGA-Based Computational Fluid Dynamics Simulation Architecture via High-Level Synthesis Design Method	5. 発行年 2020年
3. 雑誌名 Proceedings of Applied Reconfigurable Computing	6. 最初と最後の頁 232 ~ 246
掲載論文のDOI (デジタルオブジェクト識別子) 10.1007/978-3-030-44534-8_18	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Du Changdao, Firmansyah Iman, Yamaguchi Yoshiki	4. 巻 1
2. 論文標題 High-Performance Computation of LGCA Fluid Dynamics on an FPGA-Based Platform	5. 発行年 2020年
3. 雑誌名 Proceeding of International Conference on Computer and Communication Systems	6. 最初と最後の頁 520 ~ 525
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ICCCS49078.2020.9118557	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Niki Mirai, Yamaguchi Yoshiki, Amagasa Toshiyuki	4. 巻 WIP23
2. 論文標題 FPGA-based SPARQL query acceleration	5. 発行年 2020年
3. 雑誌名 Proceedings of Asia Pacific Conference on Robot IoT System Development and Platform	6. 最初と最後の頁 1 ~ 2
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ben Abdelhamid Riadh, Yamaguchi Yoshiki, Boku Taisuke	4. 巻 1
2. 論文標題 MITRACA: A Next-Gen Heterogeneous Architecture	5. 発行年 2019年
3. 雑誌名 Proceedings of International Symposium on Embedded Multicore/Many-core Systems-on-Chip	6. 最初と最後の頁 304-311
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/MCSoc.2019.00050	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ben Abdelhamid Riadh, Yamaguchi Yoshiki, Boku Taisuke	4. 巻 1
2. 論文標題 MITRACA: Manycore Interlinked Torus Reconfigurable Accelerator Architecture	5. 発行年 2019年
3. 雑誌名 Proceedings of IEEE 30th International Conference on Application-specific Systems, Architectures and Processors	6. 最初と最後の頁 38 ~ 38
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ASAP.2019.00-35	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Firmansyah Iman, Changdao Du, Fujita Norihisa, Yamaguchi Yoshiki, Boku Taisuke	4. 巻 1
2. 論文標題 FPGA-based Implementation of Memory-Intensive Application using OpenCL	5. 発行年 2019年
3. 雑誌名 Proceedings of the 10th International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies	6. 最初と最後の頁 1 ~ 4
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3337801.3337806	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Du Changdao, Yamaguchi Yoshiki	4. 巻 1
2. 論文標題 A High-Level Synthesis Design for a Scalable Hydrodynamic Simulation on OpenCL FPGA Platform	5. 発行年 2019年
3. 雑誌名 Proceedings of the 10th International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies	6. 最初と最後の頁 1 ~ 4
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3337801.3337807	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計10件 (うち招待講演 0件 / うち国際学会 1件)

1. 発表者名 Firmansyah Iman, Changdao Du, Yamaguchi Yoshiki, Boku Taisuke
2. 発表標題 Matrix Multiplication Implementation on Cyclone V SoC FPGA using OpenCL
3. 学会等名 International Conference on Computer, Control, Informatics, and Its Application (国際学会)
4. 発表年 2018年

1. 発表者名 横野 智也、山口 佳樹、藤田 典久、大畠 佑真、小林 諒平、朴 泰祐、吉川 耕司、安部 牧人、梅村 雅之
2. 発表標題 FPGAによる宇宙輻射輸送シミュレーションの演算加速
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2018年

1. 発表者名 Tan Yuxi、Yamaguchi Yoshiki
2. 発表標題 A tightly-connected RISC-V manycore processor in a SIMD manner
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2020年

1. 発表者名 原澤 輝、山口佳樹
2. 発表標題 分散共有メモリを備えるマルチFPGAシステムに向けた実装と評価
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2020年

1. 発表者名 仁木 美来、山口 佳樹、天笠 俊之
2. 発表標題 FPGAによるSPARQL問合せの高速化
3. 学会等名 情報科学技術フォーラム
4. 発表年 2019年

1. 発表者名 紀野國 祐太、山口 佳樹
2. 発表標題 FPGAを用いたストレージコントローラの実装と評価
3. 学会等名 情報処理学会第81回全国大会
4. 発表年 2019年

1. 発表者名 横野 智也、山口 佳樹、藤田 典久、小林 諒平、朴 泰祐、吉川 耕司、安部 牧人、梅村 雅之
2. 発表標題 高位設計と低位設計の違いとFPGA演算性能の関係について
3. 学会等名 情報処理学会第81回全国大会
4. 発表年 2019年

1. 発表者名 敖 運、中村 大樹、山口 佳樹
2. 発表標題 並列計算におけるFPGA高速相互接続に関する研究
3. 学会等名 情報処理学会第81回全国大会
4. 発表年 2019年

1. 発表者名 横野 智也、山口 佳樹、藤田 典久、大畠 佑真、小林 諒平、朴 泰祐、吉川 耕司、安部 牧人、梅村 雅之
2. 発表標題 宇宙輻射輸送計算におけるHDL設計とOpenCL設計の比較
3. 学会等名 情報処理学会ハイパフォーマンスコンピューティング研究会
4. 発表年 2018年

1. 発表者名 中村 大樹、高山 尋考、山口 佳樹、朴 泰祐
2. 発表標題 PCIe Gen3データ転送におけるFPGA性能の徹底調査
3. 学会等名 電子情報通信学会
4. 発表年 2017年

〔図書〕 計1件

1. 著者名 Hideharu Amano, Toshinori Sueyoshi, Masahiro Iida, Motoki Amagasaki, Yuichiro Shibata, Tomonori Izumi, Yukio Mitsuyama, Kentaro Sano, Hiroki Nakahara, Tsutomu Maruyama, Yoshiki Yamaguchi, Yasunori Osana, Masato Motomura, Masanori Hariyama, Minoru Watanabe	4. 発行年 2018年
2. 出版社 Springer, Singapore	5. 総ページ数 231
3. 書名 Principles and Structures of FPGAs	

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----