

令和 3 年 6 月 7 日現在

機関番号：13901

研究種目：基盤研究(B)（一般）

研究期間：2017～2019

課題番号：17H01712

研究課題名（和文）IoT社会の実現を目指した次世代コンピューティング基盤の研究

研究課題名（英文）Research on computing infrastructure aimed at realizing an IoT society to come

研究代表者

石原 亨（Ishihara, Tohru）

名古屋大学・情報学研究科・教授

研究者番号：30323471

交付決定額（研究期間全体）：（直接経費） 14,500,000円

研究成果の概要（和文）：コンピュータシステムの消費エネルギーを劇的に削減するプロセッサチップとオペレーティングシステム（以下OS）によるプロセッサの電力管理機構を開発した。具体的には、OSからプロセッサの電源電圧と基板バイアスおよびクロック周波数を動的に制御し、プロセッサの消費エネルギーを常に最小に保つためのアルゴリズムを開発した。RISC-Vと呼ばれるオープンソースのマイクロプロセッサをベースにプロセッサチップを試作し、開発した制御アルゴリズムの有効性を実チップで確認した。具体的には、恒温槽を用いて温度環境を変更し、さまざまな動作環境においてもプロセッサチップが常に最小エネルギーで動作することを確認した。

研究成果の学術的意義や社会的意義

コンピュータシステムはデータセンターや企業内の計算機サーバーだけでなく、自動車や家電製品に至るまでありとあらゆる物に組み込まれてる。これらの消費エネルギーを削減することは温室ガスの削減や化石燃料の消費量を減らす観点で世界的に重要な意義を持つ。また、超小型バッテリーでコンピュータチップを稼働させる仕組みは、例えば体に張り付けて四六時中人の健康管理を行うコンピュータや体内の病気を長期間に渡って精密に検査するコンピュータの実現につながる。本研究の成果は上記のようなコンピュータシステムをマイクロワット級の極めて小さい電力で動作させることを可能にするものであり学術的・社会的意義は極めて大きい。

研究成果の概要（英文）：We have developed a microprocessor and a power management algorithm running on operating systems, which always minimize the energy consumption of the microprocessor. The algorithm dynamically controls the supply voltage, threshold voltage and clock frequency of the microprocessor so that the energy consumption of the microprocessor is always minimized for a given operation condition which include ambient temperature and workload of the applications running on the microprocessor. We have developed microprocessor chips based on RISC-V, an open source microprocessor design and have confirmed that the microprocessor and the power management algorithm we have developed work effectively. More specifically, we run the power management algorithm on the microprocessor under different ambient temperature conditions using a thermostatic chamber and confirmed that the processor chip we have developed always operates with the minimum energy even in the different operating environments.

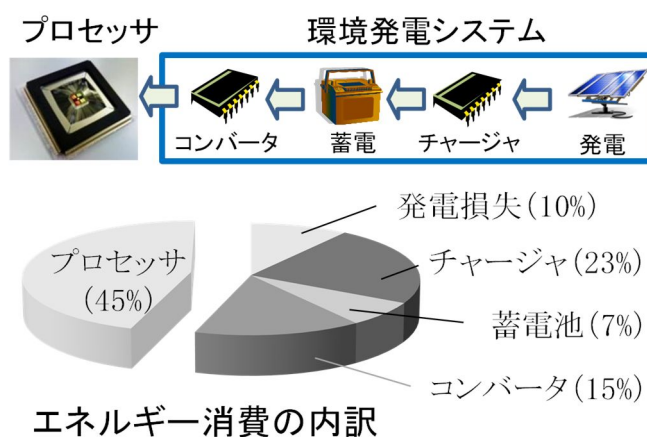
研究分野：情報工学

キーワード：計算機システム

## 1. 研究開始当初の背景

典型的なコンピュータだけでなく衣服や建造物などあらゆるものがインターネットに接続されて交信する Internet of Things (IoT)の時代が到来しようとしている。IoT 時代以前の今日、主な情報処理手段であるスマートフォンなどの携帯機器は、バッテリーを主な電力源としている。バッテリーを長時間使用するためにはプロセッサ等の消費エネルギーが小さいことが重要となる。

一方、IoT 社会の実現には、安定した電力供給が行き届かないあらゆる場所において長期間安定して動作するコンピュータシステムの構築が不可欠である。東京電力などのスマートメータへの採用が決まっている日本発の世界標準無線通信規格「Wi-SUN」は、単三形乾電池 3 本程度の電力源でスマートメータを 10 年以上継続動作させることを目標としている。太陽光や風力あるいは体温や周囲の電磁波から電力を生成して補助電力源として使用する環境発電技術が非常に重要となる。申請者は H26 ~ H28 年度の科研費基盤(B)において「環境発電技術を用いた社会に溶け込むコンピューティング基盤の研究」を実施し、太陽電池やレモン電池でプロセッサを安定動作させるシステムを構築した。その中で下図に示すとおり、全消費エネルギーの約半分がプロセッサシステム以外で消費されている状況が明らかになった。例えば、発電デバイスは必ずしも最大電力点 (MPPT) で電力を取り出せるとは限らないため発電効率が低下する。また、バッテリーチャージャや DC-DC コンバータは、入出力電圧差が大きくなると変換効率が低下する。特に昇圧変換の際には効率が大幅に悪化する。したがって、可能な限り電圧変換および蓄電を行わずに、発電機の電力を直接使用するシステム構成が有効である。しかし、風力や体温から電力を生成する発電デバイスは、状況によっては起電力および出力電圧が非常に小さく不安定であるという問題がある。



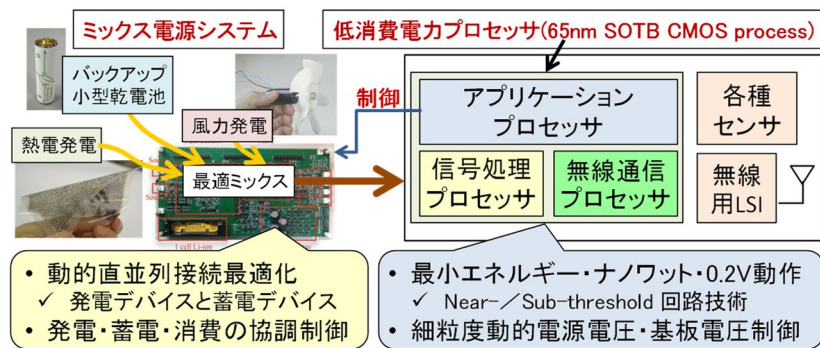
## 2. 研究の目的

そこで本研究課題では、起電力が小さく極低電圧な電源でも安定して動作するプロセッサシステムを開発する。また、プロセッサが環境から取り入れた電力を最大限活用できるようにする柔軟な電源を開発する。具体的には、電力源からの供給電力が豊富 (余剰電力を蓄電可能) な状況では、最小エネルギー動作点 (Min. Energy Point) で動作し、供給電力が不十分な状況では 0.2V の極低電圧かつナノワットオーダの低電力動作を可能にするプロセッサを開発する。上記の開発を含め下記 3 つの課題に取り組み、IoT 社会に適した次世代コンピューティング基盤を構築する。

1. 環境から取り入れたエネルギーを最大限有効活用する高効率な電力源
2. 極低電圧かつナノワットの不安定な電力源で安定動作するプロセッサシステム
3. システムのリアルタイム性と長期間継続動作を両立させるための電力管理技術

小型のバックアップ乾電池と環境発電とのミックス電源を持ち電源電圧と基板電圧を動的に変更可能な右図に示すプロセッサシステムを対象に次の2項目を明らかにする。

目的:長期間の連続稼働を保证するプロセッサシステムの実証



1. 発電から消費までの全ての過程で消費されるエネルギーを最小化するための電源システムとプロセッサシステムのアーキテクチャを明らかにする。このために次の2項目を実施する。

- 小型バックアップ乾電池と環境発電とのミックス電源システムの開発
- 定格電圧から 0.2V までの動作電圧で安定動作するプロセッサの開発 (無線 LSI は対象外)

2. 発電から消費までの全ての過程で消費されるエネルギーを最小化するための電源システムとプロセッサシステムの制御方法を明らかにする。このために次の3項目を実施する。

- 電源システムとプロセッサシステムのエネルギー消費モデルの構築
- システム全体のエネルギー消費を最小化する電源制御技術の開発
- システム全体のエネルギー消費を最小化する統合電力管理リアルタイム OS の開発

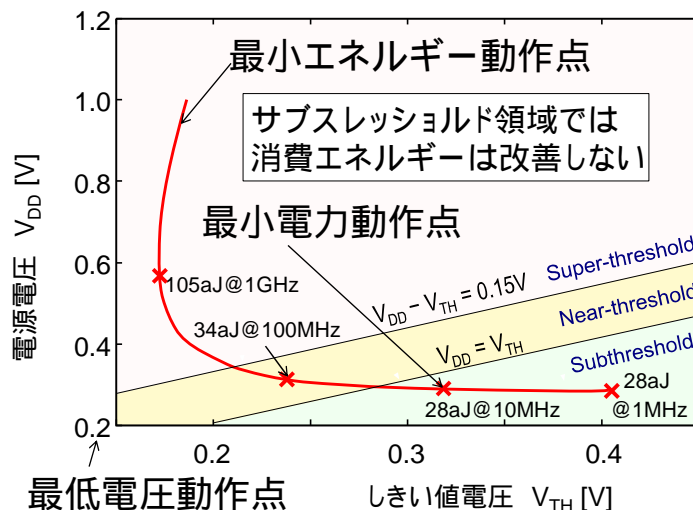
プロセッサシステムの単なる省エネルギー化ではなく、発電所からの電力が行き届かない場所や常時身につける電子機器でも長期間の安定動作を保证するプロセッサシステムを構築する点が本研究の特色である。従って、プロセッサチップのみの消費エネルギー最小化が本研究課題の目的ではない。このように“限られたエネルギー源でシステムの連続駆動期間を最大化する”という問題設定も本研究の特色である。上述の電力管理を可能にするために、利用可能な電力源に応じて広い動作電圧範囲で安定動作可能なプロセッサシステムと高効率環境発電システムを構築する。環境発電システムは、状況に応じて環境から取り入れた電力を直接利用するか、一時的に蓄電して利用するかを適切に切り替える。近年では太陽電池などの環境発電デバイスを搭載した携帯機器も製品化されているが、発電デバイスと蓄電デバイスおよびプロセッサシステムのハードウェアとソフトウェアを統合的に管理する電力管理技術は過去に例がない。電力管理プログラムが発電装置、蓄電池、プロセッサシステムおよびアプリケーションプログラムの動作を総合的に考慮し、システム全体を統合的に最適管理する点も本研究の独創的な点である。

本研究課題は、いつでもどこでも使える真にユビキタスな自律型コンピューティング基盤の構築を目的とする。例えば、監視カメラは、カメラ自体のコストよりも電源の敷設コストの方が大きいので、本研究課題の成果を利用することにより電源の敷設コストが不要となり、監視システムの低コスト化が期待できる。また、体温や振動から生成した電力によって常時自律動作するプロセッサシステムが実現出来れば、体に貼り付けたセンサが定期的に血圧や脈拍あるいは涙の成分を分析することにより我々の健康状態を健全に保ち病気の予防に繋げることができる。

3. 研究の方法

本研究では、申請者が過去に科研費等の補助を受けて実施した研究の成果を最大限活用する。具体的には低電力プロセッサとその最小エネルギー動作点追跡技術、メモリの低電圧化技術、環境発電技術および電力管理技術を活用する。過去の試作プロセッサチップや Toppers OS (ソースの無償利用が可能) の資産を活用する。

本研究では、プロセッサシステムの電源電圧としきい値電圧を動的に制御することにより限られた電力源でプロセッサシステムを長期間安定動作させる技術を開発する。申請者は、過去に科研費の助成を受けて実施した研究により、プロセッサの最小エネルギー動作点に関する重要な性質を明らかにし、プロセッサの最小エネルギー動作点追跡



アルゴリズムを世界に先駆けて提案した。関連する成果によって IEEE SoC Conference Best Paper Award、IEEE SSCS Japan Chapter VDEC Design Award (最優秀賞)、IEEE CEDA Young Researcher Award、情報処理学会システムとLSIの設計技術研究会 優秀論文賞、情報処理学会 DA シンポジウム 2016 最優秀ポスター賞、を受賞した。

右上図に 28nm CMOS プロセスに基づいて設計したテスト回路の消費エネルギーと電圧の関係を示した。右上図に示すとおり、回路の電源電圧を低減するとサイクルあたりの消費エネルギーは劇的に削減される。バッテリーを主な電力源とする今日の携帯機器は最小エネルギー動作点でプロセッサを動作させることにより機器の連続使用時間を延長させることができる。右上図は、電源電圧がしきい値電圧未満となるサブスレッシュホールド領域では消費エネルギーが改善しなくなることを示しているが、動作速度を低下させると同時にしきい値電圧を上昇させると、性能に比例して消費電力を削減することができる。環境から取り入れた微小電力を有効活用するためには高いしきい値電圧で回路を極省電力動作させることが重要である。さらに、体温や振動から電力を生成する環境発電デバイスは起電圧が小さい。発電デバイスの直列接続により起電圧を増大させることができるが、起電流が低下する。したがって、環境から取り入れた微小電力を昇圧なしに活用するためには極小電圧で動作する回路機構が重要となる。そこで本研究課題では、1) 1.0V から 0.2V までの幅広い電圧範囲で安定動作するプロセッサ、および 2) 状況に応じて i) 最小エネルギー動作、ii) 最小電力動作、iii) 最低電圧動作、を適切に切り替える電圧制御技術、を世界に先駆けて開発する。

#### 4. 研究成果

初年度は過去に構築したプロセッサの最小エネルギー動作点追跡技術の理論を実証する最小エネルギー動作点追跡システムを構築した。過去に実施した研究において最小エネルギー動作点はプロセッサの動作温度、回路の活性化率、トランジスタの経年劣化度合、および、要求動作速度に依存することを明らかにしている。また、プロセッサの最小エネルギー動作点は、プロセッサの電源電圧、基板バイアス、活性化率、リーク電流、および温度から



簡単な計算式を用いて正確に導出できることを明らかにしている。構築したシステムは、具体的にはプロセッサと同じチップに搭載したリーク電流センサ、4種類のパフォーマンスカウンタ、温度センサおよびクリティカルパス遅延モニタを用いて実時間で最小エネルギー動作点を導出する。上記4種類のパフォーマンスカウンタは、具体的には単位時間あたりの命令実行数、キャッシュアクセス数、命令メモリアクセス数、データメモリアクセス数を計測する。これらのパフォーマンスカウンタの値からプロセッサ全体の平均活性化率を実時間で導出するための線形回帰モデルを開発した。このモデルを使ってプロセッサ全体の平均活性化率を実時間で正確に予測できることを実証した。2018年度は、オープンソースのRISCプロセッサの設計記述を本課題の目的に合うように変更し新たなプロセッサチップとして試作した。このプロセッサチップにはより多くのパフォーマンスカウンタを搭載し、プロセッサの活性化率を正確に予測できるようにした。具体的には、LOAD命令とSTORE命令の実行回数、分岐した分岐命令と分岐しなかった分岐命令の実行回数など、17種類のカウンタを搭載した。

2019年度と2020年度は、商用の55nm CMOSプロセステクノロジーを使用し、動的電圧制御(電源電圧とバックゲートバイアス)を可能とするプロセッサチップを試作した。プロセッサ設計にはオープンソースコアであるRISC-Vを使用した。前年度に試作した各種要素回路の評価結果をフィードバックし、各種センサを備えたプロセッサとして実現した。1.2Vから0.3Vまでのニアスレッシュホールド電圧(しきい値電圧近傍の電源電圧)およびサブスレッシュホールド電圧(しきい値電圧以下の電源電圧)での動作を実チップにより実証した。プロセッサがニアスレッシュホールド電圧およびサブスレッシュホールド電圧で安定して動作するために極低電圧で動作するラッチセルに基づくL0キャッシュと通常電圧で動作するSRAMベースのL1キャッシュを組み合わせたハイブリッドキャッシュアーキテクチャを考案した。成果は英文論文誌で発表した。また、プロセッサの動作状況およびアプリケーションの負荷に応じて、1)最小エネルギー動作、2)最小電力動作、3)最低電圧動作、をソフトウェアから最適に制御するプロセッサの動的電圧制御メカニズムを構築した。OSの一部の機能として、プロセッサの最小エネルギー動作点(電源電圧とバックゲートバイアスの組)を特定するアルゴリズムを構築した。上記アルゴリズムに基づき、OSがブート時にプロセッサの最小エネルギー動作点を線形近似モデルとして特徴抽出する手法を確立した。事前に特徴抽出した最小エネルギー動作点の線形近似モデルに基づきプロセッサの最適な動作点を実行時に瞬時に特定する機能を構築した。上記の一連の最小エネルギー点追跡機能を検証するために恒温槽を購入し、上記のプロセッサチップを恒温槽の中で動作させることにより、プロセッサが幅広い動作温度条件の下で最適な動作点を正確に特定できることを確認した。研究の成果は国内外の関連する会議や論文誌および専門図書で発表した。

## 5. 主な発表論文等

〔雑誌論文〕 計7件（うち査読付論文 6件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Shiomi Jun, Hokimoto Shu, Ishihara Tohru, Onodera Hidetoshi	4. 巻 14
2. 論文標題 Minimum Energy Point Tracking with All-Digital On-Chip Sensors	5. 発行年 2018年
3. 雑誌名 Journal of Low Power Electronics	6. 最初と最後の頁 227 ~ 235
掲載論文のDOI (デジタルオブジェクト識別子) 10.1166/jolpe.2018.1561	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 SHIOMI Jun, ISHIHARA Tohru, ONODERA Hidetoshi	4. 巻 E100.A
2. 論文標題 A Necessary and Sufficient Condition of Supply and Threshold Voltages in CMOS Circuits for Minimum Energy Point Operation	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 2764 ~ 2775
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E100.A.2764	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 HOKIMOTO Shu, ISHIHARA Tohru, ONODERA Hidetoshi	4. 巻 E100.A
2. 論文標題 A Minimum Energy Point Tracking Algorithm Based on Dynamic Voltage Scaling and Adaptive Body Biasing	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 2776 ~ 2784
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E100.A.2776	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Shiomi Jun, Ishihara Tohru, Onodera Hidetoshi	4. 巻 -
2. 論文標題 Area-efficient fully digital memory using minimum height standard cells for near-threshold voltage computing	5. 発行年 2017年
3. 雑誌名 Integration, the VLSI Journal	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1016/j.vlsi.2017.07.001	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kishimoto Tadashi, Ishihara Tohru, Onodera Hidetoshi	4. 巻 57
2. 論文標題 A temperature monitor circuit with small voltage sensitivity using a topology-reconfigurable ring oscillator	5. 発行年 2018年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 04FF09 ~ 04FF09
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/jjap.57.04ff09	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 XU Hongjie, SHIOMI Jun, ISHIHARA Tohru, ONODERA Hidetoshi	4. 巻 E102.A
2. 論文標題 On-Chip Cache Architecture Exploiting Hybrid Memory Structures for Near-Threshold Computing	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 1741 ~ 1750
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E102.A.1741	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 KOYANAGI Takuya, SHIOMI Jun, ISHIHARA Tohru, ONODERA Hidetoshi	4. 巻 E102.C
2. 論文標題 A Design Method of a Cell-Based Amplifier for Body Bias Generation	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Electronics	6. 最初と最後の頁 565 ~ 572
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transele.2018CTP0014	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計25件 (うち招待講演 4件 / うち国際学会 11件)

1. 発表者名 Xu Hongjie, Shiomi Jun, Ishihara Tohru, Onodera Hidetoshi
2. 発表標題 Maximizing Energy Efficiency of on-Chip Caches Exploiting Hybrid Memory Structure
3. 学会等名 The 28th International Symposium on Power and Timing Modeling, Optimization and Simulation (国際学会)
4. 発表年 2018年

1. 発表者名 Okamura Yosuke, Ishihara Tohru, Onodera Hidetoshi
2. 発表標題 Independent N-Well And P-Well Biasing For Minimum Leakage Energy Operation
3. 学会等名 International Symposium on On-Line Testing and Robust System Design (国際学会)
4. 発表年 2018年

1. 発表者名 Tohru Ishihara
2. 発表標題 Minimum Energy Point Tracking Exploiting All-Digital On-Chip Sensors
3. 学会等名 The 28th International Forum on MPSoC for Software-defined Hardware (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 塩見準, 石原亨, 小野寺秀俊
2. 発表標題 アルタイム電圧最適化によるマルチタスク処理の消費エネルギー最小化
3. 学会等名 情報処理学会システムとLSIの設計技術研究会
4. 発表年 2018年

1. 発表者名 小柳卓也, 塩見準, 石原亨, 小野寺秀俊
2. 発表標題 セルベース設計に適した基板バイアス制御用増幅回路の設計手法
3. 学会等名 情報処理学会DAシンポジウム
4. 発表年 2018年



1. 発表者名 塩見準, 石原亨, 小野寺秀俊
2. 発表標題 複数電源ドメインの実行時電圧制御によるCMOS LSIの消費エネルギー最小化
3. 学会等名 情報処理学会DAシンポジウム
4. 発表年 2018年

1. 発表者名 Shengyu Liu, Jun Shioni, Tohru Ishihara, Hidetoshi Onodera
2. 発表標題 A Software Implementation of Minimum Energy Point Tracking Algorithm for Microprocessors
3. 学会等名 情報処理学会DAシンポジウム
4. 発表年 2018年

1. 発表者名 福田展和, 塩見準, 石原亨, 小野寺秀俊
2. 発表標題 幅広い動作環境にわたってLSIの最大遅延特性を追跡するクリティカルパスレプリカの構成法
3. 学会等名 情報処理学会システムとLSIの設計技術研究発表会
4. 発表年 2018年

1. 発表者名 石原 亨
2. 発表標題 Society5.0の実現に向けたエネルギーハーベスティング技術
3. 学会等名 公益社団法人電気化学会キャパシタ技術委員会 (招待講演)
4. 発表年 2019年

1. 発表者名 Kishimoto Tadashi、Ishihara Tohru、Onodera Hidetoshi
2. 発表標題 On-chip reconfigurable monitor circuit for process variation and temperature estimation
3. 学会等名 International Conference on Microelectronic Test Structures ( 国際学会 )
4. 発表年 2018年

1. 発表者名 Hokimoto Shu、Shiomi Jun、Ishihara Tohru、Onodera Hidetoshi
2. 発表標題 All-digital on-chip heterogeneous sensors for tracking the minimum energy point of processors
3. 学会等名 International Conference on Microelectronic Test Structures ( 国際学会 )
4. 発表年 2018年

1. 発表者名 Kishimoto Tadashi、Ishihara Tohru、Onodera Hidetoshi
2. 発表標題 On-chip temperature and process variation sensing using a reconfigurable Ring Oscillator
3. 学会等名 International Symposium on VLSI Design, Automation and Test ( 国際学会 )
4. 発表年 2017年

1. 発表者名 Hongjie Xu, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera
2. 発表標題 A Hybrid Caching System Using SRAM and Standard-Cell Memory for Energy-Efficient Near-Threshold Circuits
3. 学会等名 The 21st Workshop on Synthesis And System Integration of Mixed Information technologies ( 国際学会 )
4. 発表年 2018年

1. 発表者名 Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera
2. 発表標題 Individual Voltage Scaling in Logic and Memory Circuits towards Runtime Energy Optimization in Processors
3. 学会等名 International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (国際学会)
4. 発表年 2018年

1. 発表者名 Tohru Ishihara
2. 発表標題 Minimum Energy Point Tracking for Self-Powered IoT Processors
3. 学会等名 17th International Forum on MPSoC for software-defined hardware (招待講演) (国際学会)
4. 発表年 2017年

1. 発表者名 塩見準, 石原亨, 小野寺秀俊
2. 発表標題 選択的活性化によるスタンダードセルメモリの低消費エネルギー化
3. 学会等名 情報処理学会システムとLSIの設計技術研究会
4. 発表年 2018年

1. 発表者名 岸本 真, 石原亨, 小野寺秀俊
2. 発表標題 トポロジー可変リングオシレータを用いた電圧感度の小さい動作温度モニタ
3. 学会等名 情報処理学会DAシンポジウム
4. 発表年 2017年

1. 発表者名 保木本 修, 塩見準, 石原亨, 小野寺秀俊
2. 発表標題 最小エネルギー動作点追跡アルゴリズムの実チップ評価
3. 学会等名 情報処理学会DAシンポジウム
4. 発表年 2017年

1. 発表者名 塩見準, 石原亨, 小野寺秀俊
2. 発表標題 アクセス頻度に応じた電圧調節によるオンチップメモリの消費エネルギー最小化
3. 学会等名 情報処理学会DAシンポジウム
4. 発表年 2017年

1. 発表者名 岡村陽介, 石原亨, 小野寺秀俊
2. 発表標題 リークエネルギーを最小化するP/N基板電圧の設定手法
3. 学会等名 情報処理学会DAシンポジウム
4. 発表年 2017年

1. 発表者名 内田翼, 塩見準, 石原亨, 小野寺秀俊
2. 発表標題 広範囲な電圧領域で動作するフリップフロップのタイミング特性モデル
3. 学会等名 情報処理学会DAシンポジウム
4. 発表年 2019年

1. 発表者名 Tohru ISHIHARA
2. 発表標題 Near-Threshold Cache Architecture for Ultra-Low Energy Computing
3. 学会等名 International Forum on MPSoC for Software defined Hardware (招待講演)
4. 発表年 2019年

1. 発表者名 Shengyu Liu, Jun Shiomi, Tohru Ishihara, Hidetoshi Onodera
2. 発表標題 A Process-Scheduler-Based Approach to Minimum Energy Point Tracking
3. 学会等名 情報処理学会DAシンポジウム
4. 発表年 2019年

1. 発表者名 Kiyawat Khyati, Masuda Yutaka, Shiomi Jun, Ishihara Tohru
2. 発表標題 Real-Time Minimum Energy Point Tracking Using a Predetermined Optimal Voltage Setting Strategy
3. 学会等名 IEEE Computer Society Annual Symposium on VLSI (国際学会)
4. 発表年 2020年

1. 発表者名 L. Hou, Y. Masuda, T. Ishihara
2. 発表標題 An Accuracy Reconfigurable Multiply-Accumulate Unit Based on Operand-Decomposed Mitchell's Multiplier
3. 学会等名 Workshop on Synthesis And System Integration of Mixed Information technologies (国際学会)
4. 発表年 2021年

〔図書〕 計1件

1. 著者名 Jun Shiomi, Tohru Ishihara	4. 発行年 2021年
2. 出版社 Wiley - ISTE	5. 総ページ数 28
3. 書名 Multi-Processor System-on-Chip 1: (Chapter 10) Minimum Energy Computing via Supply and Threshold Voltage Scaling	

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	増田 豊 (Masuda Yutaka) (60845527)	名古屋大学・情報学研究所・助教  (13901)	2019～2020
研究分担者	小野寺 秀俊 (Onodera Hidetoshi) (80160927)	京都大学・情報学研究所・教授  (14301)	2017～2018

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------