

科学研究費助成事業 研究成果報告書

令和 2 年 7 月 1 日現在

機関番号：14301

研究種目：基盤研究(B)（一般）

研究期間：2017～2019

課題番号：17H01713

研究課題名（和文）トランジスタの特性変動モデルにもとづく時変チップ ID の実現

研究課題名（英文）Development of Time-Varying Chip-ID Based on Transistor Models Considering Transient Degradation

研究代表者

佐藤 高史（Sato, Takashi）

京都大学・情報学研究科・教授

研究者番号：20431992

交付決定額（研究期間全体）：（直接経費） 14,300,000 円

研究成果の概要（和文）：回路製造時のばらつきを利用して個体識別等に活用するチップID回路では、その応答が経時的に変化することは許されない。本研究では、トランジスタの経時変化の測定を通じて特性変動の要因を明らかとし、特性変動を考慮可能なデバイスモデルの作成と特性変動を考慮して回路設計が行える環境の構築を行った。また、作製した特性劣化モデルを活用し、特性が時間的に変化するトランジスタを用いても出力値の変動が生じにくいチップID回路を設計し、出力値の変動の予測や回路の劣化状態の観測を可能とした。

研究成果の学術的意義や社会的意義

半導体回路の応用は広く、社会情報インフラの構築等、我々の生活において不可欠となっている。それ故に、半導体回路の突発的な故障は、致命的事象にも直結し得る。本研究で扱うチップID回路は、特性ばらつきをメリットと捉えてチップの個体識別等に活用する回路であり、安全な情報社会を実現するためのキーデバイスの一つである。特性変動を考慮したトランジスタモデルは、回路動作に伴う特性劣化の定量的評価、回路の個体識別、および模造品の指摘や故障の予知を可能とする技術等に広く活用できる。また、チップID回路等、特性変動に対し耐性の高い回路の設計が可能となるため、安全、安心な社会の創生に貢献する。

研究成果の概要（英文）：The response of chip-ID circuits, which utilize unavoidable characteristic variation during chip fabrication for individual identification, should not change with time. However, it may change due to the degradation of transistors that compose the ID circuits. In this study, the dominant factors of characteristic variation were clarified through the measurement of the aging variation of the transistors, and simulation model as well as circuit-design environment that consider device-aging have been defined. In addition, robust chip ID circuits with smaller output-value fluctuation against temporal characteristic variation of transistors has been newly designed.

研究分野：集積回路工学

キーワード：チップID 経年劣化 集積回路設計 認証 暗号

様式 C-19、F-19-1、Z-19 (共通)

1. 研究開始当初の背景

半導体回路は、これまでに極めて広い応用を獲得してきている。家電製品をはじめとして、社会情報インフラ、通信、自動車や医療機器等にも多数用いられるなど、いまや我々の生活の根幹を支える不可欠な基盤となっている。しかしそれ故に、半導体回路の突発的な故障は、致命的事象にも直結し得る。同様に、電力システムや運輸関連産業で使用されるパワートランジスタについても、性能や長期的信頼性が担保されない中古品や模造品が使用されることがあれば、大規模な障害の原因となる可能性がある。回路動作に伴う特性劣化の定量的評価、回路の個体識別、および模造品の指摘や故障の予知を可能とする技術の確立が、今後、極めて重要である。

集積回路を構成するトランジスタでは、製造過程で生じる特性ばらつきが避けられない。同じ寸法で設計・製造されたトランジスタ間でも、しきい値電圧に代表される電気特性が異なっていることは良く知られている。このため、あらかじめ回路設計段階において、ある程度の製造ばらつきが生じることを許容して回路の動作が可能となるよう余裕をもたせるような対策がとられている。しかし、回路性能は回路の使用中でも徐々に変化する。とりわけ、トランジスタの経時劣化によって回路性能が変化し、回路の動作中に不具合が発生することが近年強く懸念されており、誤り検出回路 [4] を組み込むなどの対策がなされ始めている。

一方で、特性ばらつきをメリットと捉えてチップの個体識別等に活用する例もある [6]。例えばアービタ PUF [14] は、直進または交差の経路のいずれかを排他的に選択するチャレンジ信号により、理想的には完全に同一である 2 経路の遅延時間が、トランジスタの特性ばらつきのため異なることを利用して出力を生成するチップ ID 回路である。また、SRAM 回路のメモリセルが電源投入時にランダムな値に決まることを利用するチップ ID 回路も提案されている [5]。こうしたチップ ID 回路では特に、応答が経時的に変化することは許されない。特性変動によって個体識別が不可能となったり、通常の論理回路が正常に動作しなくなることを防止する必要がある。

2. 研究の目的

こうした背景のもと、本研究では以下の目標を設定した。

1. 経時的特性変動の観測とモデル化: 回路を構成する最も重要な部品であるトランジスタの経時的な特性変動を測定し、測定に基づいて特性変動の主要な要因を推定する。さらに、特性変動の背後にある劣化機構に対応する劣化モデルを確立し、トランジスタモデルに組み込む。
2. 特性変動考慮設計環境の構築: チップ ID を構成する部品としてのトランジスタには、経時的な特性変動 (主として劣化) が生じるとの前提に立ち、上記、特性劣化モデルを組み込んだトランジスタモデルを用いて、チップ ID 回路特性の変動を回路シミュレータ上で再現可能とするとともに、回路設計に向けた設計環境を構築する。
3. 耐劣化チップ ID および時変チップ ID の設計: 製造過程で生じるばらつきが回路動作の過程で変化しないとの仮定のもとにエントロピー源として用いるのが既存のチップ ID であるが、実際の回路では、特性変化を避けることは困難である。上記特性劣化モデルを活用し、特性が時間的に変化するトランジスタを用いても、出力値の変動が生じにくいチップ ID 回路を作製する。また逆に、特性劣化モデルを用いることにより、出力値の変動の予測や回路の劣化状態の観測が可能なチップ ID 回路を作製する。

3. 研究の方法

トランジスタの経時的特性変動のモデル化に関しては、しきい値変動に代表される経時特性変化を説明する物理的な劣化の発生機構が複数提案されている。これらを回路シミュレーションで用いるデバイスモデルに数式として組み込み、さらに、テストチップの試作・実測により得られた特性の変動に基づいて劣化の発生機構について検討する。また、測定データ

を用いて、回路毎の個体差を反映するようにモデルパラメータを決定する。求めたデバイスモデルとそのパラメータが正しければ、原理的には、シミュレーションにより回路特性の変動が予測できる。

トランジスタの特性変動を観測するために、BTIarray 回路 [1] を用いてデバイス特性のばらつきと特性劣化のばらつきを観測し、これらの分布を求めた結果から、微細トランジスタにおいては、絶縁膜界面および絶縁膜へのキャリア捕獲や遊離イオンの拡散によるバイアス温度不安定性が、特性変動の主因であることがわかっている。特性の初期値だけでなく、その劣化の進展も個々のトランジスタごとに異なること、回路はその論理動作により劣化と回復を繰り返すが、入力信号の相違等によりストレスの継続時間はトランジスタ毎に異なり、結果として使用環境毎に回路の特性劣化のすすみが変わることを確認する。

次に、得られたトランジスタモデルを用いて、特性変動を考慮可能な回路設計環境を構築する。原理的には、回路シミュレーションにより任意の回路の特性変動を求めることができる。チップ ID 回路の規模を考えれば、回路シミュレーションによる特性変化の予測には長時間を要する。また、提案するモデルがチップ ID 以外の一般の論理回路、例えばプロセッサの設計等に適用できれば、プロセッサの長寿命化や高信頼化に有益である。そこで、大規模回路に適用できる特性変動考慮設計環境の構築を行う。特に、遅延時間を用いるチップ ID やプロセッサを含めた論理回路では、回路の劣化は通常、遅延時間の変化（増大）として特徴づけられるため、大規模回路に適する経年特性変動の計算環境を構築する。

さらに、構築した設計環境を用いてチップ ID 回路を設計する。まずは、トランジスタの特性劣化が生じることを前提として、劣化耐性を有するチップ ID の回路を考案する。回路上の工夫により、チップ ID として使用できる期間がどの程度延長されるか、シミュレーションにより予測する。また、実際にチップ作製を行い、提案する回路のトランジスタ劣化に対する耐性を具体的に評価する。

なお、研究 2 年目において、当初計画していたシリコントランジスタに加えて有機薄膜トランジスタの製作と評価が可能となった。有機トランジスタは、センサやチップ ID としての応用が見込まれており、またシリコントランジスタと比較して劣化が早いため、提案手法の評価を効率良く行うことができる。このため、シリコントランジスタと有機トランジスタ双方を用いて研究をすすめている。

4. 研究成果

4.1 経時的特性変動の観測とモデル化

シリコンおよび有機トランジスタを対象として経時的な特性変動を観測し、これらのモデル化を行った。特に、劣化が顕著に観測されるが設計に活用できるモデルが提案されていない有機トランジスタについて、劣化の物理的な原因にもとづいて特性変動を表現できるコンパクトモデルの作成に取り組んだ。

有機トランジスタチップを試作し、約 1 ヶ月間にわたって測定を行ない、特性の経時劣化を観測した。測定を通じて、有機トランジスタでは、空気中の水分や酸素との結合により生じる大気依存成分による劣化 [11] と、トランジスタに電圧を印加することで生じるバイアス依存の劣化 [7] が見られることが明らかとなった。このため、これら二つの異なるメカニズムによる劣化のモデル化に取り組んだ。提案するモデルは、しきい値電圧とキャリア移動度を時間の関数として表わすことにより、特性劣化を表現している。モデル式中のパラメータの定義を工夫して、各パラメータの変化に応じてモデル式で与えられる特性が連続かつスムーズに変形される。これにより、実測とよく整合する回路シミュレーションモデルを作成した [13] (図 1)。

4.2 特性変動考慮設計環境の構築

シリコン集積回路の経年劣化は環境温度や電源電圧に依存するほか、入力データに依存して変わるトランジスタがオンとなる確率（デューティ比）やトグル回数（周波数）など動作

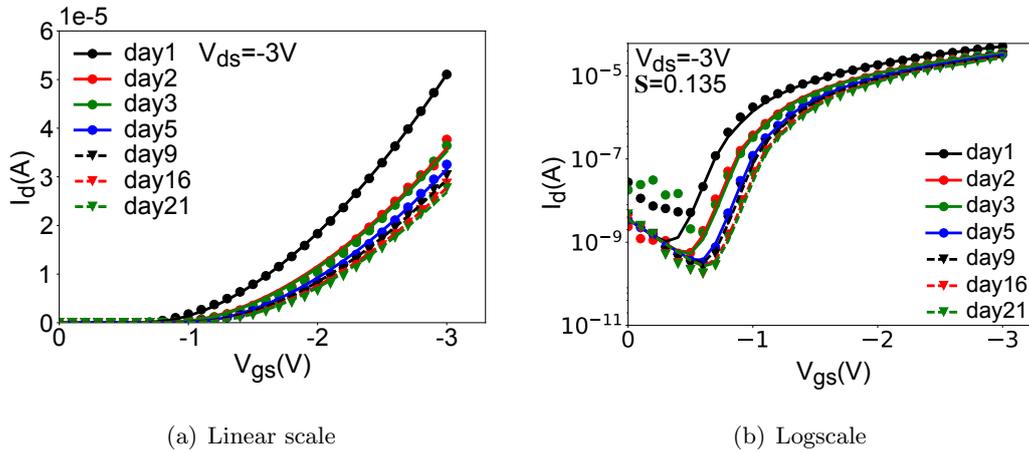


図 1: 提案する劣化考慮トランジスタモデルと p-型有機トランジスタの電流-電圧特性 [13]

条件の影響を受ける。このため、全く同一の回路であっても各トランジスタの特性劣化は異なり得る。こうした動作条件も考慮しつつ特性変動量をコンパクトにモデル化するため、回路中のトランジスタに与えられるストレスの相違を定量的に調査した。プロセッサでは様々なプログラムが実行され、その入力として与えられるデータも多様であることから、プロセッサを対象とした。特に、これまで定量的な分析がなかった周波数依存性についてその影響を評価した。

劣化量を高速に見積もれるよう、実行するプログラムや入力データにより変化する回路中の論理ゲートへの入力信号をデューティ比やトグル率として要約することで、見積もり時の扱いを容易化した。次に、トグル率等を回路構造に合わせて伝搬させることで、入力の相違による回路遅延の劣化変動見積もり精度を向上できることを確認した。その結果、多くのプロセッサではトグルが発生しない不活性のトランジスタが多いが、最悪遅延に対する周波数依存性の影響はそれほど大きくないこと、複数アプリケーションの実行や劣化緩和手法の適用により、今後その影響が大きくなる可能性があること、を明らかとした。この結果から、デューティ比と周波数の相関モデルを定義し、その妥当性を評価した [12]。この検討により、入力データに依存する劣化量の変動が見積もれるようになった。劣化量をより正確に見積もることを目的として、劣化量推定のためのセンサ回路を回路中に補助的に設け、劣化の予測精度を向上する方法についても提案した。

さらに、特性変動を高精度に考慮可能な遅延計算環境を構築した [3]。遅延テーブルの補間により遅延を求める従来手法では、テーブル規模が極めて大きく計算が困難となる課題があった。これに対し、機械学習アルゴリズムに基づいて特性変動後の遅延を求める手法を提案し、ライブラリ規模を抑えながら劣化後遅延を精度良く求めることができた [3]。さらに、複数の小規模な PUF を組み合わせて機械学習に耐性のあるチップ ID を生成する新たな回路を提案し、様々な環境条件において安定した出力が得られることを確認した [2]。

4.3 耐劣化チップ ID および時変チップ ID の設計

これらのモデルおよび設計環境を基礎として、有機トランジスタを用いる新たなチップ ID 回路である OCM-PUF 回路を 2 種類考案し、設計・作製を行った [8, 10] (図 2)。OCM-PUF は、有機トランジスタを用いて電流複製機能を持つカレントミラー回路をアレイ状に配置する OCM アレイを要素回路とする。特性ばらつきがない理想的な状態では等しい電流が複製されるカレントミラー間の電流が、製造時に生じる特性ばらつきにより実際には全て異なっていることを利用して、予測困難な応答を出力する PUF として機能する。複数の OCM-PUF を実際に作製し、約 20 日間にわたってその特性変動を観測するとともに、チップ ID としての性能を評価した。提案回路はある程度の自己補償が可能であり、トランジスタの特性が経時的に変動しても、PUF として安定に機能を継続できることを確認した。また、劣化モデ

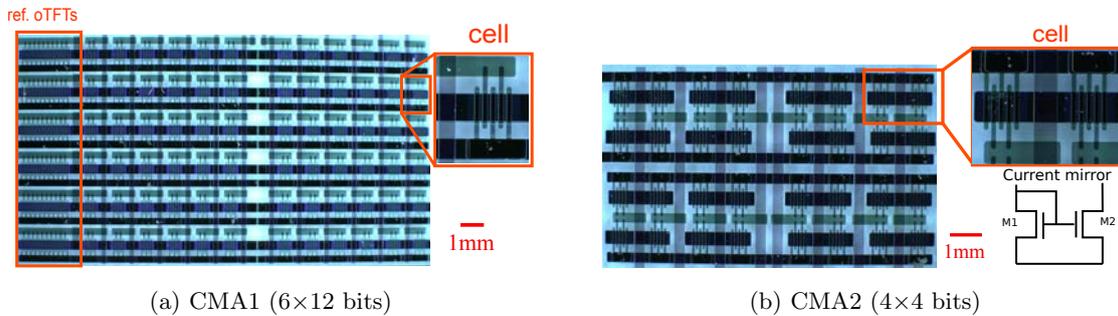


図 2: 有機トランジスタによるチップ ID の顕微鏡写真 [9]

ルを含むシミュレーションにより、リングオシレータやチップ ID 等の回路動作の経時的な変動を考慮した設計が可能であることが確認できた。

参考文献

- [1] H. Awano, M. Hiromoto, and T. Sato. BTarray: A time-overlapping transistor array for efficient statistical characterization of bias temperature instability. *IEEE Transactions on Device and Materials Reliability*, 14(3):833–843, 2014.
- [2] H. Awano and T. Sato. Ising-puf: A machine learning attack resistant PUF featuring lattice like arrangement of arbiter-PUFs. In *Proceedings of Design, Automation Test in Europe Conference and Exhibition*, pages 1447–1452, 2018.
- [3] S. Bian, M. Shintani, M. Hiromoto, and T. Sato. LSTA: Learning-based static timing analysis for high-dimensional correlated on-chip variations. In *Proceedings of IEEE/ACM Design Automation Conference*, pages 66:1–66:6, 2017.
- [4] D. Ernst et al. Razor: A low power pipeline based on circuit level timing speculation. In *Proc. MICRO*, pages 7–18, 2003.
- [5] J. Guajardo, S. Kumar, G. Schrijen, and P. Tuyls. FPGA intrinsic PUFs and their use for IP protection. In *Proceedings of Conference on Cryptographic Hardware and Embedded Systems*, pages 63–80, 2007.
- [6] J.W. Lee, D. Lim, B. Gassend, G.E. Suh, M. van Dijk, and S. Devadas. A technique to build a secret key in integrated circuits for identification and authentication applications. In *VLSI Circuits Digest of Technical Papers*, pages 176–179, 2004.
- [7] K. Oshima, M. Saito, M. Shintani, K. Kuribara, Y. Ogasahara, and T. Sato. Experimental study of bias stress degradation of organic thin film transistors. In *Extended Abstracts of Solid State Devices and Materials*, pages 59–60, 2019.
- [8] Z. Qin, M. Shintani, K. Kuribara, Y. Ogasahara, and T. Sato. OCM-PUF: Organic current mirror PUF with enhanced resilience to device degradation. In *Proceedings of International Conference on Flexible and Printable Sensors and Systems*, 2019.
- [9] Z. Qin, M. Shintani, K. Kuribara, Y. Ogasahara, and T. Sato. Organic current mirror puf for improved stability against device aging. *IEEE Sensors Journal*, pages 1–1, 2020.
- [10] Z. Qin, M. Shintani, K. Kuribara, Y. Ogasahara, and T. Sato. Organic current mirror PUF for improved stability against device aging. *IEEE Sensors Journal*, 2020.
- [11] M. Saito, M. Shintani, K. Kuribara, Y. Ogasahara, and T. Sato. A compact model of I-V characteristic degradation for organic thin film transistors. In *Proceedings of International Conference on Microelectronic Test Structures*, pages 194–199, 2019.
- [12] Z. Shin, S. Morita, S. Bian, M. Shintani, M. Hiromoto, and T. Sato. A study on NBTI-induced delay degradation considering stress frequency dependence. In *International Symposium on Quality Electronic Design*, pages 251–256, 2018.
- [13] M. Shintani, M. Saito, K. Kuribara, Y. Ogasahara, and T. Sato. Measurement and modeling of ambient-air-induced degradation in organic thin-film transistor. *IEEE Transactions on Semiconductor Manufacturing*, 2020.
- [14] G. E. Suh and S. Devadas. Physical unclonable functions for device authentication and secret key generation. In *Proceedings of IEEE/ACM Design Automation Conference*, pages 9–14, 2007.

5. 主な発表論文等

〔雑誌論文〕 計19件（うち査読付論文 19件 / うち国際共著 3件 / うちオープンアクセス 16件）

1. 著者名 Chase Cook, Hengyang Zhao, Takashi Sato, Masayuki Hiromoto, and Sheldon Tan	4. 巻 69
2. 論文標題 GPU-based Ising Computing for Solving Max-cut Combinatorial Optimization Problems	5. 発行年 2019年
3. 雑誌名 Integration, the VLSI Journal	6. 最初と最後の頁 335-334
掲載論文のDOI (デジタルオブジェクト識別子) 10.1016/j.vlsi.2019.07.003	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Kunihiro Oshima, Michihiro Shintani, Kazunori Kuribara, Yasuhiro Ogasahara, and Takashi Sato	4. 巻 59
2. 論文標題 Recovery-aware Bias-stress Degradation Model for Organic Thin-film Transistors Considering Drain and Gate Bias Voltages	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics (JJAP), Vol.59, No.SG, pp.SGGG08, March 2020	6. 最初と最後の頁 1-8
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/1347-4065/ab6460	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Tsukamoto Hiroki, Shintani Michihiro, Sato Takashi	4. 巻 33
2. 論文標題 Statistical Extraction of Normally and Lognormally Distributed Model Parameters for Power MOSFETs	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Semiconductor Manufacturing	6. 最初と最後の頁 1-1
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TSM.2020.2975300	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -
1. 著者名 Yue Zheng, Xiaojin Zhao, Takashi Sato, Yuan Cao, and Chip-Hong Chang	4. 巻 15
2. 論文標題 Ed-PUF: Event Driven Physical Unclonable Function for Camera Authentication in Reactive Monitoring System	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Information Forensics and Security	6. 最初と最後の頁 2824 - 2839
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TIFS.2020.2977597	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Zhaoxing Qin, Michihiro Shintani, Kazunori Kuribara, Yasuhiro Ogasahara, and Takashi Sato	4. 巻 20
2. 論文標題 Organic Current Mirror PUF for Improved Stability Against Device Aging	5. 発行年 2020年
3. 雑誌名 IEEE Sensors Journal	6. 最初と最後の頁 1-1
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/JSEN.2020.2986077	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Michihiro Shintani, Michiaki Saito, Kazunori Kuribara, Yasuhiro Ogasahara, and Takashi Sato,	4. 巻 33
2. 論文標題 Measurement and Modeling of Ambient-air-induced Degradation in Organic Thin-film Transistor	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Semiconductor Manufacturing	6. 最初と最後の頁 1-1
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TSM.2020.2986609	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 M. Hiromoto, M. Yoshinaga, and T. Sato	4. 巻 101-A
2. 論文標題 MRO-PUF: Physically unclonable function with enhanced resistance against machine learning attacks utilizing instantaneous output of ring oscillator	5. 発行年 2018年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 1035-1044
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E101.A.1035	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 M. Shintani, Y. Nakamura, K. Oishi, M. Hiromoto, T. Hikihara, and T. Sato	4. 巻 33
2. 論文標題 Surface-potential-based silicon carbide power MOSFET model for circuit simulation	5. 発行年 2018年
3. 雑誌名 IEEE Transactions on Power Electronics (TPEL)	6. 最初と最後の頁 0774-10783
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TPEL.2018.2805808	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 S. Bian, M. Hiromoto, and T. Sato	4. 巻 E102-A
2. 論文標題 Hardware-accelerated secured naive Bayesian filter based on partially homomorphic encryption	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 430-439
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E102.A.430	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 S. Yamamori, M. Hiromoto, and T. Sato	4. 巻 E101-A
2. 論文標題 Efficient mini-batch training on memristor neural network integrating gradient calculation and weight update	5. 発行年 2018年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 1092-1100
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E101.A.1092	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Y. Ogasahara, K. Kuribara, M. Shintani, and T. Sato	4. 巻 58
2. 論文標題 Feasibility of a low-power, low-voltage complementary organic thin film transistor buskeeper physical unclonable function	5. 発行年 2019年
3. 雑誌名 Japanese Journal of Applied Physics (JJAP)	6. 最初と最後の頁 SBBG03
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/1347-4065/aaf7fd	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Y. Tanaka, S. Bian, M. Hiromoto, and T. Sato	4. 巻 65
2. 論文標題 Coin flipping PUF: A novel PUF with improved resistance against machine learning attacks	5. 発行年 2018年
3. 雑誌名 IEEE Transactions on Circuits and Systems--II: Express Briefs (TCASII)	6. 最初と最後の頁 602-606
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TCSII.2018.2821267	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Michihiro Shintani, Zhaoxing Qin, Kazunori Kuribara, Yasuhiro Ogasahara, Masayuki Hiromoto, and Takashi Sato	4. 巻 57
2. 論文標題 Mechanically and electrically robust metal-mask design for organic CMOS circuits	5. 発行年 2018年
3. 雑誌名 Japanese Journal of Applied Physics (JJAP)	6. 最初と最後の頁 04FL05-04FL05
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/JJAP.57.04FL05	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Hidenori Gyoten, Masayuki Hiromoto, and Takashi Sato	4. 巻 E101-D
2. 論文標題 Area efficient annealing processor for Ising model without random number generator	5. 発行年 2018年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 314-323
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2017RCP0015	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Hiromitsu Awano and Takashi Sato	4. 巻 E100-A
2. 論文標題 Efficient aging-aware failure probability estimation using augmented reliability and Subset simulation	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 2807-2815
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E100.A.2807	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Song Bian, Shumpei Morita, Michihiro Shintani, Hiromitsu Awano, Masayuki Hiromoto, and Takashi Sato	4. 巻 E100-A
2. 論文標題 Identification and application of invariant critical paths under NBTI degradation	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 2797-2806
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E100.A.2797	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Abinash Mohanty, Ketul Sutaria, Hiromitsu Awano, Takashi Sato, and Yu Cao	4. 巻 25
2. 論文標題 RTN in scaled transistors for on-chip random seed generation	5. 発行年 2017年
3. 雑誌名 IEEE Transactions on Very Large Scale Integration (VLSI) Systems	6. 最初と最後の頁 2248-2257
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TVLSI.2017.2687762	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Shumpei Morita, Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato	4. 巻 E100-A
2. 論文標題 Utilization of path-clustering in efficient stress-control gate replacement for NBTI mitigation	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 1464-1472
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E100.A.1464	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Hiromitsu Awano, Shumpei Morita, Takashi Sato	4. 巻 25
2. 論文標題 Scalable device array for statistical characterization of BTI-related parameters	5. 発行年 2017年
3. 雑誌名 IEEE Transactions on Very Large Scale Integration (VLSI) Systems	6. 最初と最後の頁 1455-1466
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TVLSI.2016.2638021	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

〔学会発表〕 計49件 (うち招待講演 2件 / うち国際学会 35件)

1. 発表者名 党 璋, 佐藤 高史
2. 発表標題 レプリカ交換イジングモデルソルバにおけるレプリカトポロジーと温度割当方法に関する検討
3. 学会等名 信学技報 VLD研究会, pp.7-12, May 2019
4. 発表年 2019年

1. 発表者名 Song Bian, Masayuki Hiromoto and Takashi Sato
2. 発表標題 Filianore: Better Multiplier Architectures for LWE-based Post-quantum Key Exchange
3. 学会等名 ACM/IEEE Design Automation Conference (DAC), pp.52.4:1-52.4:6, June 2019 (国際学会)
4. 発表年 2019年

1. 発表者名 Zhaoxing Qin, Michihiro Shintani, Kazunori Kuribara, Yasuhiro Ogasahara, and Takashi Sato
2. 発表標題 OCM-PUF: An Organic Current Mirror PUF With Enhanced Resilience to Device Degradation
3. 学会等名 IEEE International Conference on Flexible and Printable Sensors and Systems (FLEPS) (国際学会)
4. 発表年 2019年

1. 発表者名 中村 公暉, 廣本 正之, 佐藤 高史
2. 発表標題 畳み込みニューラルネットワークを利用した光電容積脈波からの運動時心拍推定手法
3. 学会等名 回路とシステムワークショップ, pp.7-12, August 2019
4. 発表年 2019年

1. 発表者名 大島 國弘, 齋藤 成晃, 新谷 道広, 栗原 一徳, 小笠原 泰弘, 佐藤 高史
2. 発表標題 有機薄膜トランジスタの実測に基づくバイアス・ストレス劣化の要因とモデル化に関する検討
3. 学会等名 DA シンポジウム, pp.214-219, August 2019
4. 発表年 2019年

1 . 発表者名 Kunihiro Oshima, Michiaki Saito, Michihiro Shintani, Kazunori Kuribara, Yasuhiro Ogasahara, and Takashi Sato
2 . 発表標題 Experimental Study of Bias Stress Degradation of Organic Thin Film Transistors
3 . 学会等名 International Conference on Solid State Devices and Materials (SSDM), pp.89-90, September 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 Michihiro Shintani, Kazuki Oishi, and Takashi Sato
2 . 発表標題 A Three-level Active Gate Drive Circuit for Power MOSFETs Utilizing a Generic Gate Driver IC,
3 . 学会等名 International Conference on Silicon Carbide and Related Materials (ICSCRM), September 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 Masaki Nakamura and Takashi Sato
2 . 発表標題 Heart Rate Estimation During Exercise from Photoplethysmographic Signals Using Convolutional Neural Network
3 . 学会等名 Biomedical Circuits and Systems Conference (BIOCAS), pp.1-4, October 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 Kunihiro Oshima, Song Bian and Takashi Sato
2 . 発表標題 Estimation of NBTI-induced Timing Degradation Considering Duty Ratio
3 . 学会等名 The 22nd workshop on synthesis and system integration of mixed information technologies (SASIMI), pp.330-335, October 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 Yuki Kume, Masayuki Hiromoto and Takashi Sato
2 . 発表標題 A Tuning-free Reservoir of MOSFET Crossbar Array for Inexpensive Hardware Realization of Echo State Network
3 . 学会等名 The 22nd workshop on synthesis and system integration of mixed information technologies (SASIMI), pp.324-349, October 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 Tatsuki Ono, Song Bian and Takashi Sato
2 . 発表標題 Improved Multiplier Architecture on ASIC for RLWE-based Key Exchange
3 . 学会等名 The 22nd workshop on synthesis and system integration of mixed information technologies (SASIMI), pp.39-40, October 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 Michihiro Shintani, Hiroki Tsukamoto, and Takashi Sato
2 . 発表標題 Parameter Extraction Procedure for Surface-potential-based SiC MOSFET Model
3 . 学会等名 IEEE Workshop on Wide Bandgap Power Devices and Applications (WiPDA), pp.444-448, October 2019 (国際学会)
4 . 発表年 2019年

1 . 発表者名 Yuki Kume, Song Bian, and Takashi Sato
2 . 発表標題 A Tuning-free Hardware Reservoir Based on MOSFET Crossbar Array for Practical Echo State Network Implementation
3 . 学会等名 ACM/IEEE Asia and South Pacific Design Automation Conference (ASPDAC), pp.458-463, January 2020 (国際学会)
4 . 発表年 2020年

1 . 発表者名 Yuki Kume, Song Bian, and Takashi Sato
2 . 発表標題 A Tuning-Free Hardware Reservoir Based on MOSFET Crossbar Array for Practical Echo State Network Implementation,
3 . 学会等名 IEICE Technical Report, pp.139-144, March 2020
4 . 発表年 2020年

1 . 発表者名 Yuki Kume, Song Bian, Kenta Nagura, and Takashi Sato
2 . 発表標題 Performance Evaluation of Echo State Networks With Hardware Reservoirs
3 . 学会等名 IEICE Technical Report, pp.245-250, March 2020
4 . 発表年 2020年

1 . 発表者名 Song Bian, Weiwen Jiang, Qing Lu, Yiyu Shi, and Takashi Sato
2 . 発表標題 NASS: Optimizing Secure Inference via Neural Architecture Search
3 . 学会等名 European Conference on Artificial Intelligence (ECAI), June 2020 (国際学会)
4 . 発表年 2020年

1 . 発表者名 Akira Dan, Riu Shimizu, Takeshi Nishikawa, Song Bian and Takashi Sato
2 . 発表標題 Clustering Approach for Solving Traveling Salesman Problems via Ising Model Based Solver
3 . 学会等名 ACM/IEEE Design Automation Conference (DAC), July 2020 (国際学会)
4 . 発表年 2020年

1 . 発表者名 Song Bian, Tianchen Wang, Masayuki Hiromoto, Yiyu Shi, and Takashi Sato
2 . 発表標題 ENSEI: Efficient Secure Inference via Frequency-domain Homomorphic Convolution for Privacy-preserving Visual Recognition
3 . 学会等名 Computer Vision and Pattern Recognition (CVPR), June 2020 (国際学会)
4 . 発表年 2020年

1 . 発表者名 H. Gyoten, M. Hiromoto, and T. Sato
2 . 発表標題 Enhancing the solution quality of hardware Ising-model solver via parallel tempering
3 . 学会等名 IEEE/ACM International Conference on Computer-Aided Design (ICCAD) (国際学会)
4 . 発表年 2018年

1 . 発表者名 H. Tsukamoto, M. Shintani, and T. Sato
2 . 発表標題 Study on statistical parameter extraction of power MOSFET model by principal component analysis
3 . 学会等名 IEEE International Conference on Microelectronic Test Structures (ICMTS) (国際学会)
4 . 発表年 2018年

1 . 発表者名 M. Saito, M. Shintani, K. Kuribara, Y. Ogasahara, and T. Sato
2 . 発表標題 A compact model of I-V characteristic degradation for organic thin film transistors
3 . 学会等名 IEEE International Conference on Microelectronic Test Structures (ICMTS) (国際学会)
4 . 発表年 2018年

1 . 発表者名 M. Saito, M. Shintani, K. Kuribara, Y. Ogasahara, and T. Sato
2 . 発表標題 Measurement and modeling of frequency degradation of an oTFT ring oscillator
3 . 学会等名 IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT) (国際学会)
4 . 発表年 2018年

1 . 発表者名 M. Shintani, B. N. Dauphin, K. Oishi, M. Hiromoto, and T. Sato
2 . 発表標題 A plotter-based automatic measurements and statistical characterization of multiple discrete power devices
3 . 学会等名 International power electronics conference (IPEC) (国際学会)
4 . 発表年 2018年

1 . 発表者名 S. Bian, M. Hiromoto, and T. Sato
2 . 発表標題 DArL: Dynamic parameter adjustment for LWE-based secure inference
3 . 学会等名 Design, Automation and Test in Europe (DATE) (国際学会)
4 . 発表年 2019年

1 . 発表者名 T. Sato
2 . 発表標題 A transient approach for input capacitance characterization of power devices
3 . 学会等名 IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT) (招待講演) (国際学会)
4 . 発表年 2018年

1 . 発表者名 Y. Fujita, M. Hiromoto, and T. Sato
2 . 発表標題 Fast and robust heart rate estimation from videos through dynamic region selection
3 . 学会等名 International Engineering in Medicine and Biology Conference (EMBC) (国際学会)
4 . 発表年 2018年

1 . 発表者名 Z. Qin, M. Shintani, K. Kuribara, Y. Ogasahara, and T. Sato
2 . 発表標題 An experimental design of robust current-mode arbiter PUF using organic thin film transistors
3 . 学会等名 IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT) (国際学会)
4 . 発表年 2018年

1 . 発表者名 M. Saito, M. Shintani, K. Kuribara, Y. Ogasahara, M. Hiromoto, and T. Sato
2 . 発表標題 On the reset operation of organic cross-coupled inverter
3 . 学会等名 International Conference on Solid State Devices and Materials (SSDM) (国際学会)
4 . 発表年 2018年

1 . 発表者名 M. Shintani and T. Sato
2 . 発表標題 Initial parameter extraction procedure for surface-potential-based SiC MOSFET model
3 . 学会等名 Workshop on variability modeling and characterization (VMC) (国際学会)
4 . 発表年 2018年

1. 発表者名 S. Bian, M. Hiromoto, and T. Sato
2. 発表標題 Towards practical homomorphic email filtering: A hardware-accelerated secure naive Bayesian filter
3. 学会等名 電子情報通信学会VLD研究会（招待講演）
4. 発表年 2018年

1. 発表者名 田中 悠貴, 辺 松, 廣本 正之, 佐藤 高史
2. 発表標題 メモリストを用いた等価な応答を返すPUF対の検討
3. 学会等名 情報処理学会DAシンポジウム
4. 発表年 2018年

1. 発表者名 辺 松, 廣本 正之, 佐藤 高史
2. 発表標題 Approximate computing を用いたLWE暗号の高効率復号回路
3. 学会等名 情報処理学会DAシンポジウム
4. 発表年 2018年

1. 発表者名 大島 國弘, 辺 松, 廣本 正之, 佐藤 高史
2. 発表標題 レプリカセンサを用いたNBTIによる回路特性変動予測に関する検討
3. 学会等名 信学技報 VLD研究会(デザインガイア)
4. 発表年 2018年

1. 発表者名 小野 龍輝, 田中 悠貴, 新 瑞徳, 辺 松, 廣本 正之, 佐藤 高史
2. 発表標題 NBTI劣化によるArbiter PUFの応答変化に関する検討
3. 学会等名 電子情報通信学会 総合大会
4. 発表年 2018年

1. 発表者名 齊藤 成晃, 新谷 道広, 栗原 一徳, 小笠原 泰弘, 廣本 正之, 佐藤 高史
2. 発表標題 有機トランジスタによるBuskeeper PUFの試作と連続測定のためのリセット回路の検討
3. 学会等名 回路とシステムワークショップ
4. 発表年 2018年

1. 発表者名 Shogo Matsumoto, Hidenori Gyoten, Masayuki Hiromoto, and Takashi Sato
2. 発表標題 RRAM/CMOS-hybrid Architecture of Annealing Processor for Fully Connected Ising Model
3. 学会等名 IEEE International Memory Workshop (IMW) (国際学会)
4. 発表年 2018年

1. 発表者名 Song Bian, Masayuki Hiromoto, and Takashi Sato
2. 発表標題 DWE: Decrypting Learning With Errors With Errors
3. 学会等名 ACM/IEEE Design Automation Conference (DAC) (国際学会)
4. 発表年 2018年

1. 発表者名 松本 章吾, 業天 英範, 廣本 正之, 佐藤 高史
2. 発表標題 多ビットの相互作用をもつ全接続イジングモデルのためのRRAMアニーリングプロセッサ
3. 学会等名 回路とシステムワークショップ
4. 発表年 2018年

1. 発表者名 Zuitoku Shin, Shumpei Morita, Song Bian, Michihiro Shintani, Masayuki Hiromoto and Takashi Sato
2. 発表標題 Comparative Study of Delay Degradation Caused by NBTI Considering Stress Frequency Dependence
3. 学会等名 The 21st workshop on synthesis and system integration of mixed information technologies (SASIMI) (国際学会)
4. 発表年 2018年

1. 発表者名 Shogo Matsumoto, Hidenori Gyoten, Masayuki Hiromoto and Takashi Sato
2. 発表標題 A Feasibility Study of Annealing Processor for Fully-connected Ising Model Based on Memristor/CMOS Hybrid Architecture
3. 学会等名 The 21st workshop on synthesis and system integration of mixed information technologies (SASIMI) (国際学会)
4. 発表年 2018年

1. 発表者名 Yuki Tanaka, Song Bian, Masayuki Hiromoto and Takashi Sato
2. 発表標題 A PUF Based on the Instantaneous Response of Ring Oscillator Determined by the Convergence Time of Bistable Ring
3. 学会等名 The 21st workshop on synthesis and system integration of mixed information technologies (SASIMI) (国際学会)
4. 発表年 2018年

1 . 発表者名 Hiromitsu Awano and Takashi Sato
2 . 発表標題 Ising-PUF: A Machine Learning Attack Resistant PUF Featuring Lattice Like Arrangement of Arbiter-PUFs
3 . 学会等名 Design, Automation and Test in Europe (DATE) (国際学会)
4 . 発表年 2018年

1 . 発表者名 Zuitoku Shin, Shumpei Morita, Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato
2 . 発表標題 A Study on NBTI-induced Delay Degradation Considering Stress Frequency Dependence
3 . 学会等名 International Symposium on Quality Electronic Design (ISQED) (国際学会)
4 . 発表年 2018年

1 . 発表者名 Shumpei Morita, Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato
2 . 発表標題 Efficient Exploration of Worst Case Workload and Timing Degradation Under NBTI
3 . 学会等名 ACM/IEEE Asia and South Pacific Design Automation Conference (ASPDAC) (国際学会)
4 . 発表年 2018年

1 . 発表者名 Michihiro Shintani, Kazunori Kuribara, Yasuhiro Ogasahara, Masayuki Hiromoto, and Takashi Sato
2 . 発表標題 A Design-analysis Flow Considering Mechanical Stability of Metal Masks for Organic CMOS Circuits
3 . 学会等名 IEEE International Conference on Solid State Devices and Materials (SSDM) (国際学会)
4 . 発表年 2017年

1. 発表者名 Song Bian, Masayuki Hiromoto, and Takashi Sato
2. 発表標題 Secured Content Addressable Memory Based on Homomorphic Encryption
3. 学会等名 DA Symposium (国際学会)
4. 発表年 2017年

1. 発表者名 粟野 皓光, 佐藤 高史
2. 発表標題 チャレンジヒステリシス特性を有するPUFの設計とシミュレーションに基づく性能評価
3. 学会等名 DA シンポジウム
4. 発表年 2017年

1. 発表者名 Song Bian, Michihiro Shintani, Masayuki Hiromoto, and Takashi Sato
2. 発表標題 LSTA: Learning-based Static Timing Analysis for High-dimensional Correlated On-chip Variations
3. 学会等名 ACM/IEEE Design Automation Conference (DAC) (国際学会)
4. 発表年 2017年

1. 発表者名 新 瑞徳, 森田 俊平, 新谷 道新, 廣本 正之, 佐藤 高史
2. 発表標題 トランジスタ劣化の永続・回復可能成分を考慮したしきい値電圧変動の時間依存モデル
3. 学会等名 回路とシステムワークショップ
4. 発表年 2017年

〔図書〕 計0件

〔出願〕 計1件

産業財産権の名称 P U F回路群， P U F回路群の製造方法， P U F回路の使用法，及びネットワークシステム	発明者 佐藤高史、田中悠貴、辺松、廣本正之	権利者 同左
産業財産権の種類、番号 特許、特願2018-154477	出願年 2018年	国内・外国の別 国内

〔取得〕 計0件

〔その他〕

情報回路方式(佐藤高史)研究室 ウェブページ http://easter.kuee.kyoto-u.ac.jp/

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	廣本 正之 (Hiromoto Masayuki) (60718039)	京都大学・情報学研究科・講師 (14301)	