

令和 3 年 6 月 10 日現在

機関番号：17104

研究種目：基盤研究(B) (一般)

研究期間：2017～2020

課題番号：17H01716

研究課題名(和文) 高品質な低電力LSI創出に貢献するシフト電力安全型スキャンテスト方式に関する研究

研究課題名(英文) Shift-Power-Safe Scan Test Methodology for High-Quality Low-Power LSI Circuits

研究代表者

温 暁青 (Wen, Xiaoqing)

九州工業大学・大学院情報工学研究院・教授

研究者番号：20250897

交付決定額(研究期間全体)：(直接経費) 13,900,000円

研究成果の概要(和文)：本研究では、高品質・高信頼な低電力LSIの創出に貢献するために、シフト電力の高精度抑制を特徴とするシフト電力安全型スキャンテスト技術(SPS-Scan)を確立した。主な成果として、(1) レイアウト等の設計情報に基づいた高精度シフト電力安全性評価方式、及び、GPUを用いた高速タイミングシミュレーション手法、(2) スキャンセグメント分割に伴う配線量増加を最小化する最適スキャンセグメント分割手法、(3) 大規模論理コアと高精度遅延測定回路を搭載した評価用LSI回路の設計・試作がある。VDECを通じて試作したテストチップによる評価実験を行った結果、SPS-Scan技術の有効性が確認された。

研究成果の学術的意義や社会的意義

携帯情報機器の心臓部にあたるLSIの低電力化が肝心であるが、低電力設計でLSIの機能電力を抑えても、製造欠陥の有無を調べるLSIテストの電力は高騰し、回路破壊や誤テストになることが多い。本研究では、従来技術では確保できないシフト電力安全性のために、スキャンセグメント型部分シフト可能スキャン設計と最適スキャンクロック分配という斬新なアプローチを確立し、低電力LSIテストの学術的裾野が広がった他、熾烈な国際競争中にある低電力LSI研究への波及効果も大きい。また、本研究の成果は、安全なLSIスキャンテストを可能にすることで高品質な低電力LSIの創出に欠かせない存在となり、高い産業的価値を有している。

研究成果の概要(英文)：In this research, in order to contribute to the creation of high-quality and highly reliable low-power LSIs, we have established a shift power-safe scan test technology (SPS-Scan) featuring high-precision suppression of shift power. The main results are (1) a high-precision shift power safety evaluation method based on design information such as layout, together with a high-speed timing simulation method using GPU, (2) an optimal scan segmentation method for minimizing additional wiring overhead, (3) design and trial production of an evaluation LSI circuit equipped with a large-scale logic core and high-precision on-chip delay measurement circuits. Detailed evaluation experiment using test chips fabricated through VDEC, the effectiveness of the SPS-Scan technology has been confirmed.

研究分野：LSIテスト

キーワード：計算機システム 電子デバイス・機器 ディペンダブル・コンピューティング シフトエラー IR-Drop
シフトタイミング テストクロック グルーピング

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

1. 研究開始当初の背景

高度情報化社会と次世代産業に欠かせない携帯機器、IoT/AI 機器、ウェアラブル医療機器等にとって、その心臓部にあたる LSI の低電力化が肝心である。LSI の低電力化は、クロックゲーティングや電源遮断などによる論理スイッチング制限で実現できる。しかし、これらの手法は機能動作時には電力を削減できるが、テスト時には利用できず論理スイッチング量が一気に増えてテスト電力が高騰してしまう。この「低い機能電力・高いテスト電力」という現象は、スキャンテストでは回路破壊や誤テストの要因となっている。この問題は 1990 年代に異常発熱として現れ、対策として入力平坦化や FF 並べ替え等の低シフト電力手法が提案された。また、2000 年代には誤テストが急増し、対策として I/O ハミング距離最小化等の低キャパチャ電力手法が提案された。しかし、シフト電力に関しては、回路全体シフト電力削減技術はあるが、シフト電力安全型技術はなかった。そのため、回路全体のシフト電力は削減できても局所現象としてのホットスポットやシフトエラーは消えず、回路破壊や誤テストの危険性が依然として残るといふ深刻な問題があった。

2. 研究の目的

本研究では、ホットスポット(回路破壊の要因)とシフトエラー(誤テストの要因)を同時に抑えるというシフト電力安全型スキャンテスト技術(SPS-Scan: Shift-Power-Safe Scan)を世界に先駆けて確立することを目的とした。具体的には、従来技術では保証できないシフト電力安全性を確保するために、スキャンセグメント型部分シフト可能スキャン設計と最適スキャンクロック分配という斬新なアプローチを確立しようとした。これによって、低電力 LSI テストの学術的裾野を広げる、熾烈な国際競争中にある低電力 LSI 研究への波及効果を追求するとともに、安全な LSI スキャンテストを可能にすることで高品質・高信頼な低電力 LSI の創出という高い産業的価値を目指した。

3. 研究の方法

(1)平成29年には、低電力 LSI スキャンテストにおけるシフト電力問題(ホットスポット、シフトエラー)と諸要素(電源電圧、動作周波数、電源ネットワーク、クロック設計方式等)との関係について助言を基に、論理スイッチングの量と分布に着目したシフト電力安全性評価方式を提案した。その特徴は、複数のスキャン・チェーンまたはスキャン・セグメントがあり、一部しか動作しない場合、それによって発生する状態遷移が隣接するフリップ・フロップのスキャン・クロック・パスの近傍に与えた状態遷移の不均衡度を表現したコスト関数である。この関数で表現されたコストが高ければ、対応する隣接するフリップ・フロップに Setup Time または Hold Time に関するタイミング違反が生じる可能性が高いため、シフトエラーの危険があると判定する。このコスト関数はスキャン設計方式に依存せず、高い柔軟性を有している。

(2)平成30年には、スキャンセグメント型部分シフト可能スキャン設計と最適スキャンクロック分配手法に取り組み、シフト電力安全型スキャンテスト技術(SPS-Scan)の詳細を提案した。特に、スキャンセグメント分割に伴う配線量増加を最小化する最適スキャンセグメント分割手法を提案した。更に、シフト電力安全性評価結果と回路レイアウト情報から作成されるシフト電力問題箇所と FF との位置関係を示す分布グラフに基づいて、高い局所遷移量を持つ回路エリア、及び、不均衡なクロックパス近傍遷移量を持つ隣接 FF が回路に出現しないようにする最適スキャンクロック分配手法(分布グラフの頂点被覆問題として定式化)を提案し、それに基づいてスキャンクロック生成器とスキャンクロック分配器を設計した。

(3)令和元年には、提案したシフト電力安全型スキャンテスト技術(SPS-Scan)の評価用テスト回路の設計を行なった。テスト回路のコア部分として、ITC'99 ベンチマークの中で最も大きい回路(b19)を使用した。また、提案技術のシフト電力安全性達成能力及びオーバーヘッド(面積、設計コスト)等の詳細な実験評価を行うことのできるよう、テスト回路にオンチップの遅延計測回路を複数搭載した。

(4)令和2年には、提案したシフト電力安全型スキャンテスト技術の評価用回路の試作(ローム社 CMOS 0.18um 使用)を行なった。納品された15個のテストチップに対して、測定実験を行なった。まず、テストチップに搭載された遅延測定回路の測定精度について、遅延測定回路のパス上に介在する遅延用バッファ(計 200 個)の 1 つあたりの遅延時間と、遅延調整回路において選択信号値を切り替えた際に増加する遅延時間を比較することで測定した。その結果、この2種類の遅延のばらつきが $\pm 2.8\text{ps}$ と小さく、測定精度が約 124ps~129ps であることが分かり、設計した遅延測定回路の測定精度測が高いことが確認できた。次に、2種類のスキャンテストパターンを用いて IR ドロップ遅延測定を行なった。その結果、テストパターンで活性化したフリップ・フロップの数と分布によって、IR ドロップ遅延が大きく変わり、局所的にホットスポットが発生しうることが確認できた。最後に、提案されたスキャンセグメント型部分シフト可能スキャン設計、及び、最適スキャンクロック分配手法の有効性に関する評価実験を行なった。その結果、試作回路が比較的小さくクロック設計の選択余地が小さいこともあって、スキャンセグメント型部分シフト可能スキャン設計の方が局所的にホットスポットの削減に対してより有効であることが確認できた。

4. 研究成果

本研究では、高品質・高信頼な低電力 LSI の創出に貢献するために、シフト電力の高精度抑制を特徴とするシフト電力安全型スキャンテスト技術(SPS-Scan)を確立した。主な成果は以下の通りである。

- (1) レイアウト等の設計情報に基づいた高精度シフト電力安全性評価方式、及び、GPU を用いた高速タイミングシミュレーション手法

シフト電力を高精度に評価するために、新しい評価基準として WSD(Weighted Switching Density) を提案した。図 1 に示すように、まずレイアウトを格子状のエリアに分割し、各エリアの

WSA(Weighted Switching Activity)をタイミングシミュレーションで求める。次に、回路全体の WSA に対して、ガウスフィルタ(Gaussian Filter)をかけ加重スイッチング密度を求める。機能入力で決まる各エリアのしきい値と比較することによって、異常に高いシフト電力のあるエリアを特定することができるだけでなく、それに対応するシフトサイクルをも特定することができる。

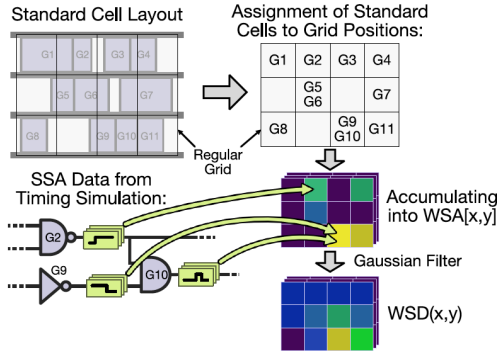


図 1 Weighted Switching Density (WSD)

図 2 に示すように、タイミングシミュレーションの所要時間を削減するために、GPU を用いて高速化手法を提案した。この手法では、ハザードなどを含む信号波形を4種類の記号(0→0、1→1、0→1、1→0)で表現し、GPU による分散並列処理を行う。それによって、WSA を高い精度で高速に求めることができる。

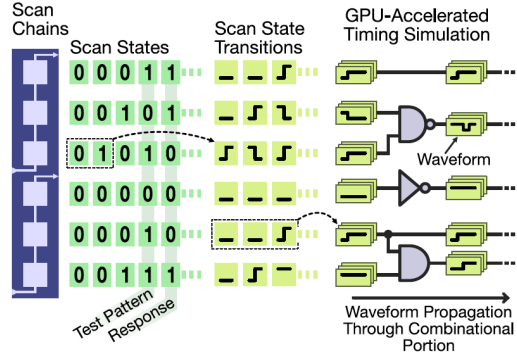


図 2 GPU による高速タイミングシミュレーション

(2) スキャンセグメント分割に伴う配線量増加を最小化する最適スキャンセグメント分割アルゴリズム

図 3 にスキャンセグメント分割アルゴリズムを示す。このアルゴリズムでは、スキャンチェーンの集合、コスト関数、および、追加可能なスキャンシフトサイクル数を入力として与えれば、最適スキャンセグメント分割を出力する。このアルゴリズムの初期結果は、全てのスキャンチェーンを含むグループである。その後、最大 WSD を持つレイアウトエリアのシフト遷移に寄与するスキャンチェーンを異なるグループに置いて、再度レイアウト全体の WSD を求める。このプロセスを繰り返すことによって、最適スキャンセグメント分割を求めることができる。このアルゴリズムは、事前に指定した反復回数 t_{ext} に達したら終了する。

Algorithm 1 Targeted Partial-Shift

Input: Scan chain set S , cost function WSD_{max} , allowed number of extra shift cycles t_{ext} ;
Output: For each shift c_i a partitioning $P_{c_i} = \langle G_1, \dots \rangle$

- 1: **for** each shift cycle c_i **do**
- 2: $P_{c_i} \leftarrow \langle S \rangle$ ▷ Simultaneous shifting by default
- 3: **while** $t_{ext} > 0$ **do**
- 4: $c \leftarrow$ shift cycle with highest $WSD_{max}(c, P_c)$
- 5: $n \leftarrow |P_c| + 1$ ▷ new number of groups for c
- 6: $w_1, \dots, w_{|S|} \leftarrow WSD_{max}(c, \langle S_1, \dots, S_{|S|} \rangle)$
- 7: $G_1, \dots, G_n \leftarrow \emptyset$ ▷ initialize new groups
- 8: $g_1, \dots, g_n \leftarrow 0$ ▷ estimated group cost
- 9: **for** each $w_i \in \{w_1, \dots, w_{|S|}\}$ in desc. order **do**
- 10: $j \leftarrow$ a group index with lowest g_j
- 11: $G_j \leftarrow G_j \cup \{s_i\}$ ▷ Add chain s_i to group G_j
- 12: $g_j \leftarrow g_j + w_i$
- 13: $P_c \leftarrow \langle G_1, \dots, G_n \rangle$ ▷ update shift cycle grouping
- 14: $t_{ext} \leftarrow t_{ext} - 1$

図 3 スキャンセグメント分割アルゴリズム

表 1 にシミュレーションによる評価結果を示す。追加シフトサイクルが増えるほど、より多くの WSD_{max} を削減でき、また、提案手法では、シフト電力密度を 20%程度削減することができる。

Circuit	WSD _{max} with Additional Cycles					Re-Sims	
	10	20	50	100	200		
b17	10	0.85	0.84	0.82	0.80	0.78	2200
	30	0.94	0.92	0.90	0.87	0.85	6370
b20	10	0.84	0.83	0.80	0.78	0.76	2407
b21	10	0.93	0.90	0.86	0.86	0.86	555
b22	10	0.90	0.87	0.84	0.82	0.80	2392

表 1 ベンチマーク回路による評価結果

- (3) 大規模論理コアと高精度遅延測定回路を搭載した評価用 LSI 回路の設計・試作・評価実験
 実チップ上で IR ドロップの変化を遅延時間として測定することによって提案手法の有効性を評価するため、評価用 LSI 回路の設計を行なった。図 4 に示すように、評価用 LSI 回路のコアとして、ITC'99 ベンチマーク回路の中で最も大きい b19(セル数:71874/FF 数:6070/スキャンチェーン数:32)を使用した。また、論理スイッチング量に相関する IR ドロップ遅延を実チップ上で測定するために、評価用 LSI 回路の複数箇所に遅延測定回路を配置した。

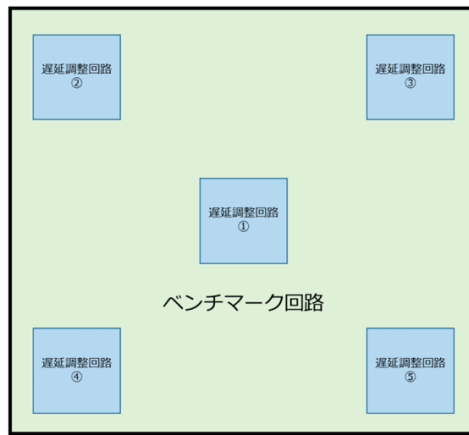


図 4 評価用 LSI 回路の構成

図 5 は遅延測定の原理を示している。遅延測定回路は遅延測定用信号を発信する FFL0 と FFL1、遅延測定用信号を受信する受信用 FF0~FF199 と、遅延測定信号を遅延させるための遅延バッファ B0~B199、発信用 FFL0 と FFL1 から受信用 FF0~FF199 までのパス上の遅延をおおまかに調整することができる遅延調整回路(Delay Adjuster)から構成される。FFL0 に入力された測定用信号が、遅延調整回路とパス上に介在する B1、B2 などの各遅延バッファを通ることによって一定間隔ごとに遅延し、測定信号受信用 FF0~FF199 に転送される。

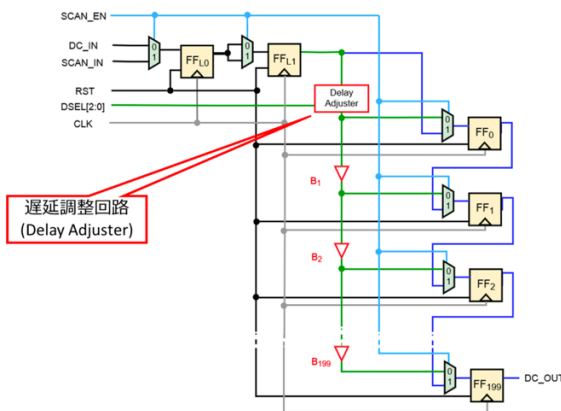


図 5 遅延測定の原理

遅延調整回路は図 6 に示すように、遅延バッファとマルチプレクサによって構成されており、制御信号 DSEL によってパス上の遅延時間を大まかに調整できる。この機能を用いてパス上の遅延時間を調整することにより、B0~B199 の各遅延バッファ 1 つあたりの遅延時間を分解能として、消費電力増加による IR ドロップの遅延時間を測定することができる。

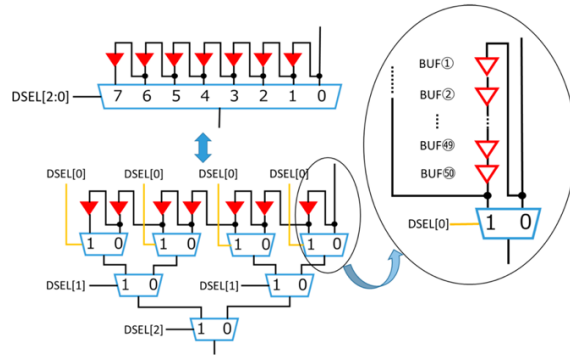


図 6 遅延調整回路の構成

評価用 LSI 回路は、CMOS 180nm プロセスで設計を行った。図 7 は評価用 LSI 回路のレイアウトを示している。チップサイズは 2.5mm×2.5mm で、電源電圧は 1.8V、また電源ピンは 4 箇所である。テストチップの試作は VDEC を通じて行い、15個が納品された。

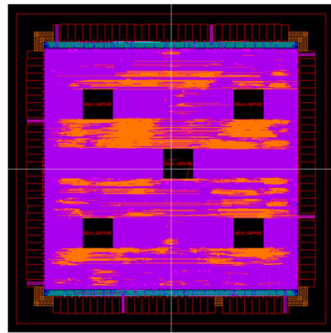


図 7 評価用 LSI 回路のレイアウト設計

本研究では、IR ドロップ遅延測定のために実チップによる測定を行なった。実チップでの測定環境を図 8 に示す。テスターとしては、CX1000D (Cloud Testing Service 社) を使用し、また評価ボードとして、MU300-EM (三菱マイコン社) を使用した。

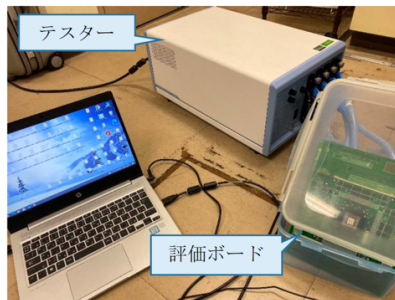


図 8 テストチップ評価用システム

図 9 より、テストチップにテストパターンを印加し、同時に遅延測定回路による測定を行うことで、各遅延測定回路における遷移 FF 数が変化していることが確認できる。この結果から、ベンチマーク回路にテストパターンを印加することで信号値遷移量が変化し、IR ドロップ遅延時間が変化していることが確認できる。

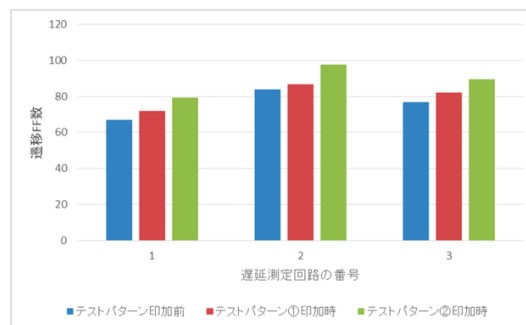


図 9 テストチップの測定結果

5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 5件／うち国際共著 4件／うちオープンアクセス 0件）

1. 著者名 T. Ni, H. Chang, T. Song, Q. Xu, Z. Huang, H. Liang, A. Yan, X. Wen	4. 巻 67
2. 論文標題 Non-intrusive Online Distributed Pulse Shrinking Based Interconnect Testing in 2.5D IC	5. 発行年 2020年
3. 雑誌名 IEEE Trans. on Circuits and Systems II: Express Briefs	6. 最初と最後の頁 2657-2661
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TCSII.2019.2962824	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 T. Ni, Y. Yao, H. Chang, L. Lu, H. Liang, A. Yan, Z. Huang, X. Wen	4. 巻 39
2. 論文標題 LCHR-TSV: Novel Low Cost and Highly Repairable Honeycomb-Based TSV Redundancy Architecture for Clustered Fault	5. 発行年 2020年
3. 雑誌名 IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems	6. 最初と最後の頁 2938-2951
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TCAD.2019.2946243	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 T. Ni, M. Nie, H. Liang, J. Bian, X. Xu, X. Fang, Z. Huang, X. Wen	4. 巻 18
2. 論文標題 Vernier Ring Based Pre-bond Through Silicon Vias Test in 3D ICs	5. 発行年 2017年
3. 雑誌名 IEICE Electronics Express	6. 最初と最後の頁 20170590
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/elex.14.20170590	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Y. Zhang, S. Holst, X. Wen, K. Miyase, S. Kajihara, J. Qian	4. 巻 E104-D
2. 論文標題 On the Efficacy of Scan Chain Grouping for Mitigating IR-Drop-Induced Test Data Corruption	5. 発行年 2021年
3. 雑誌名 IEICE Trans. on Inf. & Syst.	6. 最初と最後の頁 816-827
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/transinf.2020EDP7042	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 T. Kato, S. Wang, Y. Sato, S. Kajihara, X. Wen	4. 巻 8
2. 論文標題 A Flexible Scan-In Power Control Method in Logic BIST and Its Evaluation with TEG Chips	5. 発行年 2017年
3. 雑誌名 IEEE Trans. on Emerging Topics in Computing	6. 最初と最後の頁 591-601
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TETC.2017.2767070	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計19件 (うち招待講演 1件 / うち国際学会 11件)

1. 発表者名 R. Oba, K. Miyase, R. Hoshino, S.-K. Lu, X. Wen, S. Kajihara
2. 発表標題 Probability of Switching activity to Locate Hotspots in Logic Circuits
3. 学会等名 IEEE Workshop on RTL and High Level Testing (国際学会)
4. 発表年 2020年

1. 発表者名 S. Holst, M. Kampmann, A. Sprenger, J. D. Reimer, S. Hellebrand, H.-J. Wunderlich, X. Wen
2. 発表標題 Logic Fault Diagnosis of Hidden Delay Defects
3. 学会等名 Int'l Test Conf. (国際学会)
4. 発表年 2020年

1. 発表者名 大庭涼, 星野竜, 宮瀬紘平, 温暁青, 梶原誠司
2. 発表標題 LSIの領域毎の信号値遷移確率に基づく電力評価に関する研究
3. 学会等名 信学技報, Vol. 120, No. 236, DC2020-33
4. 発表年 2020年

1. 発表者名 高藤大輝, 星野龍, 宮瀬紘平, 温暁青, 梶原誠司
2. 発表標題 メモリのサイズおよび形状に起因するロジック部の高消費電力エリア特定に関する研究
3. 学会等名 電子情報通信学会技術研究報告, DC2020-72
4. 発表年 2021年

1. 発表者名 X. Wen
2. 発表標題 Power-Aware Testing for Low-Power VLSI Circuits
3. 学会等名 IEEE Int'l Conf. on Electron Devices and Solid-State Circuits (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 K. Miyase, Y. Kawano, S.-K. Lu, X. Wen, S. Kajihara
2. 発表標題 A Static Method for Analyzing Hotspot Distribution on the LSI
3. 学会等名 IEEE Int'l Test Conf. in Asia (国際学会)
4. 発表年 2019年

1. 発表者名 S. Holst, S. Shi, and X. Wen
2. 発表標題 Targeted Partial-Shift For Mitigating Shift Switching Activity Hot-Spots During Scan Test
3. 学会等名 IEEE Pacific Rim Int'l Symp. on Dependable Computing (国際学会)
4. 発表年 2019年

1. 発表者名 S. Holst, E. Schneider, M. A. Kochte, X. Wen, H.-J. Wunderlich
2. 発表標題 Variation-Aware Small Delay Fault Diagnosis on Compacted Failure Data
3. 学会等名 Int'l Test Conf. (国際学会)
4. 発表年 2019年

1. 発表者名 児玉優也, 宮瀬紘平, 高藤大輝, 温暁青, 梶原誠司
2. 発表標題 メモリ搭載LSIに対するロジック部の消費電力解析に関する研究
3. 学会等名 信学技報, Vol. 119, No. 420, DC2019-93
4. 発表年 2020年

1. 発表者名 史傑, 宮瀬紘平, 温暁青, 梶原誠司
2. 発表標題 LSIの高消費電力エリアに対する信号値遷移制御率向上に関する研究
3. 学会等名 信学技報, Vol. 119, No. 420, DC2019-94
4. 発表年 2020年

1. 発表者名 Y. Zhang, X. Wen, S. Holst, K. Miyase, S. Kajihara, H.-J. Wunderlich, J. Qian
2. 発表標題 Clock-Skew-Aware Scan Chain Grouping for Mitigating Shift Timing Failures in Low-Power Scan Testing
3. 学会等名 IEEE Asian Test Symposium (国際学会)
4. 発表年 2018年

1. 発表者名 Y. Zhang, S. Holst, X. Wen, K. Miyase, S. Kajihara, J. Qian
2. 発表標題 Scan Chain Grouping for Mitigating IR-Drop-Induced Test Data Corruption
3. 学会等名 第11回LSIテストセミナー
4. 発表年 2019年

1. 発表者名 河野雄大, 宮瀬紘平, 呂學坤, 温暁青, 梶原誠司
2. 発表標題 LSIのホットスポット分布の解析に関する研究
3. 学会等名 電子情報通信学会ディベンドブルコンピューティン研究会
4. 発表年 2019年

1. 発表者名 S. Holst, E. Schneider, M. A. Kochte, X. Wen, H.-J. Wunderlich
2. 発表標題 Small Delay Fault Diagnosis on Compacted Responses
3. 学会等名 第80回 FTC 研究会
4. 発表年 2019年

1. 発表者名 Y. Zhang, S. Holst, X. Wen, K. Miyase, S. Kajihara, J. Qian
2. 発表標題 Scan Chain Grouping for Mitigating IR-Drop-Induced Test Data Corruption
3. 学会等名 第17 回情報科学技術フォーラム
4. 発表年 2018年

1 . 発表者名 K. Miyase, Y. Kawano, X. Wen, S. Kajihara
2 . 発表標題 Locating Hot Spot with Justification Techniques in a Layout Design
3 . 学会等名 Proc. of IEEE Workshop on RTL and High Level Testing (国際学会)
4 . 発表年 2017年

1 . 発表者名 Y. Zhang, S. Holst, X. Wen, K. Miyase, S. Kajihara, J. Qian
2 . 発表標題 Scan Chain Grouping for Mitigating IR-Drop-Induced Test Data Corruption
3 . 学会等名 Proc. of IEEE Asian Test Symp. (国際学会)
4 . 発表年 2017年

1 . 発表者名 S. Holst, E. Schneiderz, H. Kawagoe, M. A. Kochtez, K. Miyase, H.-J. Wunderlichz, S. Kajihara, X. Wen
2 . 発表標題 Analysis and Mitigation of IR-Drop Induced Scan Shift-Errors
3 . 学会等名 Proc. of IEEE Int'l Test Conf. (国際学会)
4 . 発表年 2017年

1 . 発表者名 S. Holst, E. Schneider, M. A. Kochte, X. Wen, H.-J. Wunderlich
2 . 発表標題 Small Delay Fault Diagnosis with Compacted Responses
3 . 学会等名 Poster at ACM Design Automation Conf. (国際学会)
4 . 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分担者	梶原 誠司 (Kajihara Seiji) (80252592)	九州工業大学・大学院情報工学研究院・教授 (17104)	
研究 分担者	宮瀬 紘平 (Miyase Kohei) (30452824)	九州工業大学・大学院情報工学研究院・准教授 (17104)	
研究 分担者	H o l s t S t e f a n (Holst Stefan) (40710322)	九州工業大学・大学院情報工学研究院・准教授 (17104)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------