

令和 2 年 6 月 10 日現在

機関番号：13501

研究種目：基盤研究(B) (一般)

研究期間：2017～2019

課題番号：17H03214

研究課題名(和文)3次元スタック実装SiCカスコードパワーデバイス

研究課題名(英文)3D stacked assembly of SiC cascode power devices

研究代表者

矢野 浩司 (YANO, Koji)

山梨大学・大学院総合研究部・教授

研究者番号：90252014

交付決定額(研究期間全体)：(直接経費) 13,500,000円

研究成果の概要(和文)：高耐圧SiC埋め込みゲート静電誘導トランジスタチップと低耐圧Si-MOSFETチップを縦方向にスタック実装したSiCカスコード素子のプロトタイプを試作し、その電気的特性を評価した。その結果、室温でオン抵抗80mΩ、降伏電圧950Vであり、SiCパワースイッチングデバイスとしての基本性能が得られていることが確認された。また室温での電源電圧400V、負荷電流10Aまでのスイッチング特性を測定したところ、ターンオフ動作は18n秒以下の高速である反面、ターンオン時間は240n秒程度と、比較的大きいことが判明した。今後チャネル幅の最適設計をすればこの問題を解決できる。

研究成果の学術的意義や社会的意義

提案した3D実装SiCカスコード素子を、電源回路やインバータなどの電力変換回路に用いれば、同システムの小型化、低損失化に貢献できる。また従来のSiC-MOSFETにおける課題であった、しきい電圧変動などの課題を克服でき、電力変換システムの高信頼・高寿命化が期待できる。

研究成果の概要(英文)：A stacked assembly of an SiC cascode in which a low-voltage Si-MOSFET is stacked on a high-voltage SiC buried gate static induction transistor, that is, 3D stacked SiC-BGSIT cascode, was proposed and experimentally demonstrated. An ON-resistance and breakdown voltage of the 3D stacked sample were 80mΩ and 950V at room temperature, respectively. These electrical performances satisfy a fundamental performance as an SiC-switching power device. A turn-off time and turn-on one of the 3D stacked sample are 18ns and 240ns at room temperature for a supplied voltage of 400V and load current of 10A, respectively. The relatively large turn-on time, which is caused by the small channel width in the used SiC-BGSIT chip, will improve with an optimum design of the channel width.

研究分野：半導体工学

キーワード：パワーデバイス SiC ワイドバンドギャップ SIT JFET

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

現在、電力変換回路は、家電、自動車、電車、IT 機器、産業機器など広範囲に搭載されており、今後電力変換器の更なる低損失化、高電力密度化が求められている。このためには電力変換器に使用されているパワー半導体スイッチングデバイス(以下パワーデバイス)の益々の高性能化が必要となる。近年シリコンを用いたパワーデバイスはその理論性能限界に近づいており、材料としてシリコンの数 100 倍の性能を有するシリコンカーバイド(SiC)や窒化ガリウム(GaN)などのワイドバンドギャップ半導体材料を用いたパワーデバイスが注目されており実用化が進んでいる。中でも SiC-MOSFET は Si-IGBT を置き換えるべく広く開発および実用化が進められてきた。しかし SiC-MOSFET は MOS ゲート構造の絶縁膜/SiC 界面の欠陥などの問題により動作中にしきい電圧が変動するという課題がある。また SiC-MOSFET は逆導通の際にボディダイオードが導通するが、この際ホール注入が起こり、SiC 結晶に欠陥が生じるという課題がある。本課題を解決するために、本研究では図 1 に示すような高耐压のノーマリーオン SiC 埋め込みゲート静電誘導型トランジスタ(SiC-Buried gate static induction transistor: SiC-BGSIT)と駆動用低耐压 Si-MOSFET を直列接続した SiC-BGSIT カスコード型パワートランジスタ (SiC-BGSIT カスコード)を提案している。本素子は、ゲート部(駆動部)は Si-MOSFET で構成されているので、SiC-MOSFET にみられるゲートしきい電圧変動(ゲート信頼性の問題)がなく、同時に還流ダイオードとして直列接続した Si-MOSFET 中のボディダイオードを使用できるので、

SiC-MOSFET にみられるボディダイオード動作における結晶欠陥の増加の問題が無い。申請者らはカスコード素子用トランジスタとして使用可能な SiC-BGSIT の開発を進めてきた。図 1(a)の通り、SiC-BGSIT はチャンネル部を p⁺ゲート領域間の内部領域に設置する為、表面にチャンネルを設置する MOSFET 構造よりも高いチャンネル電子移動度を実現でき、ゲート部に絶縁層を用いないため信頼性も高い。そして、埋め込みゲート構造形成の新しい製造技術と設計技術を駆使し 2005 年には降伏電圧 700V、特性オン抵抗 1.01m Ωcm² という 600~900V 級で Si デバイスの 1 / 1.2 の世界最小損失のパワーデバイスの試作に成功した(’05.3.29 日刊工業新聞ほか)。また、1000 時間 125 °C の連続遮断試験にて高信頼性も証明した。そして SiC-BGSIT と Si-MOSFET の両トランジスタのチップを 1 パッケージに組み込んだサンプルを試作し、20A 級、耐压 945V でオン抵抗 34m Ω という、世界最高レベルの低オン抵抗の実現に成功した(IEEE Electron Device Letters, 2018)。

SiC-BGSIT カスコード素子の課題は、Si-MOSFET チップと SiC-BGSIT チップの両方に Al ワイヤの配線を施すため、シングル半導体チップの実装に比べボンディングワイヤー長が長くなることである。これにより配線インダクタンスが増加し、ノイズの増加やモジュール中で複数チップを並列駆動させた際のアンバランス動作の原因となる。また SiC チップと Si-MOSFET を 2 次元的に実装した場合、実装面積が増加するという課題もある。

2. 研究の目的

上記 SiC-カスコード素子の課題を克服するために、SiC-BGSIT チップと低耐压シリコン MOSFET チップを、LSI の高密度実装技術である 3次元スタック技術を用いて一体化した新しい低損失・高信頼性カスコード型パワーデバイス「3Dスタック BGSITカスコードパワーデバイス」を実現する。そして、同デバイスを用いた個別素子、パワーモジュールを提案し、そのためのデバイスの構造設計、および実装方法の概念を構築する。

3. 研究の方法

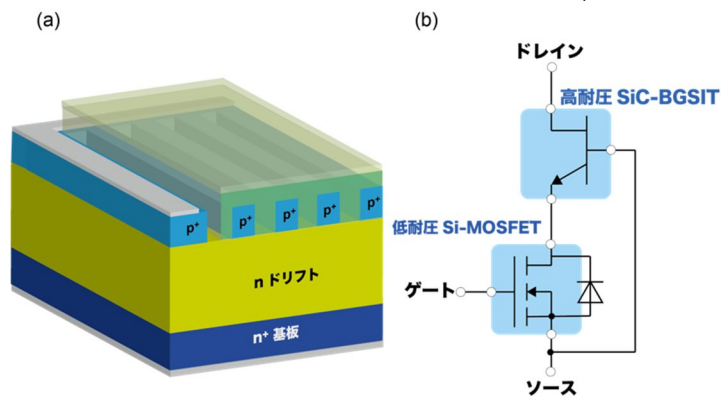


図 1 (a)SiC-BGSIT 構造 (b) SiC-BGSIT カスコード接続

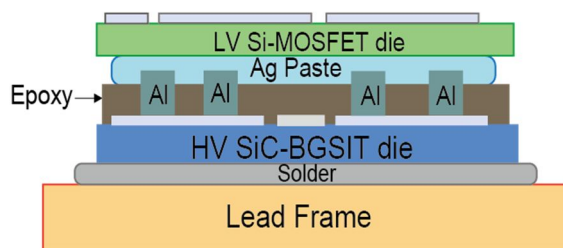


図 2 試作したスタック SiC-BGSIT カスコードの断面構造

まずSiC-BGSITの構造設計および3Dスタック実装手法を確立した。SiC-BGSITの構造設計についてはデバイスシミュレーションにより、主として同デバイスのチャネル部の不純物ドーピング濃度および寸法に関してオン抵抗と耐圧を両立する最適設計を行った。実際に実装したサンプルにはSiC-BGSITは約900V定格、Si-MOSFETは40V定格のチップを用いた。スタック実装方法については、図2に示す通り、下側SiCチップ表面のソース電極にAlバンプを形成し、Alバンプと上側Si-MOSFETの裏面電極をAgペーストで貼り付けた。これによりカスコード接続に必要となる上下チップの電気的接触を行いながら、力学的に安定に積層することが可能である。

この際に各チップの電極から出るAlワイヤの絶縁を取るためにエポキシ樹脂をチップ間に挿入している。実装設計にはANSYSを用い、デバイス動作時のチップや電極材料での温度増加や歪みをなるべく抑制するように、寸法や材料の選定を行った。図3はANSYSシミュレーションによる、今回実際に行ったエポキシ樹脂で上下チップ間の絶縁を施した3Dスタック実装と、仮想的にエポキシ樹脂を排除した3Dスタック実装における、ケース温度(T_c)を基準とした内部の温度分布および相当応力分布の結果である。本結果より3Dスタック実装の場合、エポキシ樹脂中の温度上昇が顕著であり、それによってSiチップ中の最高温度がエポキシ層無しの実装に比べ6.1 高くなる。上述したように、エポキシ層は上下チップの絶縁を保障するため必要となるので、最小のエポキシ層厚を用いこの層での温度上昇を最小限にすることが必要であることが本結果よりわかった。

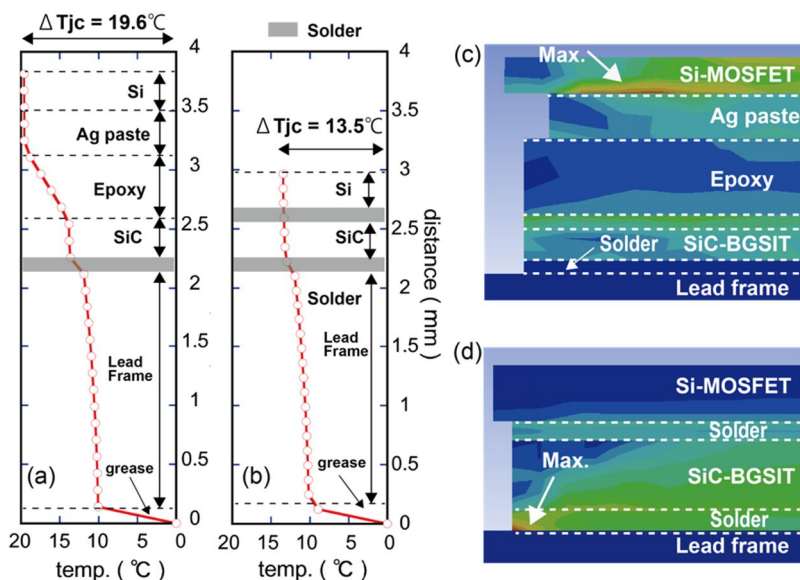


図3 (a)および(b) エポキシ層を含む場合および同層を含まない3Dスタック実装のケース温度を基準とした温度分布。(c)および(d) エポキシ層を含む場合および同層を含まない3Dスタック実装の内部の相当応力

4. 研究成果

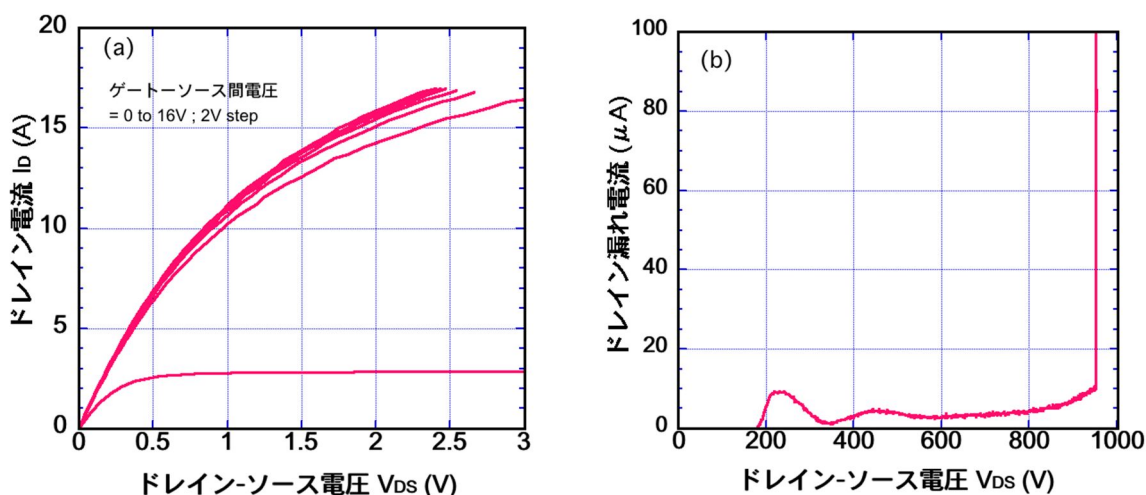


図4 試作したスタック SiC-BGSIT カスコード素子の(a)オン特性、および(b)順方向阻止特性

上述した手法にて組み立てた3DスタックSiCカスコード素子の基本特性を評価した。図4 (a) および(b)に代表的なオン特性および順方向阻止特性をそれぞれ示す。この結果より、試作サンプルは室温動作で、オン抵抗80m ($I_D=10A$)、ドレイン-ソース間降伏電圧950Vのノーマリーオフ動作を有し、SiCパワースイッチングデバイスとしての基本性能が得られていることが確認さ

れた。その他、逆導通特性、伝達特性を含む室温から125 までの温度特性を測定し、本実装方法は絶縁性能や内部寄生因子に対して問題が生じないことが確認された。試作した3Dスタック実装カスコード素子のオン抵抗はこれまで試作した2次元実装構造のものに比べ2倍以上高いものであるが、これはスタック実装素子の試作に用いた高耐圧SiC-BGSITチップのチャンネル幅が元々狭いことによるものであるため、今後チャンネル幅の最適設計をすればこの問題を解決できる。また、オン特性、オフ特性、逆導通特性に対し室温～125 での温度特性を評価した結果、特に異常動作は見られず、高温動作に対しても提案したスタック実装手法は信頼性があることがわかった。

一方、試作した3Dスタック実装サンプルの、電源電圧400V、負荷電流10AでのL負荷でのハードスイッチング動作の測定結果を図5に示す。本結果より、試作サンプルのターンオフ遷移時間は約18nsであり、SiCパワーデバイス特有の高速動作が実現できている。一方同サンプルのターンオン時の遷移時間は約240nsと、2D実装サンプルと比較して大きいことが判明した。これはターンオン動作時には、SiC-BGSITにおいてオフ状態中にゲート-ドレイン間寄生容量Cgdに充電されていた電荷を、ターンオン動作の際にBGSITのチャンネル領域を通して放電する必要があるが、試作サンプルに用いたBGSITチップのチャンネル幅が比較的狭く設計されていたため、ターンオン動作時にCgdの電荷の放電をスムーズにできなかったためである。従って、本問題は、実装に起因する問題ではなく、BGSITのチャンネル部の最適設計にて解決できることがシミュレーションにより判明している。表1に本研究で試作した3Dスタック実装SiC-BGSITカスコードと従来2D

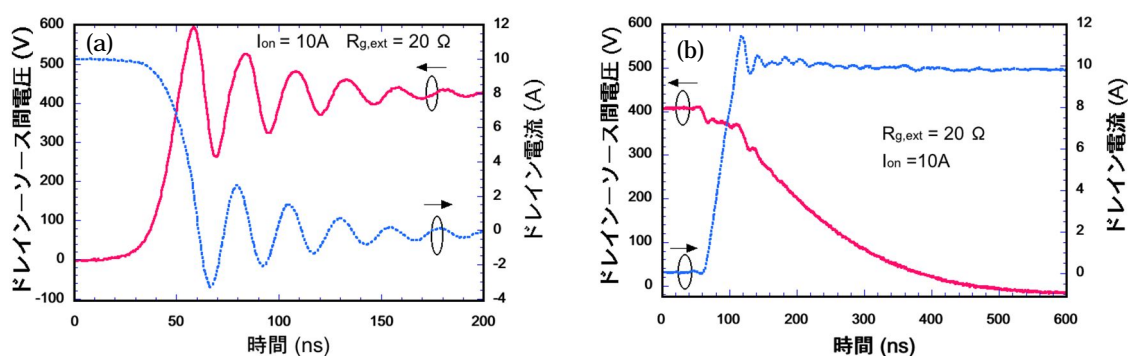


図5 試作したスタック SiC-BGSIT カスコード素子の(a)ターンオフ波形、および(b)ターンオン波形

実装SiC-BGSITカスコードの特性をまとめて示す。

更に、SiC-BGSITカスコード素子本来の信頼性試験を評価するために、2次元実装SiC-BGSITカスコードサンプルにおいてストレス試験を実施した。試験は、サンプル素子のゲート・ソース間に逆バイアス20Vのスパイク電圧を周波数40kHzで202時間印加し、ストレス試験前後での素子に対し電流Deep level transient spectroscopy (電流DLTS)測定を行い、ストレスによるSiCチップの活性領域の結晶欠陥への影響を調査した。その結果、ストレス試験前後で結晶欠陥に由来するDLTSスペクトルのピーク波形に顕著な変化は無く、同デバイスのストレスに対する信頼性が高いことが予測できた(ICSCRM2019発表)。この信頼性評価は従来の2D実装サンプルに対して行われたが、3Dスタック実装サンプルでは原理的に内部の寄生インダクタンスが2D実装サンプルよりも低減できるので、更に高い信頼性が期待できる。

以上より、本研究で提案した3Dスタック型SiC-BGSITカスコード素子は、将来の高パワー密度且つ高信頼性のパワーモジュールの一つの候補として期待できることが予測できた。

表1 今回試作した3Dスタック実装SiC-BGSITカスコードと従来2D実装SiC-BGSITカスコードの特性比較

パラメータ	3Dスタック実装	2D実装	条件
オン抵抗(m)	80.0	36.0	ドレイン電流10A
降伏電圧 (V)	950.0	920.0	ドレイン電流100 μA
ターンオフ時間 (ns)	18.0	45.0	負荷電流10A、電源電圧400V
ターンオン時間 (ns)	240.0	55.0	負荷電流10A、電源電圧400V

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Koji Yano, Yasunori Tanaka, and Masayuki Yamamoto	4. 巻 39
2. 論文標題 Extremely Low ON-Resistance SiC Cascode Configuration Using Buried-Gate Static Induction Transistor	5. 発行年 2018年
3. 雑誌名 IEEE Electron Device Letters	6. 最初と最後の頁 1892-1895
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/LED.2018.2878933	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計2件（うち招待講演 0件 / うち国際学会 1件）

1. 発表者名 Takashi Matsumoto, Yasunori Tanaka, and Koji Yano
2. 発表標題 Stress test of cascode switch using SiC static induction transistor
3. 学会等名 International Conference on Silicon Carbide and Related Materials (国際学会)
4. 発表年 2019年

1. 発表者名 矢野浩司、米山雄介
2. 発表標題 パワーデバイスの積層実装の熱解析
3. 学会等名 電気学会静岡東部・山梨支所研究発表会
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

山梨大学研究者総覧
<http://nerdb-re.yamanashi.ac.jp/Profiles/336/0033565/profile.html>

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分担者	松本 俊 (MATSUMOTO Takashi) (00020503)	山梨大学・大学院総合研究部・教授 (13501)	
研究 分担者	山本 真幸 (YAMAMOTO Masayuki) (00511320)	山梨大学・大学院総合研究部・助教 (13501)	
連携 研究者	田中 保宣 (TANAKA Yasunori) (20357453)	国立研究開発法人産業技術総合研究所・先進パワーエレクトロニクス研究センタ・総括研究主幹 (82626)	