

令和 3 年 6 月 1 日現在

機関番号：12608

研究種目：若手研究(A)

研究期間：2017～2019

課題番号：17H04677

研究課題名(和文) 組み込みシステム設計への近似計算の積極適用による効果的省エネルギー化手法

研究課題名(英文) Effective Energy Saving in Embedded Systems by Aggressive Approximate Computing

研究代表者

原 祐子 (Yuko, Hara-Azumi)

東京工業大学・工学院・准教授

研究者番号：20640999

交付決定額(研究期間全体)：(直接経費) 10,700,000円

研究成果の概要(和文)：IoTアプリケーションの多くは、最終結果に大きな影響を与えずに、計算の一部を近似可能と言う特徴を持つ。これまでも、信号処理において人が知覚できない誤差を許容する実装が行われてきたが、設計者の経験と勘に頼るところが多く、体系化されていなかった。本研究は積極的・体系的にアプリケーションの許容誤差を活用する、組み込みシステムの新たな設計パラダイムを構築することを目指す。まず、近似計算の静的解析フレームワークSSA-ACを構築した。さらに、3つのIoTアプリケーションに近似計算を適用し、従来の組み込みハードウェア設計より効率的な高速化・エネルギー削減を実現したことで、本研究の有効性を実証した。

研究成果の学術的意義や社会的意義

本研究成果によって、積極的かつ体系的に近似計算を適用するための解析手法を初めて構築した。本手法はハードウェア/ソフトウェアによらず適用でき、組み込みシステム全体の設計を効率化できる。また、3つのアプリケーションの実装例から、従来手法に勝る有効性を実証した。両研究成果とも社会的意義は大きい。また、初めての定性的解析モデルの構築、および、専用ハードウェア設計に勝るエネルギー高効率なアクセラレータ設計を実現したことから、学術的意義も高く評価され、一流国際論文誌から両成果を発表済みである。

研究成果の概要(英文)：Most applications in Internet-of-Things (IoT) are found to be able to approximate parts of their implementations without incurring noticeable output results. Traditionally, in signal processing, some approximation that is not perceptible to human senses have been employed only in seat of experts' pants approaches. This research aimed to develop a novel design paradigm in embedded systems designs that aggressively and systematically leverages tolerable approximations of a target application. First, a framework to statically analyze approximatable parts, SSA-AC, has been developed. Furthermore, on three representative IoT applications, we demonstrated that our proposed approximation techniques can efficiently outperform conventional (precise) hardware acceleration techniques.

研究分野：組み込みシステム

キーワード：近似計算 ハードウェア/ソフトウェア協調設計

様式 C-19、F-19-1、Z-19 (共通)

1. 研究開始当初の背景

Internet of Things (IoT)の発展に伴い、複雑・多様なアプリケーション(データセンシング+ノイズ除去/圧縮/情報抽出を行うスマートセンサ等)が創出されている。今後の情報社会の発展と低炭素社会の両立のために、これらのアプリケーションを低コスト(小規模)・低消費エネルギーながら効率良く処理可能なシステムの実現が求められており、そのための組込みハードウェアおよびソフトウェアの協調設計技術のニーズは更に高まる。本研究開始以前より様々な低消費エネルギー化技術が研究・開発されてきたが、ハードウェアやソフトウェアによる複雑な制御が必要となり、回路面積や実行時間の増加は避けられない。エネルギー消費量は回路面積と実行時間の両者によって決まること、更に、大量散布が必要なIoTアプリケーションでは回路製造コスト削減が重大な課題であることから、省エネルギー化に向けた新たな自動協調設計技術が必要である。

研究代表者は、IoTアプリケーションを含む組込みシステムを対象に、システム中の故障を隠蔽しつつ長期運用(寿命改善)を可能にする、ハードウェア(アーキテクチャ)・ソフトウェアの革新的な自動協調設計手法を開発し、その成果を一流国際会議で報告してきた。それらの研究成果から、組込みシステムにおいて、ハードウェア/ソフトウェアからの包括的な協調設計は過剰な設計オーバヘッドを抑え、極めて有効であることを確認した。

一方、研究代表者は上記の研究を進める中で、IoTアプリケーションは膨大なデータ量・高いデータ冗長性等により「多少の計算の誤り(誤差)を許容可能」という特徴が顕著であることを観測した。浮動小数点演算の精度削減のみでなく整数演算にも適用できる点が、既存のアプリケーションとの大きな違いである。この特徴を活用することで、IoTアプリケーションの設計制約である小規模化・高速化・省エネルギー化を両立する、組込みシステムの画期的な設計手法を確立できると考えた(図1)。従来、信号処理等で「人が知覚できない誤差は許容可能」という概念はあったものの、その特徴の活用は設計者の経験に頼るところが大きく、適用可能なアプリケーションや演算タイプ(浮動小数点演算)は限定的であった。進化し続けるIoTにおいて、上述の特徴を備えるアプリケーションの多様化・増加が進む。したがって、設計者の知見を活用できない新出アプリケーションや、従来より広範囲に(演算タイプによらず)適用するために、積極的に誤差(近似処理)を許容する組込みシステムのハードウェア(アーキテクチャ)とソフトウェアを体系的に最適・協調設計する手法を確立することで、最先端プロセッサを凌駕する高性能化・省エネルギー化を実現できると考えた。

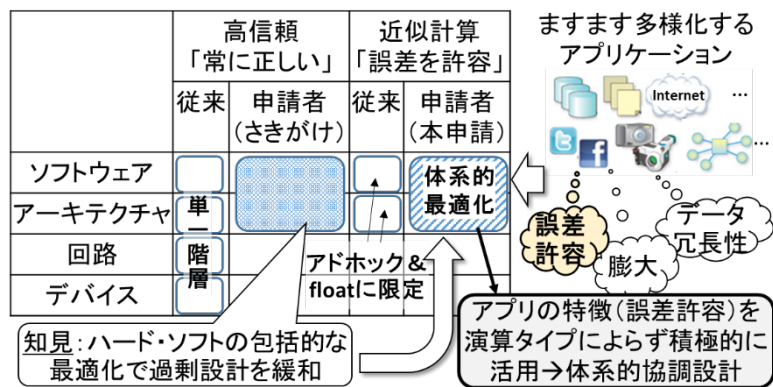


図1: 研究開始以前の既存研究と本研究の位置づけ

2. 研究の目的

本研究では、積極的・体系的にアプリケーションの許容誤差を活用する、組込みシステムの新たな設計パラダイムを構築することを目的とする。アプリケーションの許容誤差(近似計算)を整数演算・浮動小数点演算の両者に広範囲に適用し、計算の複雑さを最小化することで、組込みシステムの小規模化・高性能化・低エネルギー化をすべて満足するハードウェア・ソフトウェア協調設計手法を確立するという挑戦的な課題に取り組む。

本研究は、許容可能な誤差範囲の識別、効果的な近似計算化、ハードウェア・ソフトウェアの最適分割の探索の3つの柱から成る研究を推進した(図2)。

- 【1】近似誤差の影響(アプリケーション内における誤差伝搬)の定性的解析モデル構築
- 【2】効率的な近似計算化手法の確立と最適な適用の探索
- 【3】近似計算化の効果を最大化するハードウェア/ソフトウェア協調設計

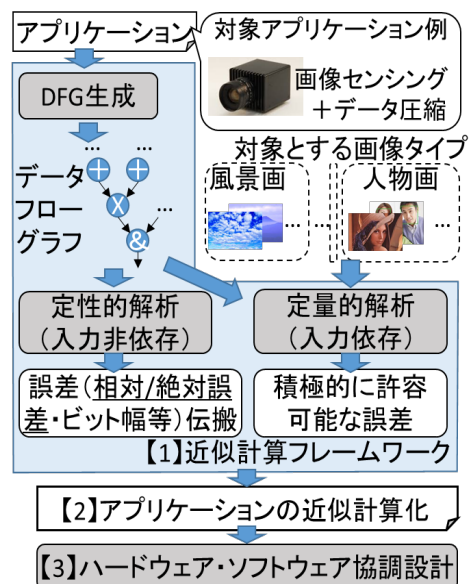


図2: 本研究の全体図

### 3. 研究の方法

上述の3つの課題について、それぞれ以下のアプローチで取り組んだ。

#### 【1】 近似誤差の影響（アプリケーション内における誤差伝搬）の定性的解析モデル構築

既存手法には、(1)データセット（学習データ）を用いた入力依存解析、(2)ビット幅ベースの入力非依存解析の二通りがある。(1)は学習データに大きく依存するため、過剰近似化に陥りやすく、システム運営中のデータが学習データに沿わない場合、非許容誤差を生む。(2)は、整数値7と8(0111と1000)のように誤差は小さく許容可能である場合でも、ビット幅が異なるため活用できない。本研究では、以上のような過剰・過小な近似化を解決するために、学習データによらず、アプリケーション内の中間結果の近似誤差（ビット幅が異なる絶対誤差や相対誤差）が最終出力にどの程度影響するかという「近似誤差伝搬の定性的モデル」を構築する。学習データ非依存の「定性的な解析結果」と学習データ依存の「定量的な解析結果」を切り分け、設計制約に応じて、後者をどの程度反映するかを決定することができる。

#### 【2】 効率的な近似計算化手法の確立と最適な適用の探索

組込みシステム設計では、アプリケーションを動作記述した後、ハードウェアとソフトウェアの機能に分割し、前者は高位合成（動作記述からの回路記述合成）等の上流設計技術を用いて回路設計する。したがって、本研究では【1】のモデルに基づき、まずアプリケーション全体を近似計算化（コード変換）する。許容誤差制約を満たすコード変換は、ある演算をエネルギー効率の高い別演算で代用、類似する既計算結果の再利用等、複数存在しうる。様々な近似計算化手法を個々に確立し、アプリケーションにとって効果的な手法の組み合わせを探索・適用する。

#### 【3】 近似計算化の効果を最大化するハードウェア/ソフトウェア協調設計

【2】適用済みの近似計算化、および、既存のハードウェア/ソフトウェアの最適化を考慮し、従来の協調設計より更に広い設計空間探索に取り組む。ハードウェア（高位合成した専用回路・開発済みプロセッサ）とソフトウェアの最適な組み合わせにより、更に効率良く低コスト・高性能・低エネルギー化を実現できる。最終的に、いくつかの実アプリケーションを用いて、従来の手設計によるハードウェア/ソフトウェア協調システムに比べ、本提案手法は小規模化・高速化・省エネルギー化を全て実現できることを実証する。

### 4. 研究成果

#### 【1】 近似誤差の影響（アプリケーション内における誤差伝搬）の定性的解析モデル構築

対象プログラムの入出力の依存関係を静的に解析するフレームワーク SSA-AC を構築した（図3）。各入力変数が、いくつの出力結果のどのような計算に寄与しているかを抽出し、寄与度でランキング付けすることで、相対的な重要度を評価した。寄与度は、各入力変数の出現回数と演算の種類によって評価した。既存の定量的解析手法では、近似計算の適用箇所に応じて大量のデータセットで評価することによって、総解析時間は非常に長くなり、非効率であった。それに対して、提案手法は、1回のプログラム実行で相対ランキングを得られ、解析効率を大幅に改善した。実験結果、提案手法は、従来の定量的解析手法を用いた場合と同じ相対ランキングを得られることを確認した。提案手法を用いて、相対的な重要度を抽出した後、従来の定量的解析手法を行えば、解析効率の改善と高精度の解析を両立することができる。本研究成果は、組込みシステム分野で高い評価を得ている国際論文誌 ACM Trans. on Design Automation of Electronic Systems (TODAES) から発表済みである。

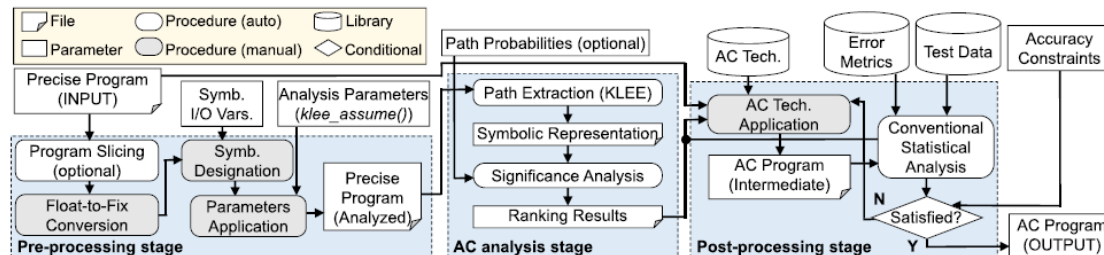


図3：提案手法 SSA-AC フレームワークの全体図

#### 業績

- S. Metwalli and Y. Hara-Azumi, "SSA-AC: Static Significance Analysis for Approximate Computing," ACM Trans. on Design Automation of Electronic Systems (TODAES), vol. 24, no. 3, pp. 34:1-34:17, Jun. 2019.
- S. Metwalli and Y. Hara-Azumi, "SEA-AC: Symbolic Execution-based Analysis towards Approximate Computing," ACM Student Research Competition (SRC) in the 51st IEEE/ACM International Symposium on Microarchitecture (MICRO), 2018.
- S. Metwalli and Y. Hara-Azumi, "Systematic Analysis Framework of Variables Significance towards Approximate Computing," VLSI 設計技術研究会, 2017年2月.

【2/3】 効率的な近似計算手法の確立と実アプリケーションへの適用

実アプリケーションとして、(1) K-means クラスタリング、(2) 画像圧縮、(3) 充足可能性問題 (SAT) を用いて、本研究の有効性を評価した。

(1) K-means クラスタリング

このアルゴリズムは、クラスタの平均を用い、与えられた K 個のクラスタに分類する。教師無し学習に分類され、近似計算と非常に親和性が高い。【1】の成果から、各クラスターの平均を計算する部分、および、クラスタを更新するか否かを判定する部分の 2 カ所に近似計算を適用できることを明らかにした。既存のマイクロプロセッサ MIPS に対して、これら 2 カ所の近似計算を可能にするアーキテクチャ拡張を行った (図 4)。その結果、従来手法 (専用ハードウェアによる高速化) と比べ、イタレーション数 (クラスタの更新回数) を半数以下に削減することができた (図 5)。

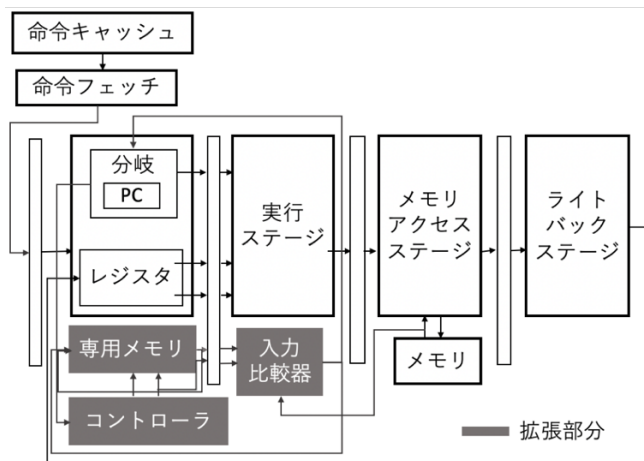


図 4 : 本研究によるアーキテクチャ拡張

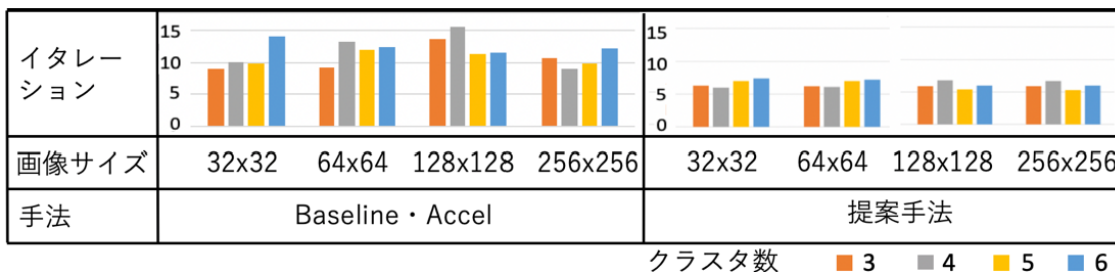


図 5 : 従来手法 (左) に対する提案手法 (右) の高速化の効果

業績

- 君島 舜, フランシスクス マルセル サトリア, 原 祐子, "組込みシステムにおける近似計算を用いたデータクラスタリング高速化," VLSI 設計技術研究会, vol. 118, no. 457, VLD2018-129, pp. 217-222, 2019 年 3 月.

(2) 画像圧縮

高画質画像 (.img) から JPEG 画像への圧縮では、出力画像の質は人間の視覚に大きく依存するため、近似計算と親和性が高い。本アルゴリズムの特徴を活用し、近似データ再利用 (過去の計算結果を再利用する手法) を採用した。アルゴリズム中で特に多くの計算を占める処理に対して近似計算適用箇所可能を解析し、RGB から YCbCr の色情報変換、および、8x8 ブロック~量子化の 2 カ所に上記の近似データ再利用を適用可能なプロセッサ拡張を行った。【1】の手法では、近似計算可能な程度までは解析できないため、再利用条件のパラメータを変えて定量的に評価を行った。その結果、既存手法による JPEG 専用ハードウェア (近似データ再利用無し) と比べ、より少ない回路面積オーバーヘッドで、同程度以上の高速化を実現できるパラメータを得た (図 6)。本研究の新規性は、1 つの回路拡張がアルゴリズム中の複数箇所を高速化し、エネルギーを削減できる点である。この斬新なアプローチが高く評価され、国際会議 Embedded Systems for Real-Time Multimedia (ESTIMedia)、および、国際論文誌 ACM Trans. on Design Automation of Electronic Systems (TODAES) から発表済みである。

業績

- H. Osawa and Y. Hara-Azumi, "Approximate Data Reuse-Based Accelerator Design for Embedded Processor," ACM Transactions on Design Automation of Electronic Systems (TODAES), vol. 24, no. 5, pp. 56:1-56:25, Aug. 2019.
- H. Osawa and Y. Hara-Azumi, "Approximate Data Reuse-based Processor: A Case Study on Image Compression," 15th IEEE/ACM Symposium on Embedded Systems for Real-Time Multimedia (ESTIMedia), pp. 32-40, Oct. 2017.
- 大澤 永始, Tanvir Ahmed, 原 祐子, "Approximate Computing に基づいたデータ再利用型組込みプロセッサ," LSI とシステムのワークショップ, 2016 年 5 月.



図 6 : 従来手法 (Baseline) に対する提案手法の有効性評価 (複数指標を総合的に評価し、赤枠内 2 つのパラメータ設定において特に高効率)

### (3) 充足可能性問題 (SAT)

SAT は、与えられた論理式を満たす変数の組み合わせが存在するか否かを判定するアルゴリズムであり、組み合わせ最適化問題の基本となっている。変数の判定には近似計算を適用できないが、変数の組み合わせの探索を近似的に行うことで、広大な設計空間を効率的に削減し、高速化を実現できる。本研究では、数多くある SAT アルゴリズムの内、設計空間探索の近似化の親和性が高い AmoebaSAT を対象とし、そのハードウェアソルバを FPGA 向けに設計した。提案手法によって、オリジナルの AmoebaSAT に比べ、解探索空間 (イタレーション数) は 1/48 まで削減され、大幅に求解効率を改善した。本研究成果は、国際論文誌 2 件 (IEEE Trans. on Circuits and Systems II: Express Briefs, IEEE Access)、査読付国際会議 4 件、国内研究会 1 件で発表済みであり、国内外で高く評価された。

### 業績

- N. Takeuchi, M. Aono, Y. Hara-Azumi, and C. L. Ayala A, "Circuit-Level Amoeba-Inspired SAT Solver," IEEE Trans. on Circuits and Systems II: Express Briefs, Vol.67, Issue 10, pp.2139-2143, Oct. 2020.
- A. H. N. Nguyen, M. Aono, and Y. Hara-Azumi, "FPGA-based Hardware/Software Co-design of a Bio-inspired SAT Solver," IEEE Access, vol.8, pp.49053-49065, Dec. 2020.
- Y. Nakayama, Y. Hara-Azumi, A. H. N. Nguyen, D. Hisano, Y. Inoue, T. Nishio, and K. Maruta, "Real-Time Routing for Wireless Relay Fronthaul with Vehicle-Mounted Radio Units," IEEE Vehicular Technology Conference (VTC)-Spring, pp.1-6, May 2020.
- A. H. N. Nguyen, M. Aono, and Y. Hara-Azumi, "Amoeba-Inspired Hardware SAT Solver with Effective Feedback Control," Int'l Conference on Field-Programmable Technology (ICFPT), pp.241-246, Dec. 2019.
- A. H. N. Nguyen, M. Aono, and Y. Hara-Azumi, "FPGA-Based Amoeba-Inspired SAT Solver for Cyber-Physical Systems," Work-in-Progress of Int'l Conference on Cyber-Physical Systems (ICCPS), pp.316-317, Apr. 2019.
- K. Hara, N. Takeuchi, M. Aono, and Y. Hara-Azumi, "Amoeba-Inspired Stochastic Hardware SAT Solver," Int'l Symposium on Quality Electronic Design (ISQED), pp.151-156, Mar. 2019.
- A. N. H. Ngoc, M. Aono, and Y. Hara-Azumi, "Amoeba-inspired SAT Solvers on FPGA through High Level Synthesis," VLSI 設計技術研究会, 2018 年 2 月.

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件/うち国際共著 0件/うちオープンアクセス 1件）

1. 著者名 Paniti Achararit, Itaru Hida, Takao Marukame, Tetsuya Asai, and Yuko Hara-Azumi	4. 巻 E9-N
2. 論文標題 Structural Exploration of Stochastic Neural Networks for Severely-Constrained 3D Memristive Devices	5. 発行年 2018年
3. 雑誌名 IEICE Transactions on Nonlinear Theory and Its Applications	6. 最初と最後の頁 466-478
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/nolta.9.466	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

〔学会発表〕 計7件（うち招待講演 1件/うち国際学会 3件）

1. 発表者名 Sara Metwalli and Yuko Hara-Azumi
2. 発表標題 SEA-AC: Symbolic Execution-based Analysis towards Approximate Computing
3. 学会等名 ACM Student Research Competition (SRC) in conjunction with the 51st IEEE/ACM International Symposium on Microarchitecture (MICRO)（国際学会）
4. 発表年 2018年

1. 発表者名 Paniti Achararit, Itaru Hida, Tetsuya Asai, and Yuko Hara-Azumi
2. 発表標題 On the Neuromorphic 3D Devices for Locally-Connected Convolutional Neural Network
3. 学会等名 The 28th Annual Conference of the Japanese Neural Network Society（国際学会）
4. 発表年 2018年

1. 発表者名 原 祐子
2. 発表標題 近似データ再利用に基づく組込みシステムのアクセラレータ設計
3. 学会等名 電子情報通信学会ソサイエティ大会（招待講演）
4. 発表年 2018年

1. 発表者名 君島 舜, フランシスクス マルセル サトリア, 原 祐子
2. 発表標題 組込みシステムにおける近似計算を用いたデータクラスタリング高速化
3. 学会等名 電子情報通信学会 VLSI設計技術研究会
4. 発表年 2019年

1. 発表者名 Hisashi Osawa and Yuko Hara-Azumi
2. 発表標題 Approximate Data Reuse-based Processor: A Case Study on Image Compression
3. 学会等名 15th IEEE/ACM Symposium on Embedded Systems for Real-Time Multimedia (国際学会)
4. 発表年 2017年

1. 発表者名 Anh Nguyen Hoang Ngoc and Masashi Aono and Yuko Hara-Azumi
2. 発表標題 Amoeba-inspired SAT Solvers on FPGA through High Level Synthesis
3. 学会等名 VLSI設計技術研究会
4. 発表年 2017年

1. 発表者名 Sara Ayman Metwalli and Yuko Hara-Azumi
2. 発表標題 Systematic Analysis Framework of Variables Significance towards Approximate Computing
3. 学会等名 VLSI設計技術研究会
4. 発表年 2017年

〔図書〕 計1件

1. 著者名 Hsuan Hsiao, Jason H. Anderson, and Yuko Hara-Azumi	4. 発行年 2019年
2. 出版社 Springer	5. 総ページ数 215
3. 書名 Stochastic Computing: Techniques and Applications	

〔産業財産権〕

〔その他〕

原研究室ホームページ <a href="http://www.cad.ict.e.titech.ac.jp/">http://www.cad.ict.e.titech.ac.jp/</a>
---

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------