

科学研究費助成事業 研究成果報告書

令和 2 年 6 月 30 日現在

機関番号：12301

研究種目：基盤研究(C)（一般）

研究期間：2017～2019

課題番号：17K00073

研究課題名（和文）熟練設計者の技術を学習したアナログ集積回路の設計レスシステムの実現

研究課題名（英文）Design-less system of Analog integrated circuits by learning skills of expert engineers

研究代表者

高井 伸和（Takai, Nobukazu）

群馬大学・大学院理工学府・准教授

研究者番号：70318905

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：本研究では、Society5.0を支える重要な要素であるアナログ集積回路を、計算機により自動設計する手法を提案した。

熟練の回路設計者の勘所を学習するために、ニューラルネットワークを用いる手法を提案した。アナログ集積回路の基本回路の一つである演算増幅器に対して学習し、13の要求仕様を入力するとその仕様を満たす回路を瞬時に設計できる。13もの要求仕様を同時に満たす回路を自動設計できる手法は世界初であり、国内特許を申請している。

さらにQ学習と組み合わせることで、計算機が自律的に回路を設計できる手法も提案し、最大で約4倍の性能向上を確認した。本手法も世界初であり国内特許を申請している。

研究成果の学術的意義や社会的意義

アナログ集積回路の自動設計には多くの手法が存在するが、いずれも単純な回路構造に限定されており、アナログ集積回路の自動設計の実現の難しさを示している。多くの仕様を同時に満たす回路の自動設計の実現は世界初となり、学術的意義は大きい。

アナログ集積回路の設計レス環境の実現により、電子機器の市場への早期投入や高騰している設計・製造コストの削減など、産業界への波及効果が期待できる。さらに、電子機器設計を容易にし、多種多様な非半導体設計スペシャリストがアイデアで勝負する時代への変革のきっかけとなる。この変革により集積回路設計の裾野が広がり、様々な電子機器の設計が可能となる。

研究成果の概要（英文）：Our research focuses on the automatic design of analog integrated circuits, which are an important element of the Society 5.0, by computer.

In order to learn the intuition of skilled circuit designers, a method using neural networks has been proposed. The system learns an operational amplifier, one of the basic circuits of analog integrated circuits, and can instantly design a circuit that satisfies 13 specifications. This is the world's first method that can automatically design circuits that meet as many as 13 different specifications simultaneously, and we have applied for a domestic patent.

We also have proposed a method that enables the computer to design circuits autonomously by combining it with Q-learning, and confirmed that the performance was improved by up to four times. This method is also the first of its kind in the world, and a domestic patent has been applied for.

研究分野：アナログ集積回路設計、アナログフィルタ設計、アナログ集積回路の自動設計

キーワード：演算増幅器 コンパレータ Q学習 ニューラルネットワーク 自動設計

1 研究開始当初の背景

近年の集積回路はアナログとデジタル信号処理回路が混在したアナ・デジ混載集積回路が主流である。デジタル集積回路の自動設計が確立しているのに対し、アナログ集積回路の自動設計は未だ実現されておらず、研究開発が盛んに行われている。アナログ集積回路設計の難しさは、要求仕様が多数ある点、要求仕様が製品ごとに異なる点、各仕様がトレードオフの関係にある点、製造プロセスが変わると再設計が必要な点である。そのため、従来のアナログ集積回路の自動設計は小規模な回路構造の限られた仕様の範囲でしか成功しておらず、実用的とは言えない。

機械学習は画像の認識に有効であり、広く利用されている。回路構造の機械学習の実現には、回路構造の類似性の計算が必要となる。しかし、回路構造を画像として認識すると、正確に学習できない問題がある。これは、全く同じ回路でもその描き方は様々であるため、同じ回路を異なる構造と誤認識してしまうことに起因する。

申請者は自動設計の高速化のために回路構造の同一判定と類似度計算アルゴリズムを開発した。この同一判定・類似度計算アルゴリズムは回路図の描き方に依存することなくトポロジーを認識できることに着目した。このアルゴリズムを機械学習に適用して、熟練の設計者の勘所を学習する。

2 研究の目的

本研究では以下の3つを達成することを目標とする

[1] A/D 変換回路に用いるコンパレータ回路の自動設計

コンパレータ回路はアナ・デジ混載集積回路に必要な A/D 変換回路（アナログ信号をデジタル信号に変換する回路）の基本回路である。このコンパレータには低消費電力と高速動作の両立が求められる。また、設計するプロセスや回路構造が変わっても迅速に対応できるためには、プロセスポータビリティや異なる回路構造にも対応できることが求められる。そこで、プロセスや回路構造が異なるコンパレータでも自動設計できることを確認し、技術の有効性を実証する。

[2] センサーユニット用演算増幅器の自動設計

演算増幅器は要求仕様が多く回路構造も複雑になり自動設計が困難である。また、演算増幅器は用いられるアプリケーションによって求められる性能が異なる。それぞれの異なる要求仕様に対して仕様を満たす演算増幅器を自動設計し、複雑な回路構造でありつつ多くのアプリケーションにも対応できることを確認する。

[3] 試作による実用性の評価

シミュレーション上での解析にとどまらず、実際に半導体集積回路を試作することで実デバイス上で評価し、素子値ばらつきや温度変化による特性への影響を明らかにし技術の有効性を実証する。

3 研究の方法

本研究を進めるにあたり、以下に示す2つの手法を提案した。

1. ニューラルネットワークを用いた回路特性と回路パラメータの学習
2. Q 学習を用いた回路特性の向上

1の実現のためには、図1に示すように入力に回路特性、出力に回路パラメータとなるニューラルネットワークを実装し、回路特性とパラメータを学習する。この実現に最も重要となるのが、学習データの作成である。学習に適したデータを作成するために、良い回路とは何かを定義し、その定義に適合するデータのみを学習に用いる仕組みを実装した。また、この「良い回路の定義」を変えることで、設計したい回路を技術者が自由に決められる。固定の回路構造に対して、シミュレーションにより学習データを作成し学習する。

ニューラルネットワークを用いた回路設計は一度学習が完了すると、次回からは回路特性を入力すればそれを満たす回路パラメータを瞬時（100m 秒以下）で予測でき、回路設計の効率が劇的に向上する。しかし、学習データを越えた回路特性と回路パラメータの予測は精度が悪くなってしまい、という問題がある。そこで2に示した、回路特性を計算機が自律的に改善する Q 学習を用いる手法を提案した。Q 学習は強化学習のアルゴリズムの一つであり、回路設計に適用するためには「行動」「状態」「報酬」を定義する必要がある。本研究では、図2に示すように、「行動」に「素子値の変更」、「状態」に回路性能、「報酬」に目標仕様に対する達成度を割り当てる手法を提案した。

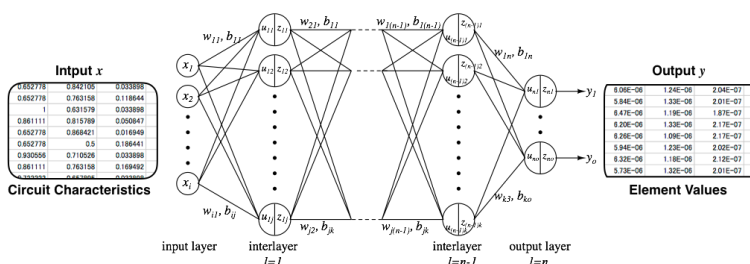


図1 ニューラルネットワークによる回路特性の学習

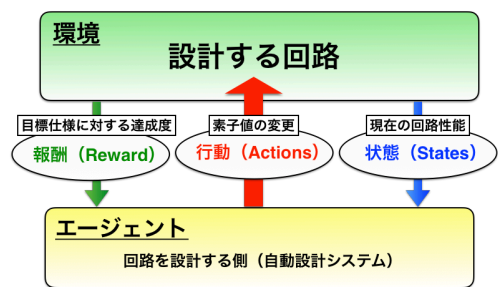


図2 Q 学習を用いた回路設計のモデル

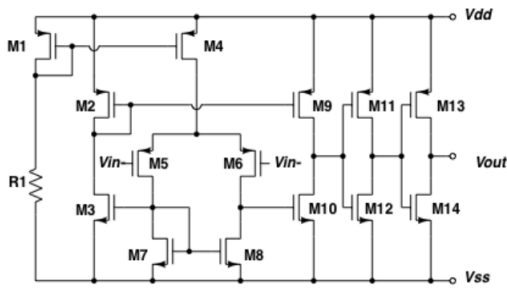


図3 自動設計対象のコンパレータ回路（ルネサス社の製品（HA1631S01/03 シリーズ））

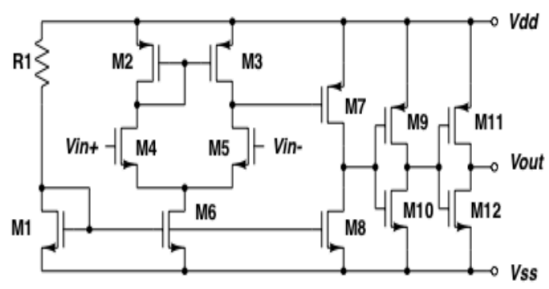


図4 自動設計対象のコンパレータ回路（高速プッシュプルコンパレータ）

表1 自動設計結果

	HA1631S01/03	図3		図4	
		PHENITEC	TSMC	PHENITEC	TSMC
出力振幅 [V]	2.9	2.96	1.71	2.9	1.71
遅延時間 TP_{LH} [ns]	1200	192	339	31	21
遅延時間 TP_{HL} [ns]	550	26	17	148	42
応答時間 t_r [ns]	24	9	14	3	2
応答時間 t_f [ns]	7	2	3	6	3
オフセット時間 [mV]	5	7.7e-6	4.0e-5	7.7e-6	4.0e-5
消費電流 [μ A]	5	4.5	4.9	2.7	4.52

これら2つの手法を用いて、研究目標 [1], [2] を実現した。また、[3] に関しては、[2] で自動設計した集積回路を試作し、実デバイス上で性能を評価した。

4 研究成果

4.1 [1] の研究成果

4.1.1 Q 学習を用いたコンパレータ回路の自動設計

自動設計対象のコンパレータ回路を図3と図4に示す。図3はルネサス社の製品（HA1631S01/03 シリーズ）であり、図4は高速プッシュプルコンパレータと呼ばれる回路である。プロセスポータビリティへ対応可能であることを示すために、シミュレーションには PHENITEC 社の $0.6\mu\text{m}$ CMOS プロセスと TSMC 社の $0.18\mu\text{m}$ CMOS プロセスを用いた。また、学習対象はコンパレータの性能指標のうち、出力電圧振幅、伝搬遅延（立ち上がり (TP_{LH})、たち下がり (TP_{HL}))、応答時間（立ち上がり (t_r)、たち下がり (t_f))、入力オフセット電圧、消費電流の7項目とした。回路の学習には「研究の手法」の2のQ学習を用いた。Q学習を用いるためには「状態」「行動」「報酬」を定義する必要がある。この自動設計では、各項目を次のように設定している。

状態 回路の消費電力とし低消費電流の回路が性能の良い回路と設定した。

行動 回路パラメータの変更を行動とした。各回路での具体的な行動は次の通りである。

- 図3では、M1, M2, M3, M4, (M5, M6), (M7, M8), M9, M10, (M11~M14) の M を変更し、M11, M12 の M と M13, M14 の M の比を 1:3 として変更する。カッコ内は同じ値を用いる。
- 図4では、M1, (M2, M3), (M4, M5), M6, M7, M8, (M9~M12) の M を変更し、M9, M10 の M と M11, M12 の M の比を 1:3 として変更する。カッコ内は同じ値を用いる。

ただし、次のパラメータは変更せず、固定とした。MOSFET の L は、PHENITEC 社のプロセスパラメータでは $L = 0.6\mu\text{m}$ 、TSMC 社のプロセスパラメータでは $0.2\mu\text{m}$ 固定とし、抵抗は $100\text{k}\Omega$ とした。

報酬 次のように報酬を設定した。

- 出力電圧振幅が0の場合：報酬 = 0
- 出力電圧振幅が0より大きい場合：

$$\text{報酬} = \left(\frac{\text{消費電流の目標値}}{\text{消費電流}} + \frac{TP_{LH}\text{の目標値}}{TP_{LH}} + \frac{TP_{HL}\text{の目標値}}{TP_{HL}} \right) \times \frac{\text{目標値を超えた数}}{\text{回路特性数}}$$

表1の自動設計結果の特性結果より、HA1631S01/03と比較して、応答時間、遅延時間、消費電流ともに小さく設計でき、高速・低消費電力なコンパレータを設計できたことを確認できる。また、プロセスや回路構造が変わってもこれらの特性を実現できていることから、プロセスポータビリティや異なる回路構造への対応も可能であることが確認できる。

図5と図6に図4の回路構造で TSMC $0.18\mu\text{m}$ CMOS プロセスパラメータを用いたコーナー解析の入出力特性（立ち上がりとたち下がり特性）のシミュレーション結果を示し、表2に各性能の結果をまとめた。図5と図6より、プロセスばらつきによる特性の変動に対しても特性が大きく変わることはなく、本手法がプロセスばらつきに対しても有効であることを

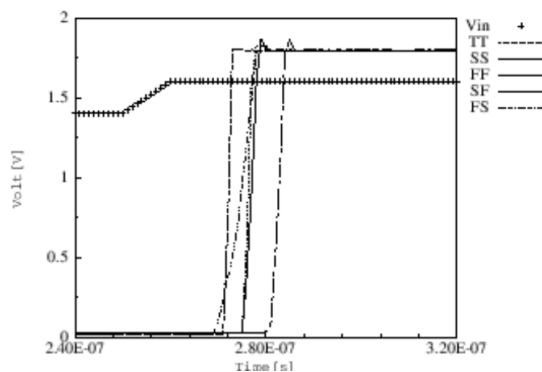


図5 図4の入出力特性のコーナー解析(立ち上がり)

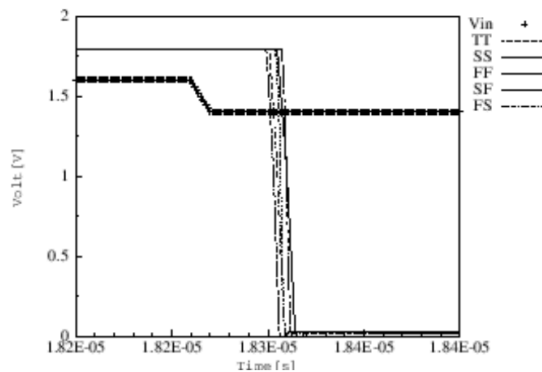


図6 図4の入出力特性のコーナー解析(立ち下がり)

表2 図4のコーナー解析結果

	Fig. 2				
	TT	SS	FF	SF	FS
出力振幅 [V]	1.77	1.77	1.78	1.77	1.77
遅延時間 TP_{LH} [ns]	21	26	17	22	20
遅延時間 TP_{HL} [ns]	42	45	38	45	40
応答時間 t_r [ns]	2	3	2	3	6
応答時間 t_f [ns]	3	3	5	7	6
オフセット時間 [mV]	4.0e-5	2.3e-6	1.9e-5	1.5e-5	2.7e-6
消費電流 [μ A]	4.52	4.18	4.88	4.35	4.71

表3 DQN を用いた図4の自動設計結果

	HA1631S01/03	Q Table	DQN
出力振幅 [V]	2.9	1.77	1.71
遅延時間 TP_{LH} [ns]	1200	21	7.9
遅延時間 TP_{HL} [ns]	550	42	11.8
応答時間 t_r [ns]	24	2	0.4
応答時間 t_f [ns]	7	3	2.5
オフセット時間 [mV]	5	4.0e-5	4.0e-5
消費電流 [μ A]	5	4.52	2.9

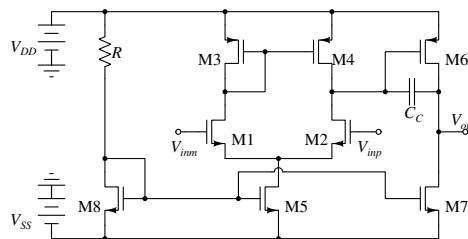


図7 自動設計対象の演算増幅器の回路構造

確認できた。

4.1.2 DQN を用いたコンパレータ回路の自動設計

4.1.1 節で用いた手法では Q 学習に Q Table を用いていた。Q Table は Q 学習において、ある「状態」での「行動」を決定する重要なテーブルであるが、「状態」または「行動」を増やすとテーブルの構成数が膨大になり、管理できなくなるという問題がある。そこで、4.1.1 節ではこの問題を回避するために、パラメータの変更や消費電流の値に制限を設けていた。これにより十分な回路性能を引き出せていない。そこで、DQN を用いた Q 学習を用いることでこの問題を解決した。DQN とは Q Table の代わりにニューラルネットワークを用いる手法である。

自動設計対象のコンパレータは図4の回路とし、用いたプロセスパラメータは TSMC 0.18 μ m CMOS プロセスとした。以下に Q 学習で用いた「状態」「行動」「報酬」を示す。

状態 各素子の M をを状態とした。

行動 各 MOSFET の L は 0.2 μ m, NMOSFET の W は 0.5 μ m, PMOSFET の W は 1.5 μ m で固定し、 M を $-5 \sim -1, +1 \sim +5$ の範囲で変更する。

- 報酬
- 最低要件を満たした場合：報酬 = 1
 - 最低要件を満たさなかった場合：報酬 = 0

ここで、最低要件とは、4.1.1 節の表1の図4の TSMC 0.18 μ m CMOS プロセスパラメータを用いた際の性能とした。これを設定することで、さらなる性能向上が可能かを確認した。

表3のシミュレーション結果から得られた各特性結果より、Q Table を用いた結果よりも遅延時間、応答時間、消費電流の特性が向上している。

4.2 [2] の研究成果

4.2.1 ニューラルネットワークを用いた演算増幅器の自動設計

学習対象の回路を図7に示す演算増幅器とした。演算増幅器の性能指標のうち、消費電流 (I_{dis})、消費電力 (P_{dis})、直流利得 (DCgain)、位相余裕 (PM)、利得帯域幅積 (GBP)、スルーレート (SR)、全高調波歪 (THD)、同相除去比 (CMRR)、

表4 Simulation results using Neural Network

performance items	test data	predicted data	accuracy
I_{dis} [A]	1.28E-03	1.20E-03	93.8%
P_{dis} [W]	3.85E-03	3.61E-03	93.8%
DC gain [dB]	7.34E+01	7.36E+01	99.7%
PM [degree]	4.27E+01	4.16E+01	97.4%
GBP [Hz]	1.08E+08	1.15E+08	93.9%
SR [V/ μ s]	1.14E+08	1.03E+08	90.4%
THD [%]	8.54E-02	8.54E-02	100%
CMRR [dB]	8.49E+01	8.50E+01	99.4%
PSRR [dB]	6.02E+01	6.03E+01	99.8%
OVR [%]	9.83E+01	9.86E+01	99.7%
CMIR [%]	9.96E+01	9.94E+01	99.7%
OR [Ω]	1.15E+04	1.23E+04	93.5%
IRN [nV/ \sqrt Hz]	1.93E-03	1.91E-03	99.0%

表5 Simulation results using Q-Learning

回路特性	初期回路の特性値	改良後の特性値
I_{dis} [A]	2.97e-05	1.12e-5
P_{dis} [W]	8.92e-5	3.37e-5
DC gain [dB]	63.6	66.9
PM [degree]	50.9	46.8
GBP [Hz]	7.70e6	1.02e6
SR [V/ μ s]	8.48e10	1.31e11
THD [%]	0.48	0.48
CMRR [dB]	46.9	42.9
PSRR [dB]	46.9	42.9
OVR [%]	62.9	54.5
CMIR [%]	100	98.2
OR [Ω]	1.17e5	2.96e5
IRN [nV/ \sqrt Hz]	0.02	0.05
評価値	1.81e19	7.71e19

電源電圧変動除去比 (PSRR)、出力電圧範囲 (OVR)、同相入力範囲 (CMIR)、出力抵抗 (OR)、入力換算雑音 (IRN)) の 13 項目を入力とし、図 7 の M1~M8, R1, C1 を出力としてニューラルネットワークを用いて学習した。ただし回路設計上、M1 と M2, M3 と M4 は同じ値を使うものとした。また、高スルーレート・広同相入力範囲・高利得・低消費電流の回路を設計することを目標とするために、以下に示す評価式を用いた。

$$E = \frac{SR \times CMIR \times DGgain}{I_{dis}} \quad (1)$$

シミュレーションに用いたプロセスパラメータは TSMC 0.18 μ m CMOS プロセスである。表 4 の学習結果より、13 項目全てにおいて予測精度が 90% を超えており、高い精度で素子値を予測できることがわかる。

4.2.2 Q 学習を用いた演算増幅器の自動設計

Q 学習を演算増幅器の自動設計に用いるために「状態」「行動」「報酬」を次のように設定している。

状態 式 (1) に示した評価式を用い、この評価値が高いほど性能の良い回路とした。

行動 回路パラメータの変更を行動とし、以下のルールに従い回路パラメータを変更した。

(M1, M2), (M3, M4), M5, M6, M7, M8 の M の値を $-5 \sim -1, +1 \sim +5$ の範囲で変化させ、 R は $\pm 10k\Omega$, C_c は $\pm 10pF$ のステップで変更した。

報酬 次のように報酬を設定した。

- 評価値 \geq 初期回路の評価値の場合：評価値/目標値
- 評価値 \leq 初期回路の評価値の場合：0

使用したプロセスパラメータは TSMC 0.18 μ m CMOS プロセスパラメータである。以上の条件で演算増幅器を自動設計した特性結果を表 5 にまとめた。Q 学習を用いることで評価値が 4 倍に改善されている。

4.3 [3] の研究成果

4.2 節で自動設計した演算増幅器をフェニテックセミコンダクター社 0.6 μ m CMOS プロセスを利用して試作した。図 8 に試作した演算増幅器を使って 6 倍の反転増幅回路を作成した際の測定結果を示す。図の結果より、位相が反転した 6 倍の増幅率を実現できていることが分かる。これにより自動で設計した回路が実回路としても動作し、実用的であることが分かる。

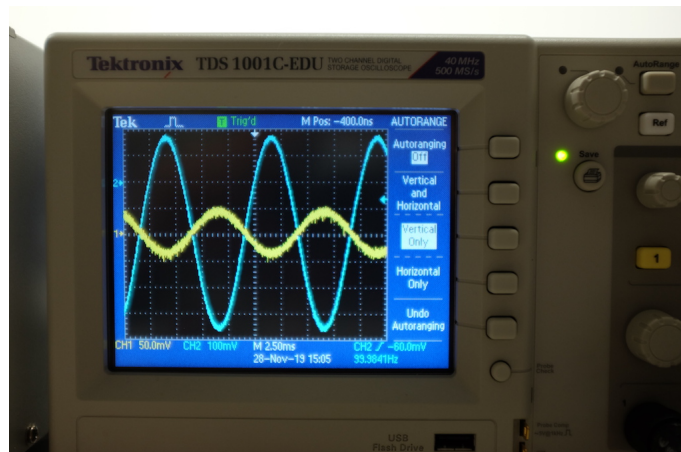


図 8 自動設計した演算増幅器の測定結果

5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 3件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 N. Takai, K. Suzuki, Y. Sugawara	4. 巻 888
2. 論文標題 Comparator Synthesis Using Distributed Genetic Algorithm and HSPICE Optimization	5. 発行年 2019年
3. 雑誌名 Applied Mechanics and Materials	6. 最初と最後の頁 17-28
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 高井 伸和, 吉澤 慧, 鈴木 研人, 菅原 誉士紀	4. 巻 138
2. 論文標題 部分最適化を用いたコンパレータ回路の自動設計の高速化	5. 発行年 2018年
3. 雑誌名 電気学会 論文誌C(電子・情報・システム部門誌)	6. 最初と最後の頁 57 64
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 K. Suzuki, N. Takai, Y. Sugawara, M. Kato	4. 巻 E100-A
2. 論文標題 Automatic Design of Operational Amplifier Utilizing both Equation-Based Method and Genetic Algorithm	5. 発行年 2017年
3. 雑誌名 IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 2750 2757
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計26件（うち招待講演 2件／うち国際学会 6件）

1. 発表者名 松場輝樹, 高井 伸和, 齋藤彰寛, 今野哲史
2. 発表標題 幅広い所望特性に対する適切トポロジーの推論
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2020年

1. 発表者名 中島望夢, 高井伸和, 猿田将大
2. 発表標題 Q学習での演算増幅器の素子値変化範囲の拡大と余剰データの収集
3. 学会等名 第10回 電気学会 東京支部 栃木・群馬支所 合同研究発表会
4. 発表年 2020年

1. 発表者名 齋藤 彰寛, 高井 伸和, 松場 輝樹
2. 発表標題 機械学習を用いた所望特性を満たす回路トポロジーの選択及び素子値決定
3. 学会等名 第10回 電気学会 東京支部 栃木・群馬支所 合同研究発表会
4. 発表年 2020年

1. 発表者名 猿田将大, 高井 伸和, 今野哲史
2. 発表標題 Deep-Q-Networkを用いた素子値変更推論による高速・低消費電力コンパレータを実現する素子値決定
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2019年

1. 発表者名 Konno Satoshi, N. Takai
2. 発表標題 Automatic design of decipherable OP-Amp topology
3. 学会等名 電気学会 電子・情報・システム部門大会
4. 発表年 2019年

1. 発表者名 S. Masahiro, N. Takai, K. Satosi
2. 発表標題 Self improvement of comparator element value by Q-Learning in consideration of corner analysis
3. 学会等名 電気学会 電子・情報・システム部門大会
4. 発表年 2019年

1. 発表者名 猿田将大, 高井 伸和, 今野哲史
2. 発表標題 高速・低消費電力のコンパレータを実現するQ-Learningによる素子値の自己改良
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2019年

1. 発表者名 高井 伸和
2. 発表標題 演算増幅器設計における深層学習の活用
3. 学会等名 平成30年度 電気学会 電子・情報・システム部門大会
4. 発表年 2018年

1. 発表者名 松場 輝樹, 高井 伸和, 福田 雅史, 久保 友助
2. 発表標題 深層学習を用いた最適アナログ回路トポロジーの推論
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2018年

1. 発表者名 N. Takai, M. Fukuda, M. Saruta
2. 発表標題 Self-improvement of OPAm parameters using Q-Learning
3. 学会等名 International Conference on Synthesis Modeling Analysis and Simulation Methods and Applications to Circuit Design (国際学会)
4. 発表年 2019年

1. 発表者名 T. Matsuba, N. Takai, M. Fukuda, Y. Kubo
2. 発表標題 Inference of Optimal Analog Circuit Topology Using Deep Learning
3. 学会等名 IEEE International Symposium on Intelligent Signal Processing and Communication Systems (国際学会)
4. 発表年 2018年

1. 発表者名 Y. Kubo, N. Takai, M. Fukuda, T. Matsuba, T. Yamazaki, S. Shimokawa, A. Iwabuchi
2. 発表標題 Regression Analysis of Transfer Function of an Analog Filter from Circuit Characteristics Using Deep Learning
3. 学会等名 9th International Conference on Advanced Micro-Device Engineering (国際学会)
4. 発表年 2018年

1. 発表者名 今野 哲史, 高井 伸和
2. 発表標題 遺伝的アルゴリズムを用いた演算増幅器のトポロジー及び素子パラメータ決定
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2019年

1. 発表者名 猿田将大, 高井 伸和, 福田雅史
2. 発表標題 強化学習を用いた素子値探索による演算増幅器の性能向上
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2019年

1. 発表者名 福田雅史, 高井 伸和, 猿田将大
2. 発表標題 Q-learningを用いた自己改良モデルによる演算増幅器の素子決定
3. 学会等名 電気学会 電子回路研究会
4. 発表年 2019年

1. 発表者名 今野哲史, 高井 伸和
2. 発表標題 遺伝的アルゴリズムによる ノードが接続可能な点を仮定した演算増幅器の自動設計
3. 学会等名 第9回 電気学会 東京支部 栃木・群馬支所 合同研究発表会
4. 発表年 2019年

1. 発表者名 猿田 将大, 高井 伸和, 福田 雅史
2. 発表標題 Q-Learningを用いた演算増幅器の自律成長による回路特性の向上
3. 学会等名 第9回 電気学会 東京支部 栃木・群馬支所 合同研究発表会
4. 発表年 2019年

1. 発表者名 新井 信吾, 高井 伸和, 久保 友助, 岩淵 照夫, 下川 宗一郎, 竹本 義孝, 山崎 尊永
2. 発表標題 優良な電源特性を有する制御器伝達関数の自動設計
3. 学会等名 第9回 電気学会 東京支部 栃木・群馬支所 合同研究発表会
4. 発表年 2019年

1. 発表者名 松場 輝樹, 高井 伸和, 福田 雅史, 久保 友助
2. 発表標題 深層学習を用いたアナログ集積回路設計のための幅広い要求仕様に応える学習データ作成
3. 学会等名 第8回 電気学会 東京支部 栃木・群馬支所 合同研究発表会
4. 発表年 2018年

1. 発表者名 久保 友助, 高井 伸和, 福田 雅史, 松場 輝樹, 山崎 尊永, 下川 宗一郎, 竹本 義孝, 岩淵 昭夫
2. 発表標題 深層学習を用いた回路特性によるアナログフィルタ伝達関数の回帰分析
3. 学会等名 第8回 電気学会 東京支部 栃木・群馬支所 合同研究発表会
4. 発表年 2018年

1. 発表者名 大河内 一登, 高井 伸和, 吉澤 慧, 石井 司
2. 発表標題 再帰的データベース構築によるアナログ電子回路の自動設計
3. 学会等名 第8回 電気学会 東京支部 栃木・群馬支所 合同研究発表会
4. 発表年 2018年

1. 発表者名 M. Fukuda, N. Takai
2. 発表標題 OPAMP Sizing by Inference of Element Values Using Deep Learning
3. 学会等名 IEEE International Symposium on Intelligent Signal Processing and Communication Systems 2017 (国際学会)
4. 発表年 2017年

1. 発表者名 T. Ishii, N. Takai
2. 発表標題 Automatic Design of The Analog Integrated Circuit Based On Equation-Based and Characterize Results
3. 学会等名 IEEE International Symposium on Intelligent Signal Processing and Communication Systems 2017 (国際学会)
4. 発表年 2017年

1. 発表者名 N. Takai, M. Fukuda
2. 発表標題 Prediction of Element Values of OPamp for Required Specifications Utilizing Deep Learning
3. 学会等名 IEEE International Symposium on Electronics and Smart Devices 2017 (国際学会)
4. 発表年 2017年

1. 発表者名 高井 伸和
2. 発表標題 深層学習を用いた演算増幅器の性能と素子値の関係の推論
3. 学会等名 CDNLive Japan 2017 (招待講演)
4. 発表年 2017年

1. 発表者名 高井 伸和
2. 発表標題 深層学習を用いたアナログ集積回路の推論設計
3. 学会等名 第21回アナログVLSIシンポジウム(招待講演)
4. 発表年 2017年

〔図書〕 計0件

〔出願〕 計2件

産業財産権の名称 回路設計装置、回路設計方法及びプログラム	発明者 高井 伸和, 福田 雅史, 猿田 将大	権利者 同左
産業財産権の種類、番号 特許、特願2019-86858	出願年 2019年	国内・外国の別 国内

産業財産権の名称 素子値推論方法、素子値推論装置、及び、素子値推論プログラム	発明者 高井 伸和, 福田 雅史, 猿田 将大	権利者 同左
産業財産権の種類、番号 特許、特願2019-89493	出願年 2019年	国内・外国の別 国内

〔取得〕 計0件

〔その他〕

-

6. 研究組織	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------	---------------------------	-----------------------	----