

令和 5 年 6 月 17 日現在

機関番号：32706

研究種目：基盤研究(C)（一般）

研究期間：2017～2022

課題番号：17K00087

研究課題名（和文）FPGAクラスタにおけるクラスタ内・クラスタ間ネットワークの開発に関する研究

研究課題名（英文）Development of Intra/Inter-Cluster networks in FPGA Clusters

研究代表者

三浦 康之（Miura, Yasuyuki）

湘南工科大学・情報学部・教授

研究者番号：40440292

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：本研究は、FPGAクラスタにおける汎用的なクラスタ内・クラスタ間通信のためのフレームワークの構築を目的としている。本研究計画では、Altera FPGAの開発環境の枠組みを用いて、パケット交換方式によるFPGA内のメモリモジュール・外部メモリ等、ボード間通信を含む様々なモジュール間通信機能を実現するコンポーネントを構築した。

上記につき、「Avalon-Streamingインターフェイスを用いた一対一のモジュール間通信機能の実現」「複数のソフトコア・プロセッサが同時に稼働するシステムの試作と実験」を実現し、複数ボードにおける多対多の通信インターフェイスとなるルータ回路を実現した。

研究成果の学術的意義や社会的意義

これまで、FPGA間の通信は開発者が定義し、個別に開発を行うのは一般的であった。本研究計画では、従来のQsysの枠組みを利用しつつ、Avalon-Streaming interfaceの活用により、パケット通信の手法を取り入れることによって、FPGAボード間にまたがるメモリアクセスを抽象化するフレームワークを提供する。本研究計画の成果により、ユーザーロジックを開発する各ユーザーは、ボードの内部と外部を意識することなく、統一的なメモリ空間により、メモリ、PCIインターフェイスなどのアクセスが可能となり、FPGAクラスタのためのユーザーロジックの開発期間が大幅に短縮される。

研究成果の概要（英文）：The purpose of this research is to construct a framework for general-purpose intra/inter-cluster communication in FPGA clusters. In this research, using the framework of the Altera FPGA development environment, we have constructed components that realize various inter-module communication functions including board-to-board communication, such as memory modules and external memory in the FPGA using the packet-switched method. In our research, "realization of one-to-one inter-module communication function using Avalon-Streaming interface" and "prototype and experiment of a system in which multiple softcore processors operate simultaneously" were realized, and a router circuit that serves as a many-to-many communication interface on multiple boards was realized.

研究分野：コンピュータアーキテクチャ

キーワード：コンピュータアーキテクチャ FPGA 並列処理 相互結合ネットワーク

1. 研究開始当初の背景

我々は、次世代の科学技術を支える計算資源として、FPGA(Field-Programmable Gate Arrays)ボードを複数搭載した FPGA クラスタに着目している。FPGA は、HDL(Hardware Description Language、ハードウェア記述言語)を用いて、目的に応じて回路を構成することにより、高速計算が可能となるデバイスである。対象問題に特化した演算ユニット、データパス、メモリシステムを実装可能で、かつ高い並列性を実現できる。近年では、浮動小数点演算の可能な DSP ブロックが搭載されているのも特徴である。FPGA を搭載した計算システムは、データセンターを中心にその利用が広まっており、企業においてデータマイニングなどへの応用が広がっている。また、数値計算への応用も試みられている。近年では、単独の FPGA ボードを用いた応用事例の他、FPGA ボードを複数接続した FPGA クラスタが開発されている。

FPGA ボードを用いたユーザーロジックの開発のためのシステム統合ツールとして、Altera社の Qsys が知られている。Qsys は、グラフィカルなユーザーインターフェイスを介して、CPU や RAM を含んだシステムを FPGA 上に容易に構築できるツールである。本研究計画の連携研究者が、Qsys をもとにした、FPGA 内外のインターフェイス・モジュール群を開発している。開発したインターフェイス部は、主に Avalon Memory Mapped Interface (Avalon-MM) を使用することによって、ボード内外のメモリや PCI へのアクセスを抽象化し、ボードの仕様依存しないメモリアクセスを実現すると同時にユーザーロジックの開発時間を短縮することが可能としている。一方で、ボード間の通信に関しては、ユーザーがアプリケーションに応じて個別に作成していたため、ボード間の通信を含むユーザーロジックの開発に大きな時間コストを有する。

2. 研究の目的

本研究は、FPGA クラスタにおける汎用的なクラスタ内・クラスタ間通信のためのフレームワークの構築、および構築に伴う各種要素技術の開発を目的としている。本研究計画では、Altera FPGA の開発環境の枠組みを用いて、パケット交換方式による FPGA 内のメモリモジュール・外部メモリ・PCI インターフェイス・ボード間インターコネクトなど、ボード間通信を含む様々なモジュール間通信機能を実現するコンポーネントを構築する。一方、FPGA への実装を想定した、各種効率化手法に関する提案および評価を行う。

本研究は、オン・ボード/ボード間ネットワークの開発、および、FPGA クラスタにおいてパケット通信を行う際の効率的な実装法に関する研究を進める。オン・ボード/ボード間ネットワークの開発については、Qsys の Avalon-Streaming インターフェイスを用いて、パケット型通信とバス型通信を組み合わせるモジュール間通信機能を実現する。効率的な実装法に関する研究としては、ロジック・セル(LC) を多く使用する代わりに、通信のキャパシティが増大する特殊な構造のルータを開発する。

3. 研究の方法

本研究計画では、複数の FPGA ボードがホストコンピュータに搭載され、FPGA ボード間が、(SATA ケーブル等を通した) 結合網により接続されている構造の FPGA クラスタを想定する(最終的には、結果として上記の形態に限らず、あらゆる形態の FPGA クラスタに対応するものとなる)。本研究計画では、Altera 社の FPGA を対象とし、Qsys を用いた開発を行い、図 1 のようなボード内コネクッション、および図 2 のようなボード間ネットワークの構築法に関する検討を進める。

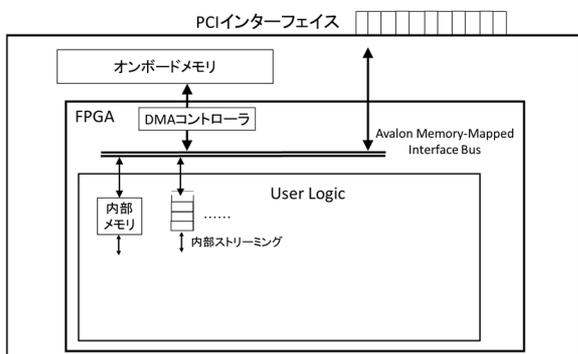


図 4 ボード内コネクッションの構造

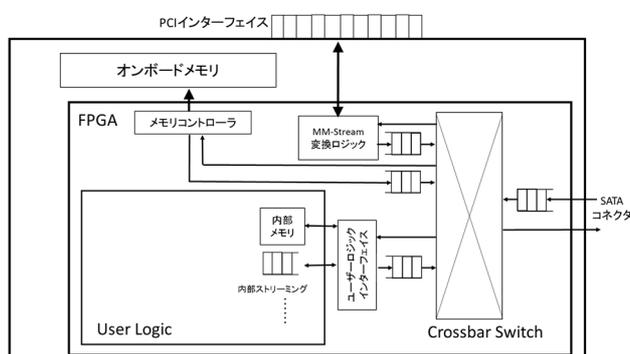


図 5 ボード間ネットワークの構造

4 . 研究成果

2017 年度および 2018 年度において、以下の研究を行った。

- (1) Altera FPGA の開発環境である Qsys の Avalon-Streaming インターフェイスを用いて、パケット型通信とバス型通信を組み合わせる、一対一のモジュール間通信機能を実現した。特に、システム中のソフトコア・プロセッサを用いて入力・出力インターフェイス部のパケットの流れを制御する方法を確立した。
- (2) 単一の FPGA に複数のモジュールが存在するケースを想定して、複数のソフトコア・プロセッサが同時に稼働するシステムの試作と実験を行った。
- (3) 効率化手法の一つとして、FPGA 内部のバッファを複数のモジュールで使いまわす手法に関する性能評価を行い、論文を出版した。
- (4) 単一の FPGA に複数のモジュールが存在する環境下におけるパケット通信の経路選択法に関する提案と性能評価をおこなった。
- (5) データ、および制御メッセージを含む長短パケットを組み合わせたパケット通信法に関する性能評価を行った。

さらに、2019 年度に、実証実験に堪える通信インターフェイスの実現を目指し、以下の項目を実現した。

- (1) ルータ回路の性能評価を可能にするため、ボード間通信回路の改善と、メモリインターフェイスの改良を行った。具体的には、ボード間とボード内で異なるクロック周波数で動作する機構の導入と、内部メモリの活用による高速化を行った。
- (2) ルータ回路の性能と機能性向上のため、仮想チャネル機構の実装を行った。既存の規格である Qsys Interconnect の活用のため、信号を変換するための回路を作成した。

上記の結果に基づき、2020 年度以降は、国際会議および論文誌への投稿を行い、それぞれ採録された。さらに、メモリアクセスの効率化手法に関する検討を行っており、論文誌に掲載された。

5 . 主な発表論文等

- 1) Naohisa Fukase, Yasuyuki Miura, M.M.Hafizur Rahman, and Shigeyoshi Watanabe, The Performance Evaluation of a 3D Torus Network Using Partial Link-Sharing Method in NoC Router Buffer, IEICE Transactions on Information & Systems, Vol.E100-D, No.10, pp.2478-2492, 2017.10.
- 2) Tsukasa-Pierre Nakao, Yasuyuki Miura, and Naohisa Fukase, Fault-tolerant adaptive routing algorithm for 2D torus network, Transactions on Networks and Communications , Vol.7, No.1, pp.63-83, 2019.02.
- 3) 中尾司ピエール, 三浦康之, 深瀬尚久, Turn モデルに基づく二次元トーラス・ネットワークの適応ルーティング・アルゴリズムにおける耐故障性評価, 電気学会論文誌, Vol. 139(2019), No. 4, pp.492-503, 2019.04.
- 4) 三浦康之, 深瀬尚久, 中尾司ピエール, Qsys Interconnect を用いた FPGA クラスタ向けネットワーク回路の構築, 電子情報通信学会論文誌, Vol.J104-D, No.7, pp.562-573, 2021.07.
- 5) Yasuyuki Miura, Junpei Sugioka, Buffer Size Evaluation of Mixture Communication of the Wormhole and Single-Flit Routing, IEEE International Conference on Consumer Electronics - Taiwan (IEEE 2017 ICCE-TW), pp. 11~12, 2017.06.
- 6) Yasuyuki Miura, Weijie Zhou and Hiroki Toyoda, A New Image Correction Method for the Moving-Object Recognition of Low-Illuminance Video-Images, IEEE International Conference on Consumer Electronics - Taiwan (IEEE 2018 ICCE-TW), 2018.05.
- 7) Tsukasa-Pierre Nakao, Yasuyuki Miura and Naohisa Fukase, The Study on Adaptive Routing Algorithm of 2-D Torus Network with Fault Tolerance, IEEE International Conference on Consumer Electronics - Taiwan (IEEE 2018 ICCE-TW), 2018.05.
- 8) Naohisa Fukase, Hironobu Handa, Akihisa Furuichi and Yasuyuki Miura, A study on Inter-Board Data Transmission of FPGA, IEEE International Conference on Consumer Electronics - Taiwan (IEEE 2019 ICCE-TW), 2019.05.
- 9) Naohisa Fukase, Akihisa Furuichi and Yasuyuki Miura, Virtual-Channel Implementation on Inter-Board Data Transmission, Proc. of IEEE International Conference on Consumer Electronics - Taiwan (IEEE 2020 ICCE-TW), B4-1, pp.1-2, 2020.09.
- 10) 中尾 司ピエール, 三浦 康之, 耐故障性能を考慮した二次元トーラス・ネットワークの適応ルーティングアルゴリズムの検討, FIIS-17-463, pp.1-10, 2017.10 .
- 11) 半田 寛信, 三浦 康之, FPGA クラスタにおけるストリーミングインターコネクトを用いたモジュール間通信のための検討, FIIS-17-463, pp.1-10, 2018.03 .

- 12) 深瀬尚久, 半田寛信, 古市晃久, 三浦康之, Qsys コンポーネントを用いた FPGA クラスタ向けネットワークルータ回路の検討, FIIS-18-489, 2018.10.
- 13) 古市晃久, 三浦康之, 半田寛信, 深瀬尚久, 複数の FPGA ボードを使用した FPGA 間データ通信に関する検討第 81 回情報処理学会全国大会, 2019.03.
- 14) 三浦康之, 深瀬尚久, 半田寛信, 古市晃久, Avalon Interconnect に即した FPGA 間通信網の設計法に関する研究報告, 電子情報通信学会技術研究報告, FIIS-19-502, pp.1-10, 2019.03.
- 15) 三浦康之, 深瀬尚久, 半田寛信, 古市晃久, Qsys Interconnect によるオンチップ/オフチップ FPGA 通信網に関する研究, 情報処理学会研究報告, Vol.2019-HPC-169, No.8, pp.1-8, 2019.05.
- 16) 深瀬尚久, 古市晃久, 三浦康之, 中尾 司ピエール, Qsys インターコネクトを用いた FPGA クラスタ向けネットワークの通信回路における仮想チャンネル機能の実現, 電子情報通信学会技術研究報告, RECONF-19-72, pp.169-174, 2020.01.
- 17) 古市 晃久, 深瀬 尚久, 三浦 康之, Qsys インターコネクトを用いた FPGA クラスタ向けネットワークの通信高速化に向けた検討, 電子情報通信学会技術研究報告, FIIS-20-220, pp.1-6, 2020.03.
- 18) 深瀬 尚久, 古市 晃久, 三浦 康之, Qsys インターコネクトを用いた FPGA クラスタ向けネットワークの通信回路における仮想チャンネル機能の実装と評価, 電子情報通信学会技術研究報告, FIIS-20-220, pp.1-6, 2020.03.

5. 主な発表論文等

〔雑誌論文〕 計7件（うち査読付論文 6件/うち国際共著 2件/うちオープンアクセス 5件）

1. 著者名 三浦 康之、深瀬 尚久、中尾 司ビエール	4. 巻 J104-D
2. 論文標題 Qsysインタコネクトを用いたFPGAクラスタ向けネットワーク回路の構築	5. 発行年 2021年
3. 雑誌名 電子情報通信学会論文誌D 情報・システム	6. 最初と最後の頁 562～573
掲載論文のDOI（デジタルオブジェクト識別子） 10.14923/transinfj.2020FIP0006	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 三浦 康之、深瀬 尚久、中尾 司ビエール	4. 巻 7
2. 論文標題 Qsysインターコネクトを用いた FPGAクラスタ向けネットワーク回路の構築	5. 発行年 2021年
3. 雑誌名 電子情報通信学会論文誌	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 中尾司ビエール、三浦康之、深瀬尚久	4. 巻 139
2. 論文標題 Turnモデルに基づく二次元トーラス・ネットワークの適応ルーティング・アルゴリズムにおける耐故障性評価	5. 発行年 2019年
3. 雑誌名 電気学会論文誌	6. 最初と最後の頁 492-503
掲載論文のDOI（デジタルオブジェクト識別子） 10.1541/ieejeiss.139.492	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Mohammed N.M. Ali, M.M. Hafizur Rahman, Rizal Mohd. Nor, Dhiren K. Behera, Tengku Mohd. Tengku Sembok, Yasuyuki Miura and Yasushi Inoguchi	4. 巻 24
2. 論文標題 SCCN: A Time Effective Hierarchical Interconnection Network for Network-On-Chip	5. 発行年 2019年
3. 雑誌名 Mobile Networks and Applications	6. 最初と最後の頁 1255-1264
掲載論文のDOI（デジタルオブジェクト識別子） 10.1007/s11036-019-01262-2	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 該当する

1. 著者名 中尾司ピエール, 三浦康之, 深瀬尚久	4. 巻 139
2. 論文標題 Turnモデルに基づく二次元トーラス・ネットワークの適応ルーティング・アルゴリズムにおける耐故障性評価	5. 発行年 2019年
3. 雑誌名 電気学会論文誌	6. 最初と最後の頁 492-503
掲載論文のDOI (デジタルオブジェクト識別子) 10.1541/ieejeiss.139.492	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Tsukasa-Pierre Nakao, Yasuyuki Miura, Naohisa Fukase	4. 巻 1
2. 論文標題 Fault-tolerant adaptive routing algorithm for 2D torus network”	5. 発行年 2019年
3. 雑誌名 TRANSACTIONS ON NETWORKS AND COMMUNICATIONS	6. 最初と最後の頁 63-83
掲載論文のDOI (デジタルオブジェクト識別子) 10.14738/tnc.71.6032	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Naohisa FUKASE, Yasuyuki MIURA, Shigeyoshi WATANABE, M.M. HAFIZUR RAHMAN	4. 巻 10
2. 論文標題 The Performance Evaluation of a 3D Torus Network Using Partial Link-Sharing Method in NoC Router Buffer	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Information & Systems	6. 最初と最後の頁 2478-2492
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2017EDP7031	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

〔学会発表〕 計13件 (うち招待講演 0件 / うち国際学会 5件)

1. 発表者名 Naohisa Fukase, Akihisa Furuichi and Yasuyuki Miura,
2. 発表標題 Virtual-Channel Implementation on Inter-Board Data Transmission,
3. 学会等名 IEEE International Conference on Consumer Electronics Taiwan (IEEE 2020 ICCE-TW) (国際学会)
4. 発表年 2020年

1. 発表者名 Naohisa Fukase, Hironobu Handa, Akihisa Furuichi, Yasuyuki Miura
2. 発表標題 A study on Inter-Board Data Transmission of FPGA
3. 学会等名 IEEE International Conference on Consumer Electronics Taiwan (IEEE 2019 ICCE-TW) (国際学会)
4. 発表年 2019年

1. 発表者名 三浦康之, 深瀬尚久, 半田寛信, 古市晃久
2. 発表標題 Avalon Interconnectに即したFPGA間通信網の設計法に関する研究報告
3. 学会等名 電子情報通信学会FIIIS研究会
4. 発表年 2019年

1. 発表者名 三浦康之, 深瀬尚久, 半田寛信, 古市晃久
2. 発表標題 Qsys Interconnectによるオンチップ/オフチップFPGA通信網に関する研究
3. 学会等名 情報処理学会HPC研究会
4. 発表年 2019年

1. 発表者名 深瀬尚久, 古市晃久, 三浦康之, 中尾 司ピエール
2. 発表標題 Qsysインターコネクトを用いたFPGAクラスタ向けネットワークの通信回路における仮想チャネル機能の実現
3. 学会等名 電子情報通信学会リコンフィギャラブル研究会
4. 発表年 2020年

1. 発表者名 古市 晃久, 深瀬 尚久, 三浦 康之
2. 発表標題 Qsysインターコネクトを用いたFPGAクラスタ向けネットワークの通信高速化に向けた検討
3. 学会等名 電子情報通信学会FIIIS研究会
4. 発表年 2020年

1. 発表者名 深瀬 尚久, 古市 晃久, 三浦 康之
2. 発表標題 Qsysインターコネクトを用いたFPGAクラスタ向けネットワークの通信回路における仮想チャネル機能の実装と評価
3. 学会等名 電子情報通信学会FIIIS研究会
4. 発表年 2020年

1. 発表者名 Tsukasa-Pierre Nakao, Yasuyuki Miura and Naohisa Fukase
2. 発表標題 The Study on Adaptive Routing Algorithm of 2-D Torus Network with Fault Tolerance
3. 学会等名 , IEEE International Conference on Consumer Electronics Taiwan (IEEE 2018 ICCE-TW) (国際学会)
4. 発表年 2018年

1. 発表者名 深瀬尚久, 半田寛信, 古市晃久, 三浦康之
2. 発表標題 Qsysコンポーネントを用いたFPGAクラスタ向けネットワークルータ回路の検討
3. 学会等名 電子情報通信学会FIIIS研究会
4. 発表年 2018年

1. 発表者名 古市晃久, 三浦康之, 半田寛信, 深瀬尚久
2. 発表標題 複数のFPGAボードを使用したFPGA間データ通信に関する検討
3. 学会等名 第81回情報処理学会全国大会
4. 発表年 2019年

1. 発表者名 Yasuyuki Miura, Junpei Sugioka
2. 発表標題 Buffer Size Evaluation of Mixture Communication of the Wormhole and Single-Flit Routing
3. 学会等名 IEEE International Conference on Consumer Electronics-Taiwan (IEEE 2017 ICCE-TW) (国際学会)
4. 発表年 2017年

1. 発表者名 Tsukasa-Pierre. NAKAO, Yasuyuki. MIURA, Naohisa. FUKASE
2. 発表標題 The Study on Adaptive Routing Algorithm of 2-D Torus Network with Fault Tolerance
3. 学会等名 IEEE International Conference on Consumer Electronics-Taiwan (IEEE 2018 ICCE-TW) (国際学会)
4. 発表年 2018年

1. 発表者名 半田 寛信, 三浦 康之
2. 発表標題 FPGAクラスタにおけるストリーミング・インターコネクトを用いた モジュール間通信に関する研究
3. 学会等名 電子情報通信学会 機能集積情報システム研究会
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------