

科学研究費助成事業 研究成果報告書

令和 3 年 6 月 7 日現在

機関番号：14303

研究種目：基盤研究(C)（一般）

研究期間：2017～2020

課題番号：17K05142

研究課題名（和文）少数主要時定数近似を利用したインテリジェント制御デバイスシミュレーション

研究課題名（英文）Intelligently controled device simulator utlizing small numer of dominant time constant approximation

研究代表者

熊代 成孝（Kumashiro, Shigetaka）

京都工芸繊維大学・グリーンイノベーションラボ・特任教授

研究者番号：60791473

交付決定額（研究期間全体）：（直接経費） 3,700,000円

研究成果の概要（和文）：線形化した半導体デバイス方程式（ポアソン方程式、電子電流連続方程式、正孔電流連続方程式）の入力応答に対する主要時定数を、アーンホルディ法を用いて抽出する手法を開発した。この主要時定数を用いた「指数関数型局所打ち切り誤差指標」を用いてデバイス過渡解析の時間刻み幅制御を行うことにより、計算時間を従来の約30%に短縮した。更にPN接合のハードブレイクダウン発生時には負の主要時定数が発生することに着目し、負の時定数が発生した時点でDC解析から過渡解析にスイッチすることにより、静電破壊保護用MOSFETのハードブレイクダウンからスナップバックに至る特性を安定にシミュレーションする手法を開発した。

研究成果の学術的意義や社会的意義

本研究成果により、従来、特に計算が失敗することの多かった、MOSFETのインパクトイオン化によって生じる「ハードブレイクダウン」から「スナップバック」に致るシミュレーションにおいて、誰もが確実に収束解を得ることが出来るようになった。

また、非線形デバイス方程式を線形化して抽出した主要応答時定数は、そのデバイスの当該時刻から見た未来に関する貴重な情報を含んでおり、この「未来情報」の有効活用により、デバイスの系全体の応答を長期的に予測して、事前に危険を察知しつつ全体最適化された、時間刻み制御ならびに収束性制御アルゴリズムの開発を行った点が、本研究の特色であり、学術的に独創的な点である。

研究成果の概要（英文）：A method for extracting dominant time constants from the linearized semiconductor device equations (Poisson equation, electron current continuity equation and hole current continuity equation) by using Arnoldi method has been developed. Calculation time of device transient analysis has been diminished to 30% of the conventional one by the time step width control with "Exponential-type local truncation error index" which utilizes the dominant time constants. Furthermore, it has been found that negative time constants appear when hard breakdown occurs in a PN junction diode. By taking advantage of this information, a robust simulation method from hard breakdown to snap back of electro-static discharge protection MOSFET has been developed. This method switches from DC analysis to transient analysis upon detecting the negative time constants.

研究分野：計算科学

キーワード：負の時定数 スナップバック ハードブレイクダウン 過渡解析 局所的打ち切り誤差 時間刻み幅制御
バイアス電圧増分量制限法 ホモトピー法

1. 研究開始当初の背景

(1) デバイスシミュレータの収束性を確保する方法としては、Newton 反復における修正ベクトルのダンピングや、非収束が判明してからのバイアス変動幅や時間刻み幅の縮小等の手法があった。また、過渡解析の時間刻み幅制御は、局所的打ち切り誤差の評価[1]によって行われていた。これらの手法に共通した限界は、Try & Error による後追い手法であること、各解析時刻単位や各メッシュ点単位での局所的、狭視野的な情報による制御であること、である。これらの限界のため、印加バイアスや温度等の環境条件によって収束性や最適な過渡解析時間刻み幅等が大きく変動する場合には、収束性制御や時間刻み幅制御が十分に追従することが出来ず、無駄な計算の繰り返しや未収束による計算の打ち切りが頻繁に発生していた。

(2) 本研究の代表者は、デバイス方程式を非線形システムとみなし、それを線形化したシステムの応答を少数の主要時定数で近似する手法[2]を世界で初めて考案したメンバーの一人である。当時、主要時定数の抽出手法として採用した Asymptotic Waveform Evaluation 法[3]は計算精度に難点があり、近似誤差による偽の負の時定数(偽正帰還成分)が発生する等、扱いが難しいものであった。その後、Pade via Lanchoz 法[4]が提案されて精度が著しく改善され、更に本研究開始時点では、Lanchoz 法をより計算コストの低い Arnoldi 法で代替し、システム応答近似法を Pade 近似から、より一般的な概念である行列指数法に拡張して、大規模線形回路網の応答を少数の主要応答時定数を用いて高速かつ高精度に求める手法が、再び脚光を浴びつつあった[5]。

2. 研究の目的

(1) 本研究では、論文[5]の最新手法を、研究代表者が論文[2]で導出したデバイス応答の少数主要時定数近似手法に適用することにより、デバイスの系全体の長期応答特性を事前に予測し、その予測に基づいたデバイスシミュレーションの最適時間刻み幅制御と収束性制御のアルゴリズムを新たに開発することを目的とする。

最適時間刻み幅制御に関しては、従来の局所的な微分量に基づいた打ち切り誤差評価では、誤差成分を Taylor 展開した高次項の影響を全く無視しており、誤差評価自体が非常に低精度になっている。本研究ではデバイスの系全体の長期的応答関数を用いた誤差指標を新たに導出し、その誤差指標に基づいた時間刻み幅制御を行う。

また、収束性制御に関しては、従来、特に制御が困難であった、MOSFET のインパクトイオン化によって寄生バイポーラトランジスタがオンして生じる「スナップバック特性」のシミュレーションを、誰もが手軽に行える様な制御アルゴリズムの開発を目指す。そのために、特にデバイスの応答を主要時定数で近似した場合に、負の時定数(正帰還系)が出現するケースに着目し、負の時定数の出現起源を解析すると共に、正帰還の影響を抑えて系全体の変動を微小摂動内に抑えつつ解析する手法を新たに開発する。

(2) デバイス方程式は非線形系であるため、デバイス過渡解析自体は従来通り Backward Euler 法等を用いて進めるしかない。しかし、ある時刻において線形化したデバイス方程式の主要時定数による近似応答は、時定数の性質(正、負、虚数)や $t=$ への遷移振幅に、そのデバイスの当該時刻から見た未来に関する貴重な情報を含んでいる。この「未来情報」の有効活用により、デバイスの系全体の応答を長期的に予測して、事前に危険を察知しつつ全体最適化された、時間刻み制御ならびに収束性制御アルゴリズムの開発を行う点が、本研究の特色であり、独創的な点である。

3. 研究の方法

(1) まず、Windows PC 上の Visual Basic を用いて、1次元 PN ダイオードの各動作状態における線形化少数主要時定数を抽出するプログラムを作成する。このプログラムを用いて、順方向にステップバイアス電圧を加えた際の PN ダイオードの過渡応答電流とその主要時定数の時間的変化を調べ、それらの主要時定数を利用して、なるべく少ない時間刻み幅で高い過渡応答電流精度が得られる最適な過渡解析時間刻み幅制御指標を導出する。また、過渡解析の過程において負の主要時定数が出現した場合には、その物理的妥当性を調査する。次に、本プログラムの適用範囲を 2次元 MOSFET や 2次元 パワーDMOSFET に拡張し、1次元 PN ダイオードに対して導出した最適な過渡解析時間刻み幅制御指標がこれらのデバイスに対しても有効かどうかを検証する。

(2) 1次元 PN ダイオードに 0.1V ステップで徐々に逆バイアスを印加して行き、インパクトイオン化によってハードブレイクダウンが生じて計算が収束しなくなるバイアス点付近での Newton 法の修正ベクトルや線形化したデバイス方程式の少数主要時定数の挙動を解析する。それらの解析結果から収束を困難にしている原因を特定し、それを回避して安定に収束させるためのアルゴリズムを開発する。次にこのアルゴリズムを ESD 保護素子の一つである GG(Gate-Grounded) NMOS に適用し、ドレイン電流のスweepによって生じるスナップバック特性が安定にシミュレーション可能かどうかを検証する。

4. 研究成果

(1) 最適な過渡解析時間刻み幅制御手法の開発

主要時定数が τ_c である場合の Backward Euler 法の時間刻み幅 Δt に対する新たな「指数関数型局所打ち切り誤差指標」: $Exp_LET_metric \stackrel{\text{def}}{=} |\dot{x}(t) \cdot \tau_c \cdot [1 - (1 + \Delta t/\tau_c) \exp(-\Delta t/\tau_c)]|$ を導出した[6][7]。本指標は、従来の Taylor 展開の最低次項のみを使用した「2次微係数型局所打ち切り誤差指標」とは異なり、局所打ち切り誤差成分を高次項も含めて全て考慮している。また、本指標の主要部 $1 - (1 + \Delta t/\tau_c) \exp(-\Delta t/\tau_c)$ は図1に示す様に、通常の正の τ_c に対しては、時間刻み幅 Δt が小さくなると指数関数的に減少し、 Δt が大きいと1に漸近する性質を持っており、局所打ち切り誤差評価において、主要時定数より極端に短い時間領域での応答波形の重みを自動的に小さくする機能を有している。この機能により、主要応答以外の初期応答波形の影響を受けて時間刻み幅が不必要に短くなることを回避出来る。

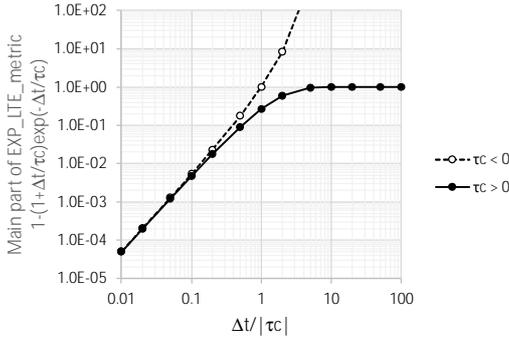


図 1. 指数関数型局所打ち切り誤差指標の主要部の時間刻み幅 Δt 依存性。

線形化したデバイス方程式に対する主要時定数を、Arnoldi 法を用いて抽出する手法を開発した(図2)[6][7]。抽出した主要時定数を「指数関数型局所打ち切り誤差指標」の計算に用いると共に、線形化したデバイス方程式の Δt 後の解を求め、それをデバイス方程式求解時の Newton 法の初期値として使用することにより、Newton 法の反復回数を低減した[8][9]。「指数関数型局所打ち切り誤差指標」を用いてパワーDMOSFET の過渡解析を行い、図3に示す様に、従来の「2次微係数型局所打ち切り誤差指標」を用いた場合に比べ、時間刻み数で約 20%、計算時間で約 30%にまで削減・短縮出来ることを実証した[10]。

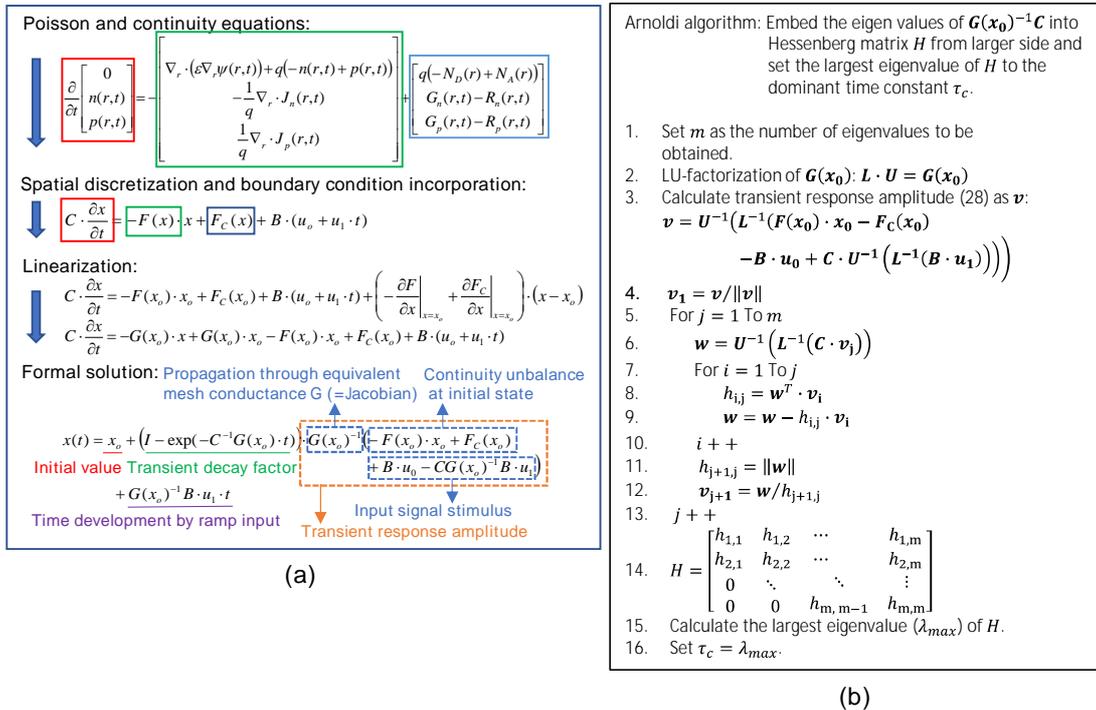


図 2. (a)デバイス方程式の線形化手法. (b)線形化したデバイス方程式の主要時定数を Arnoldi 法で求める手法。

強く順方向バイアスされた PN ダイオードの過渡解析過程で一時的に負の主要時定数が発生することを確認。デバイス AC 解析との対比により、この負の主要時定数は、キャリア注入に起因した導電率変調によりバルク微分抵抗が負になって発生するものであることを確認。また、SRH 再結合が顕著になる時間帯に到達すると、導電率変調が飽和し、主要時定数は正に戻ることも確認した[10]。

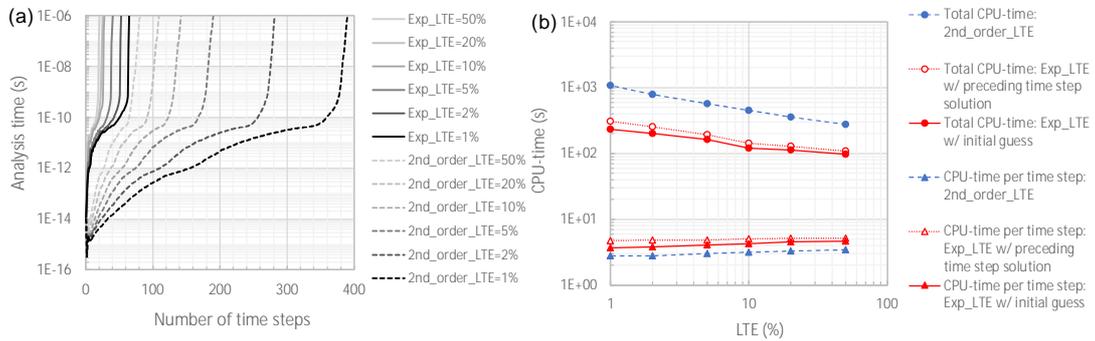


図 3. パワーDMOSFET の ON スwitchングシミュレーションにおける「指数関数型局所打切り誤差指標」と「2次微係数型局所打切り誤差指標」の (a)時間刻み数 ならびに (b)計算時間 の比較.

(2) スナックバック現象の安定なシミュレーション手法の開発

逆バイアス状態のPNダイオードがハードブレークダウンを起こし始めると0.1VのバイアスステップではNewton法が収束しなくなる。この際の挙動について調査し、以下の現象が起きていることを確認した[11]。

- Newton法の変数更新時に非物理的な負のキャリア密度が発生する。
- Newton法の変数増分ベクトルにダンパーをかけて負のキャリア発生を回避しようとすると、変数がローカルミニマムに捕捉されてしまう。
- 従来ハードブレークダウンシミュレーションに有効とされて来た、外部抵抗を付加してバイアス電圧の変化に制限をかけるContinuation法[12]を用いても上記a), b)の状況は変わらない。
- 図4に示す様に、線形化したデバイス方程式に負の主要時定数が発生する。これはインパクトイオン化によるキャリア増倍が高じて正帰還状態にあることを示唆している。負の主要時定数はContinuation法を用いた場合にも発生し、Continuation法自体に正帰還系を負帰還系に変換する能力は無いことを示している。

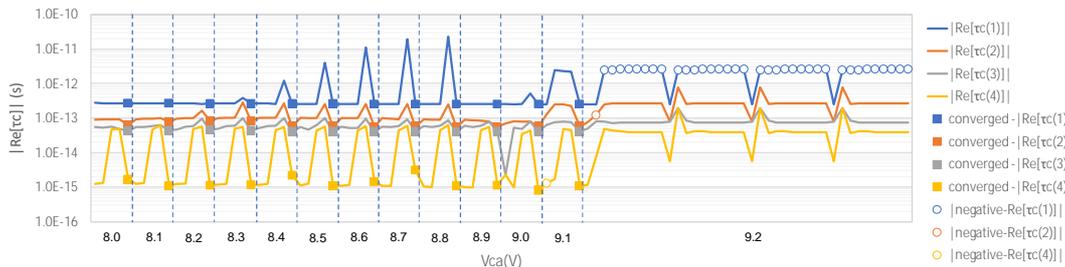


図 4. PNダイオードに9.2Vの逆バイアスを印加するとハードブレークダウンが始まりNewton反復が収束しなくなると共に負の主要時定数(白抜きの丸)が発生する。

の知見を受け、線形化したデバイス方程式に負の主要時定数が発生した時点で、解析手法をDC解析から過渡解析にスイッチする手法を考案。この手法の最大のポイントは、負の主要時定数が存在する場合Backward Euler法はもはや絶対安定ではなくなるため、 Δt を負の主要時定数の絶対値 $|\tau_c|$ より小さくする必要がある点にある。本手法を用いて、図5に示す様に0.1VバイアスステップであってもPNダイオードのハードブレークダウンの安定なシミュレーションが可能なることを実証した[11]。

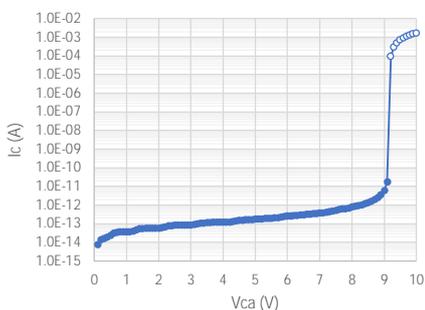


図 5. DC解析から過渡解析にスイッチする手法で求めたPNダイオードのハードブレークダウンの電流-電圧特性。白抜きの丸は過渡解析が行われたバイアス点。

市販のデバイスシミュレータでは通常、バイアス電圧増分量制限法によってバイアス電圧の増分を小さくすることにより収束性を確保しているが、それでもハードブレークダウンシミュレーションには失敗することが多い。我々は、バイアス電圧の増分を小さくすることによって系の非線形性が減少し、デバイスの主要時定数に負の時定数が発生しなくなることを発見した。この知見に基づき、負の主要時定数が発生しない様にバイアス電圧増分量を制限してハードブレークダウンのシミュレーションを安定に行う方

法を開発した。図6に示す様に、ハードブレークダウンによって電流が急激に上昇する部分で安定に収束解を得るためには、バイアス電圧増分量を $10\ \mu\text{V}$ にまで低下させる必要があり、これは市販デバイスシミュレータのNewton反復法の既定収束条件(=ポテンシャルの許容誤差量)とほぼ同じ値である。従来、バイアス電圧増分量制限法でハードブレークダウンシミュレーションが失敗していたのは、この適切なバイアス電圧増分量を事前に決定することが出来ず、バイアス増分量がポテンシャル収束条件と同程度となって高精度な収束解を得ることが出来なかったためと推測される。尚、バイアス電圧増分量制限法は、ホモトピー法[13]を最も簡単な形でデバイスシミュレーションに適用した結果と等価であり、従来、解くべき問題の性質に応じて ad hoc に決められて来たホモトピー法の収束パラメータを、デバイスシミュレーションでは「線形化デバイス方程式の主要時定数が全て正になる様にバイアス電圧増分量を制限する」という明確な手法で決めることが出来る。

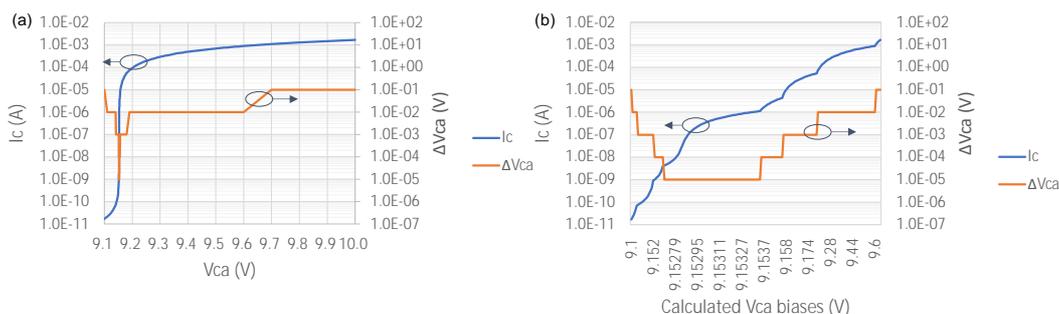


図6. バイアス電圧増分量制限法によるPNダイオードのハードブレークダウンの電流-電圧特性とバイアス電圧増分量の変化。(a)横軸：バイアス電圧, (b)横軸：各解析点。

で開発した、i) まずDC解析を進め、ii) Newton反復の途中で負の主要時定数の出現を検出した時点で過渡解析に切り替え、iii) 負の主要時定数の絶対値以下の時間刻み幅で過渡解析を進める、というハードブレークダウンの安定解析手法をGG-NMOSの解析にも適用した。ハードブレークダウン後のスナップバック特性をトレースするために、負の主要時定数の出現後、ドレインを電圧源駆動から電流源駆動にスイッチすることも同時に行った。その結果、図7に示す様にドレイン電圧-各端子電流のスナップバック特性が安定にシミュレーション可能であることを実証した。ただ、安定ではあるものの、ハードブレークダウンの過程で出現する負の時定数の値が $1\text{E}-12\ \text{s}$ のオーダーであり、過渡解析が定常状態に達する時間($1\text{E}-8\ \text{s}$ のオーダー)に比べて著しく小さいため、非常に多くの過渡解析時間刻みを必要とすることが、今後解決すべき課題として残された。今後もしチャンスがあれば、電流連続方程式の定式化を変更し、擬フェルミポテンシャルを変数に取って負のキャリア密度の発生を根本的に回避し、それに対応した系の時定数の変化を期待する手法の検討を行ってみたい。

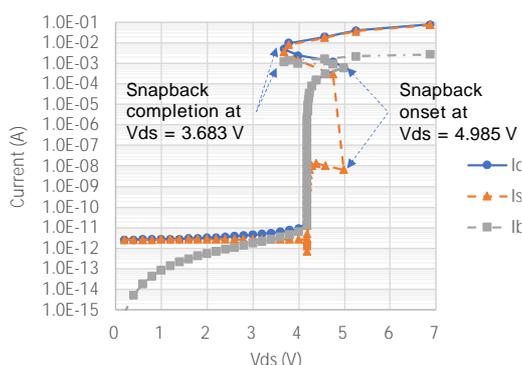


図7. GG-NMOSのハードブレークダウン後のスナップバック特性のシミュレーション結果。

< 引用文献 >

[1] R. Bank, et al., IEEE Trans. Computer-Aided Design, Vol.4, No.4, pp.436-451, 1985. [2] H. Read, et al., IEICE Trans. Electron., Vol. E77-C, No.2, pp.236-247, 1994. [3] L. Pillage, et al., IEEE Trans. Computer-Aided Design, Vol.9, No.4, pp.352-366, 1990. [4] P. Feldmann, et al., IEEE Trans. Computer-Aided Design, Vol.14, No.5, pp.639-649, 1995. [5] H. Zhuang, et al., DAC '14, pp.1-6, 2014. [6] S. Kumashiro, et al., SISPAD '17, pp.37-40, 2017. [7] 熊代, 他, 電子情報通信学会技術研究報告, SDM2017-20, pp.47-52, 2017. [8] 亀井, 他, 電子情報通信学会技術研究報告,

ICD2017-75, pp.107-112, 2017. [9] 亀井, 他, 第31回回路とシステムワークショップ, pp.236-241, 2018. [10] S. Kumashiro, et al., IEEE Trans. Computer-Aided Design, vol.39, No.2, pp.451-463, 2020. [11] S. Kumashiro, et al., SISPAD '19, pp.33-36, 2019. [12] R. Goossens, et al., IEEE Trans. Computer-Aided Design, Vol.13, No.3, pp.310-317, 1994. [13] S. Liao, "Homotopy Analysis Method in Nonlinear Differential Equations", Springer, 2011.

5. 主な発表論文等

〔雑誌論文〕 計1件(うち査読付論文 1件/うち国際共著 0件/うちオープンアクセス 0件)

1. 著者名 Kumashiro Shigetaka, Kamei Tatsuya, Hiroki Akira, Kobayashi Kazutoshi	4. 巻 39
2. 論文標題 An Efficient and Accurate Time Step Control Method for Power Device Transient Simulation Utilizing Dominant Time Constant Approximation	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	6. 最初と最後の頁 451 ~ 463
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TCAD.2018.2889673	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計5件(うち招待講演 1件/うち国際学会 2件)

1. 発表者名 Shigetaka Kumashiro
2. 発表標題 A Robust Simulation Method for Breakdown with Voltage Boundary Condition Utilizing Negative Time Constant Information
3. 学会等名 SISPAD2019 (国際学会)
4. 発表年 2019年

1. 発表者名 亀井達也, 熊代成孝, 小林和淑, 廣木彰, 古田潤
2. 発表標題 Matrix Exponential法を用いた過渡解析の時間刻み制御とニュートン反復回数の削減
3. 学会等名 第31回 回路とシステムワークショップ
4. 発表年 2018年

1. 発表者名 Shigetaka Kumashiro, Tatsuya Kamei, Akira Hiroki, Kazutoshi Kobayashi
2. 発表標題 An Accurate Metric to Control Time Step of Transient Device Simulation by Matrix Exponential Method
3. 学会等名 SISPAD 2017 (国際学会)
4. 発表年 2017年

1. 発表者名 熊代成孝、亀井達也、廣木彰、小林和淑
2. 発表標題 行列指数法によるデバイス過渡シミュレーションの正確な時間刻み指標
3. 学会等名 電子情報通信学会SDM研究会（招待講演）
4. 発表年 2017年

1. 発表者名 亀井達也、熊代成孝、小林和淑
2. 発表標題 Matrix Exponential法を用いたパワーMOSFETの過渡解析の高速化
3. 学会等名 電子情報通信学会ICD研究会
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分 担 者	小林 和淑 (Kobayashi Kazutoshi) (70252476)	京都工芸繊維大学・電気電子工学系・教授 (14303)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------