

令和 3 年 5 月 28 日現在

機関番号：13701

研究種目：基盤研究(C)（一般）

研究期間：2017～2020

課題番号：17K06381

研究課題名（和文）光パケット伝送に対応したアナログ・デジタル融合制御高速波形整形回路の研究

研究課題名（英文）Burst-mode Receiver with Analog and Digital Controls for Optical Packet Networks

研究代表者

中村 誠（NAKAMURA, Makoto）

岐阜大学・工学部・教授

研究者番号：10708605

交付決定額（研究期間全体）：（直接経費） 3,600,000円

研究成果の概要（和文）：情報社会の実現において、柔軟で効率的な情報ネットワークの構築に光パケット伝送システムは重要で、光パケット伝送の高速・長距離化に対応した光受信回路の高速波形整形技術（電気分散補償：EDC）の提案、検証を行った。EDCの高速制御を行うために、新たな高速波形モニタ回路と非常に高速なデジタル制御と精度のよいアナログ制御を組み合わせた新規制御方法を考案し、回路シミュレーションならびにFPGA（書換可能論理LSI）により動作検証を行った。

研究成果の学術的意義や社会的意義

光パケット伝送では、各ノードとの距離に応じて各パケット信号毎に信号振幅や波形劣化量の異なる信号を受信する必要がある。この課題を解決するために、複雑な制御が必要な高速波形整形をアナログ制御技術とデジタル制御技術を融合した新しい試みの検証に学術的な意義がある。本研究における高速波形整形技術により、例えば、光パケット伝送システムが使われている光加入者システムや、携帯電話の基地局システムの高速化・長距離化の可能性を示すことができた。

研究成果の概要（英文）：For the progress of the information society, the optical packet transmission system is important for constructing a flexible and efficient information network. To enlarge the transmission speed and distance of the optical packet transmission, the high-speed waveform shaping technique (electrical dispersion compensation: EDC) was proposed and verified. For the EDC enables to respond to the data packet with high-speed, we devised a new control technique that combines the accurate analog control with a high-speed waveform monitor circuit and high-speed digital control. We evaluated the proposed technique with the circuit simulation and the FPGA (field programmable gate array) and revealed the effectiveness to handle the packet data with quickly.

研究分野：情報通信システム用集積回路

キーワード：電子デバイス・機器 高速伝送回路設計 光パケット伝送 光受信回路 デジタル制御 電気分散補償

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

1. 研究開始当初の背景

(1) 近年、スマートフォンの高速化や様々な物をインターネットに接続する IoT (Internet of Things) などによって、情報伝送量は益々増加すると予測されており、光通信システムの大容量化の研究が精力的に進められている。また、大容量伝送を効率的に行うことができる基幹ネットワークやアクセス・ネットワーク用光パケット伝送システムが開発されている[1]。

(2) 光パケット伝送システムでは、パケットデータを扱うために光受信器の高速応答が必要とされるが、さらに高速・長距離化のためには、光ファイバ伝送で生じる波形劣化(光波長分散)を改善する必要がある。光伝送による波形劣化は伝送距離に応じて蓄積され、高速伝送ではその影響が大きくなってしまい高速・長距離化を律速している。

また、光アクセスネット・ネットワークでは各ノードと局用装置との距離が異なるため、各パケット毎に波形劣化量が異なるため、パケット毎に波形補償を高速に行うことが課題である。

2. 研究の目的

(1) 光伝送による波形劣化を改善し高速・長距離伝送を可能とするためには、波形劣化を電氣的に補償する分散補償技術が有効であるが、光パケット伝送に適用するためには、パケットデータに対応した高速な分散補償制御が必要である。

(2) 本研究は、光パケット伝送の飛躍的な高速・長距離化を実現するために、すでに効果を実証した増幅回路の高速利得切替技術に、アナログ・デジタル融合制御技術により高速応答可能な電氣的な分散補償技術を組み合わせ高速・長距離化を可能とする技術の開発を目的とする。

3. 研究の方法

(1) これまでに、光パケット伝送に対応した高速応答可能な利得切替技術を用いた光受信回路を実現している[2], [3]。

この高速利得切替回路技術をベースに、アナログ・デジタル融合制御を用い電氣分散補償のパケット伝送に対応した高速応答化を行った。

具体的には、1. 電氣分散補償(EDC)コア回路、2. 高速波形モニタ回路、3. 高速分散補償制御回路の高速応答化の検討を行った。

(2) また、波形モニタ回路による高速アナログ制御(精密制御)については、理論検討や回路シミュレーション検討により有効性を明らかにし、さらにこの高速制御技術を用いた EDC 集積回路を設計し動作検証を行った。

高速デジタル制御(粗制御)を用いた高速分散補償制御技術については、回路シミュレーションによる基本検討と、FPGA(書換可能論理 LSI)による動作検証を行い、アナログ制御と組み合わせた制御についても検討を行った。

4. 研究成果

(1) パケット伝送対応高速 EDC 回路構成と制御技術の基本検討

アナログ・デジタル融合制御高速応答 EDC を用いた光パケット伝送対応受信回路の構成を図 1 に示す。光パケット伝送では、信号強度の異なるパケット信号を受信する必要があるが、高速・長距離化によりさらにパケット毎に波形劣化量が異なる。異なる信号強度のパケット信号を瞬時に受信するためにバーストモード TIA をこれまでに開発しており、これを用いて信号強度を一定にした後に EDC により波形劣化を補償する。光パケット伝送に対応する高速応答を実現するために、フィードフォワード制御の EDC 回路を提案した。

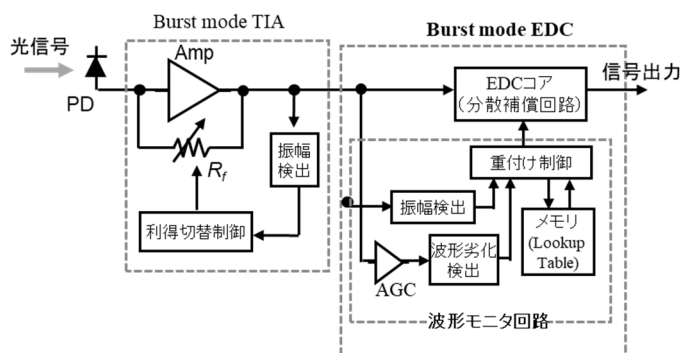


図 1 光パケット伝送対応受信回路と提案バーストモード EDC 回路の構成

波形劣化補償(分散補償)を行う EDC コア回路は、高速応答化のためにフィードフォワード構成による判定帰還型 EDC 回路[4]とし、さらにより大きな波形補償効果が得られるように、新たに波形補償用フィードバックパスを加え高速動作時の波形を改善可能とした。また、受信信号の振幅や波形劣化量を検出する波形モニタ回路は、信号の振幅・波形劣化量に応じた EDC コア回路の波形劣化補償を制御するための制御信号を生成するもので、パケット伝送に対応するために

高速検出が求められる。このため、従来の応答の遅い平均値検出構成ではなくダイオードの応答速度を利用したレベル検出回路による高速アナログ制御により、図1に示すように振幅検出と波形劣化量をそれぞれ高速に検出しEDCコアの波形補償量を決める重み付け制御信号をフォワードフォワードで生成する。また、この検出値を各送信先毎に Lookup table に記憶しパケット毎に読み出し制御するデジタル制御を組み合わせることにより精度と応答速度の両立が可能である。

EDC コア回路の波形劣化補償の基本動作検証結果を図2示す。図2(a)は入力波形、(b)は従来型フィードフォワード EDC 回路 (FF-EDC) の出力波形、(c)は提案 FF-EDC 回路の出力波形である。入力信号は波形劣化によりほぼアイ開口が得られていないが、EDC 回路を用いることにより波形劣化が補償されアイ開口が得られることがわかる。さらに、従来型に比べ提案型 FF-EDC ではよりクリアな波形が得られ、提案構成の有効性を検証することができた。

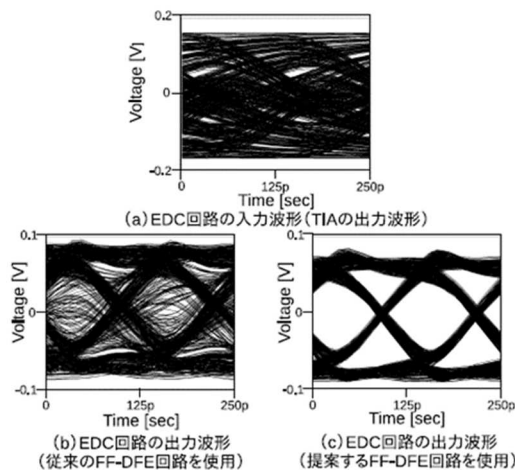


図2 高速応答 EDC コア 動作波形

### (2)回路シミュレーションによるアナログ制御の動作検証

基本構成で示した提案型 FF-EDC コア回路を用い、図1に示した振幅検出、波形劣化検出からなる高速アナログ制御検出回路と重付け制御回路によるバーストモード EDC 回路を設計しその波形劣化補償の応答速度を回路シミュレーションにより検証した。

図3にパケット信号に対する波形応答特性を示す。入力信号 (Input) は、信号振幅と波形劣化量が異なる Packet data 1 と Packet data 2 とし、時定数の異なるローパスフィルタ (LPF) により波形劣化量が異なる信号を生成している。Packet data 1 は、伝送距離が長く信号振幅が小さく波形劣化量が大きなパケット信号、Packet data 2 は、伝送距離が短く信号振幅が大きく波形劣化量が小さなパケット信号である。振幅検出値 (Amplitude  $V_A$ )、波形劣化検出値 (Degradation  $V_D$ ) とともにパケット開始から約 200 ns の短時間で収束し、その後、安定した検出値が得られていることがわかる。この設計結果をもとに、集積回路の試作も行っている。

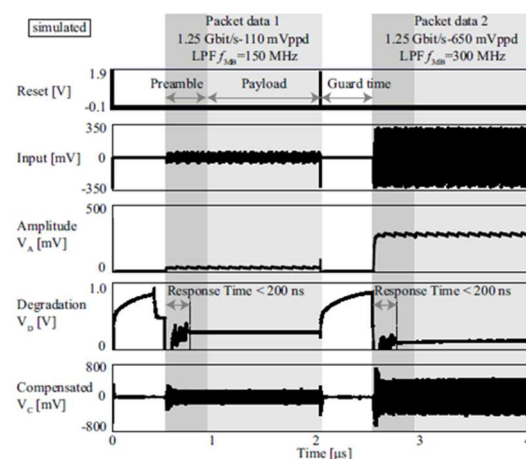
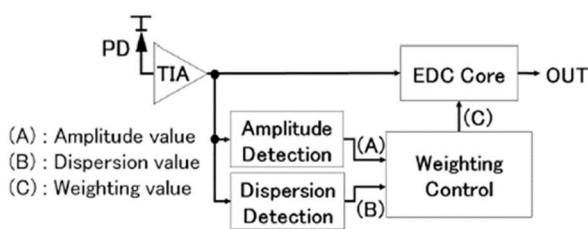


図3 バーストモード EDC 応答波形 (信号速度 1.25 Gb/s)

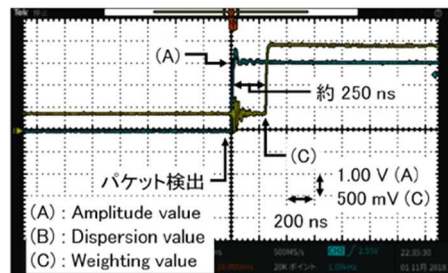
### (3)FPGA によるデジタル制御の動作検証

高速アナログ制御と組み合わせ応答速度を損なわず波形補償の高精度化を行うためのデジタル制御方法を考案し、FPGA (書換可能論理 LSI) を用いて動作検証を行った。

図4(a)に重み付け制御回路の接続構成図を示す。振幅検出値 (A)、波形劣化量検出値 (B) を入力し、EDC コア回路の重み付け制御値を出力する。提案回路では、予め求めた検出値に対する最適な重み付け値のデータをルックアップ・テーブルに書き込んでおき、これを検出結果に応じて読み出す事により複雑な波形補償に対し最適な重み付け値制御が可能である。また、メモリと照合させるだけで重み付け値が決定できるため、高速制御が合わせて可能である。



(a) 構成図



(b) 応答波形

図4 EDC 重み付け値制御回路の構成と応答波形

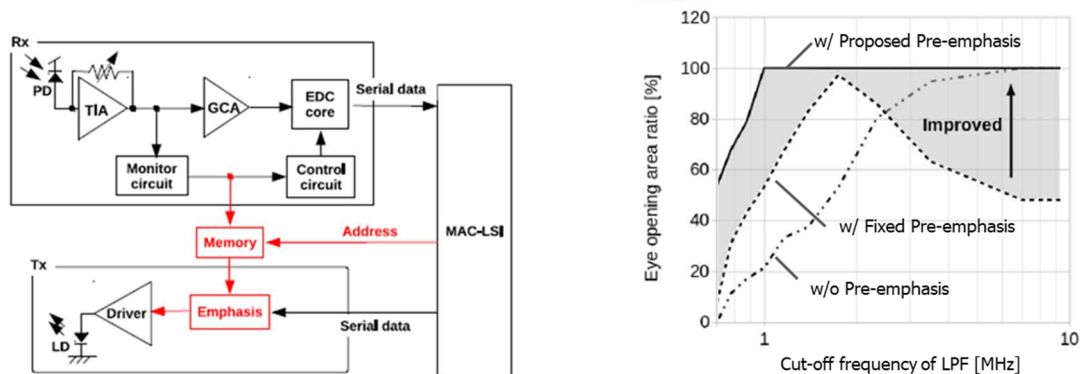
提案する重み付け値制御回路をFPGA上に実装し、重み付け値精度と応答速度の動作検証を行った。波形モニタ回路で検出する振幅値(A)を変化させ(波形劣化量検出値(B):一定)提案回路に入力し、重み付け制御出力(C)について事前設定した最適値と比較検証を行い、最適出力値と誤差2%以下となる高精度な入出力特性を得ることができた。さらに、振幅検出値(A)に対する重み付け制御値(C)の応答波形を図4(b)に示す。応答時間は約250 ns以下(目標:GE-PON仕様400 ns)であり、高速応答動作を検証することができた。

#### (4)アナログ・デジタル融合型EDCの高機能化

アナログ制御、デジタル制御によりEDC回路の光パケット信号に対応した高速応答化を可能としたが、さらに高機能化を目指し本光受信回路の制御信号を送信回路の波形強調制御(プリエンファシス)に適応することを検討した。図5(a)に考案したアナログ・デジタル融合制御型プリエンファシス回路の構成図を示す。

各パケット信号送受信先との通信シーケンスで、信号受信時に受信回路の波形モニタ回路の検出情報より、距離情報、波形劣化量情報を取り込み、信号送信時に送信先アドレスに応じて送信波形にプリエンファシスを施し各パケット信号毎に予め波形劣化補償を行うものである。受信データの情報を光受信器内で送信データ制御に反映することが従来と異なるアプローチで、以下のシーケンスで各パケットに最適なプリエンファシスを施す。まず、受信時に波形モニタ回路の波形劣化量検出値をエンコーダに入力し、プリエンファシスする重み付け量に変換、メモリに格納し、送信時にMACのデータ制御部から送信先のアドレスを受け取り、メモリから該当の重み付け量を読み込み、送信信号の立ち上がり立ち下りのタイミングで送信データに重み付けを重畳させることにより、プリエンファシスを実現する。

提案するアナログ・デジタル融合制御型プリエンファシス回路をFPGA上に実装し、LPFによる帯域制限により模擬的な受信信号の劣化波形を入力し、プリエンファシスによるアイ開口度改善効果を検証した。図5(b)に測定結果を示した。波形劣化に応じた適切な量のプリエンファシス(図5(b) w/ Proposed Pre-emphasis)により異なる波形劣化量に対して良好なアイ開口が得られることを確認し、さらに波形モニタ検出値の変動誤差耐性を改善するために検出値を過去データと比較し取捨選択する制御方法を考案し35%の変動耐性改善を得ることができた。



(a) 構成図

(b) 波形劣化量(LPF帯域)に対するアイ開口度改善効果の測定結果(@2Mb/s)

図5 アナログ・デジタル融合制御型プリエンファシス回路の構成と効果

#### (5)得られた成果の位置付け、今後の展望

光パケット伝送用受信回路の波形補償回路のパケット応答速度をフィードフォワード制御型EDC回路と高速応答波形モニタ回路により光パケット受信器へのEDC機能の適応可能性を示すとともに、目標としたGE-PON仕様の約1/2の高速応答を得ることができた。光パケット伝送に波形補償の適用可能であることを示すことができ、伝送速度を一桁上げても伝送距離の制限を抑制できることを示すことができた。

これらの成果をもとに、今後、光パケット伝送システムをより柔軟で効率的なプラットフォームとするために、光パケット受信回路の高機能化として、マルチレート・パケット受信技術を進める予定である。

#### <引用文献>

- [1] S. Ihara, et al., IEEE ECOC2012, Proc., Tu.1.B.4, (2012)
- [2] M. Nakamura, et al., IEEE BCTM2010, Proc., 2.1, (2010)
- [3] 久米沢弥、他、電子情報通信学会和文論文誌, Vol. J100-C, No. 1, (2017), 37-40
- [4] M. Nakamura, et al., IEEE OFC2004, Proc., TuG4, (2004)

5. 主な発表論文等

〔雑誌論文〕 計4件（うち査読付論文 4件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 KOJIMA Takuya, KUNIEDA Mamoru, NAKAMURA Makoto, ITO Daisuke, KISHINE Keiji	4. 巻 E102-A, No.6
2. 論文標題 Burst-Mode CMOS Transimpedance Amplifier Based on a Regulated-Cascode Circuit with Gain-Mode Switching	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 845 ~ 848
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E102.A.845	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 國枝衛、三輪祐三久、中村誠、伊藤大輔	4. 巻 J102-A, No. 9
2. 論文標題 時定数制御によるバースト信号対応 TIA の高速利得制御	5. 発行年 2019年
3. 雑誌名 電子情報通信学会和文論文誌、基礎・境界	6. 最初と最後の頁 249-253
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 中嶋伸吾、中村誠、伊藤大輔	4. 巻 J101-A
2. 論文標題 フィードフォワード構成によるDFE回路の高速化の一検討	5. 発行年 2018年
3. 雑誌名 電子情報通信学会和文論文誌、基礎・境界	6. 最初と最後の頁 268-272
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 小島拓也、國枝衛、久米沢弥、中村誠	4. 巻 J101-A
2. 論文標題 高速レベル検出回路による光パケット伝送用リセット信号の高速生成	5. 発行年 2018年
3. 雑誌名 電子情報通信学会論文誌 A	6. 最初と最後の頁 7-10
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

[学会発表] 計13件(うち招待講演 0件/うち国際学会 2件)

1. 発表者名 Tatsuya Maekawa, Yusaku Miwa, Akihito Uno, Daisuke Ito, and Makoto Nakamura
2. 発表標題 Tunable pre-emphasis architecture for downstream data in long-haul PON systems
3. 学会等名 International SoC Design Conference (ISOCC2019) (国際学会)
4. 発表年 2019年

1. 発表者名 石原直志、三輪祐三久、前川竜也、中村誠、伊藤大輔
2. 発表標題 バースト対応電気分散補償回路におけるモニタ回路の高速応答化の検討
3. 学会等名 電子情報通信学会ソサイエティ大会、A-1-9
4. 発表年 2019年

1. 発表者名 湯浅貴文、三輪祐三久、石原直志、志津有記、中村誠、伊藤大輔
2. 発表標題 バースト伝送用帯域可変CMOS RGC-TIA回路の検討
3. 学会等名 電子情報通信学会総合大会、A-1-15
4. 発表年 2020年

1. 発表者名 志津有記、前川竜也、林宏太、湯浅貴文、中村誠、伊藤大輔
2. 発表標題 光アクセスネットワーク長延化に向けた符号配列対応型可変プリエンファシス技術の検討
3. 学会等名 電子情報通信学会総合大会、A-1-17
4. 発表年 2020年

1. 発表者名 霜田幸長、林宏太、鷺見和紀、中村誠、伊藤大輔
2. 発表標題 PAM4 受信器用波形劣化補償器の補償量改善の一検討
3. 学会等名 電子情報通信学会総合大会、A-1-19
4. 発表年 2020年

1. 発表者名 Tomotaka Tanaka, Fumiya Naito, Makoto Nakamura, Daiske Ito, and Keiji Kishine
2. 発表標題 A Wideband Differential VCO Based on Multiple-path Loop Architecture
3. 学会等名 International SoC Design Conference (ISOCC2018), Tech Dig., pp. 135-136 (国際学会)
4. 発表年 2018年

1. 発表者名 三輪祐三久、國枝衛・中嶋伸悟、中村誠、伊藤大輔、小川岳大
2. 発表標題 電気分散補償回路のバースト信号対応化への基本検討
3. 学会等名 電子情報通信学会ソサイエティ大会、A-1-9
4. 発表年 2018年

1. 発表者名 鷺見和紀、林宏太、田中智孝、中村誠、伊藤大輔
2. 発表標題 光通信における波長分散のSPICEモデルについての検討
3. 学会等名 電子情報通信学会総合大会、A-1-3
4. 発表年 2019年

1. 発表者名 前川竜也、宇野暁仁、三輪祐三久、田中智孝、中村誠、伊藤大輔
2. 発表標題 FPGAを用いたPONシステムにおける下り信号対応プリエンファシス回路の提案
3. 学会等名 電子情報通信学会総合大会、A-1-12
4. 発表年 2018年

1. 発表者名 宇野暁仁、前川竜也、中村誠、伊藤大輔
2. 発表標題 バースト信号対応電気分散補償回路における高速波形等化制御の検討
3. 学会等名 電子情報通信学会総合大会、A-1-13
4. 発表年 2018年

1. 発表者名 中嶋伸悟、中村誠
2. 発表標題 フィードフォワード構成によるDFE回路の高速化の一検討
3. 学会等名 電子情報通信学会ソサイエティ大会、A-1-2
4. 発表年 2017年

1. 発表者名 國枝衛、小島拓也、中村誠
2. 発表標題 バースト信号対応TIA における連続型AGC の高速利得制御の検討
3. 学会等名 電子情報通信学会ソサイエティ大会、A-1-3
4. 発表年 2017年



1. 発表者名 前川竜也、石原直志、湯浅貴文、伊藤大輔、中村誠
2. 発表標題 PONシステム下り信号対応可変型プリエンファシス回路の変動耐性改善の一検討
3. 学会等名 電子情報通信学会ソサイエティ大会、A-1-13
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関