様　式　Ｃ－１９、Ｆ－１９－１、Ｚ－１９　（共通）

科研費
KAKENHI

科学研究費助成事業　　研究成果報告書

令和　２ 年　６ 月 ３０ 日現在

機関番号：２４２０１
研究種目：基盤研究(C)（一般）
研究期間：2017～2019
課題番号：１７Ｋ０６４３３

研究課題名（和文）シングルチャネルーマルチポート制御インタフェース回路の研究

研究課題名（英文）The research on single-channel multi-port control interface circuit

研究代表者
岸根　桂路（Keiji, Kishine）

滋賀県立大学・工学部・教授

研究者番号：２０５１２７７６

交付決定額（研究期間全体）：（直接経費）　　3,800,000円

研究成果の概要（和文）：超高速通信システムの進展に伴い，伝送装置を構成する回路の最適動作が必須であるが，申請者らは，インタフェースを複雑化することなく，装置内の複数回路を外部からシングルチャネルで制御可能とするシングルチャネルマルチポート制御システムを提案した。システムの優位性を検証するために，FPGAとディスクリート素子から構成される制御インタフェースを構築して動作を確認するとともに，インタフェース内の要素回路を微細デバイスにより各種試作し，高速・低電力動作特性の限界を検証した。評価により，提案システムの優位性が確認され，シンプルなインタフェースで装置内回路の制御インタフェースが実現可能なことを示した。

研究成果の学術的意義や社会的意義
AI/IoT/クラウド技術を十分に活かした情報社会プラットフォームの実現のためには，それらを支える通信システムも高度に運用される必要がある。高度運用に向け，通信装置内の回路や部品の最適制御が必須の課題となっている。本研究は，新しい通信方式とハードウェア設計技術を組み合わせ，装置外からの回路制御をシンプル・低コスト・小型に実現するインタフェース技術に寄与するものである。さらに，処理速度がそれほど要求されないセンサシステムやヒューマンインタフェース領域への応用展開も見込める。この観点から，本研究結果は応用範囲が広く，ハードからシステム技術までの総合的な発展に資するものであり社会的意義は大きい。

研究成果の概要（英文）：The appropriate operation of circuits in instruments is strongly required for development of high speed communication systems. We propose Single Channel Multi-Port Control (SCMPC)system which enables the circuits in the instruments to be controlled easily using a single channel signal with a simple interface. To confirm the advantages of the proposed system, we developed the interface with FPGA and discreet electric elements. Furthermore, we developed some key circuits for the interface with deep submicron devices to determine the high-speed and low-power operation limit of ICs. We investigated the system performances and circuit operations. The measured characteristics show the advantages and also the feasibility of the proposed system, which indicates the system is expected to be realized for control systems in various instruments.

研究分野：集積システム

キーワード：制御回路　インタフェース　通信方式　無線　制御システム　集積回路　高速　光通信システム装置

※科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。

1　研究開始当初の背景

超高速光通信システム用回路の研究・開発は，海外では B. Razavi 等のグループで，国内では松澤等のグループにより，最先端デバイスの適用と回路構成の最適化アプローチにより進められている [1] [2]。光アナログフロントエンド IC の開発ならびに新通信方式の開発に携わってきた申請者は，通信システムの障害監視・ネットワーク切替動作をプロセッサ不要で実現可能な監視情報ラッピング通信方式を提案し， システムレベルから回路レベルまで，実証実験により有効性を確認している [3]。本申請は，高度運用が必須とされる超高速光通信システムの中継・終端装置内の回路の制御性向上をはかるために，これまでの研究成果である回路技術の一部を制御用インタフェース回路に応用し， 基準周波数と位相偏移量を制御信号情報として信号に埋め込むことにより，複数個の装置内回路がシングルチャネル（単一インタフェース）で制御・調整可能となる制御方式を提案し，小型かつ高効率な制御インタフェースを構築・評価・検証する。本システムが実現すれば，制御端子の実装簡易化による中継・終端装置全体の小型化・低コスト化が可能となる。

2　研究の目的

超高速通信システム用中継・終端装置に対する制御インタフェース回路実現において，装置内の被制御回路の数だけ制御端子（チャネル）を設ける従来方式に対し，制御用プロセッサ不要かつ複数の制御端子不要なシングルチャネル―マルチポート制御システムを提案する。さらに構築した制御インタフェースの要素回路において，デバイスレベルでの物理的特性がインタフェース回路動作メカニズムに及ぼす影響を明らかにし，これを反映した最適回路トポロジーの構築により，制御性の大幅な拡大が実現する。信号周波数・位相偏移量を 2 系統の制御情報としてシングルチャネルで複数回路を制御する方式が実現すれば，実装コスト・サイズを大幅に低減した高性能通信装置が実現可能となり，通信システムの高性能化・低コスト化が実現できる。また，デバイス特性まで考慮した制御回路の高性能化により，装置インタフェースのブレークスルーを起こす可能性をもっている。これまで，申請者等のグループで進めてきた高性能回路・通信方式の研究成果を活かし，小型・低コストで柔軟な制御インタフェース回路を世界に先駆けて確立する。

3　研究の方法

1. **シングルチャネル―マルチポート制御システムの提案:** 装置内の複数回路（マルチポート）に様々な電圧値を供給する制御システムにおいて，無線を用いたシングルチャネルでマルチポートを制御できるシンプルなインタフェース方式を創出・提案した。

2. **シングルチャネル―マルチポート制御システム受信器回路の高分解能化・高速化:** アナログ-デジタル混載型のシステム受信部において，AD(Analog to Digital) 変換回路を用いた遅延検波回路構成を提案し，ポストレイアウトシミュレーションにより動作特性を検証した。

3. **シングルチャネル―マルチポート制御システム用プロトコル開発:** アナログ-デジタル混載型の受信回路方式に対し，更なる小型化と設計性の向上を目指し，オールデジタルで信号処理可能なプロトコルを考案し，FPGA に搭載して動作特性を検証し，優位性を確認した。

4. **シングルチャネル―マルチポート制御システム高速化のための要素回路開発:** シングルチャネル―マルチポートシステムの高速化実現にあたり，送受信部の主要回路を高性能化する必要がある。送受信回路を 1 チップで実現するためには，信号生成用あるいはサンプリング用の高速同期回路が必要となることから 5GHz-変調信号発生回路と 25Gb/s-低電力 CDR（Clock and Data Recivery) 回路を開発した。

5. **シングルチャネル―マルチポート制御システムの多重度拡張の検討:** 周波数変調による信号の多重化がベースのシングルチャネル―マルチポート制御システムにおいて，振幅多重による情報重畳手法を検討した。その際，ジッタが問題となることが想定されることから，振幅多重回路におけるジッタ低減回路を開発した。

4　研究成果

4.1　シングルチャネル―マルチポート制御システムの提案

光通信システムにおける中継再生器や終端装置内回路は，送受信光信号の品質を一定に保持するために，最適動作を実現することが求められている。これを実現するためには，装置内回路を制御するためのインタフェースが必要となるが，被制御回路数が多い場合は，端子数が増加し，実装が煩雑となる。さらに制御精度を向上させるためには，信号処理用プロセッサ等が必要となり，コストの増大につながる。これに対し，我々はシングルチャネル―マルチポート制御システムを提案した（図 1）。

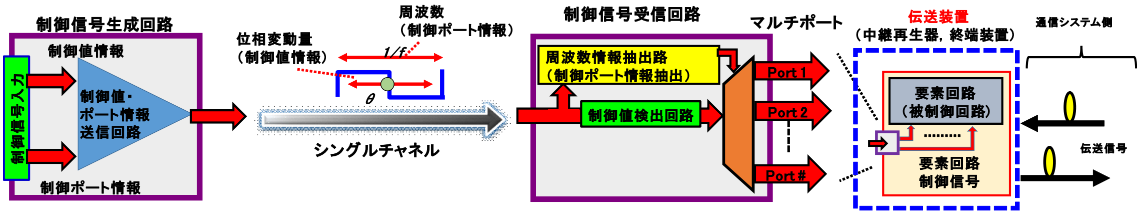


図 1: シングルチャネル―マルチポート制御システム基本構成

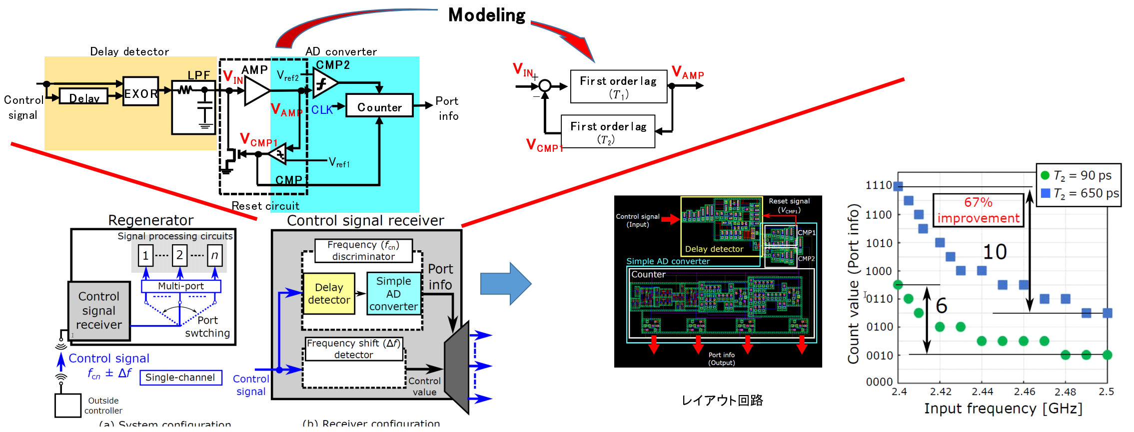
送信部において，周波数変調を実施し，制御される回路に対応する被制御ポート情報を中心周波数に，制御電圧値を周波数偏移量にそれぞれ割当てて伝送することにより，複数ある被制御回路のポート情報とその制御電圧値をシングルチャネル信号で送受信可能となり，プロセッサ不要でシンプルなインタフェース構築が可能となる。

4.2 シングルチャネルーマルチポート制御システム受信器回路の高分解能化・高速化

制御可能な装置内回路数（ポート数）を拡大するために，従来遅延検波方式における復調回路の高分解能化が課題であった。これに対し，AD（アナログ-デジタル）変換回路ならびに，フィルタ回路の電荷を引き抜くリセット動作用ディスチャージ回路を適用し，高分解能かつ高速に検波できる回路を考案した。さらにディスチャージ回路の等価回路モデルを構築し，電荷引き抜き信号の応答設計式の創出により回路定数の最適化を実現した。

図 2(a)(b) に本システムと受信部の構成を示す。受信部において，従来の遅延検波回路（Delay detector）の後段に AD converter（AD 変換回路）を接続し，より高速で検波できる構成となっている。また, ディスチャージ機能を実現するリセット回路を設け，入力信号周波数の変化に対するダイナミックな検波動作を可能とした。さらに，ディスチャージ動作を明確化するために簡易な等価回路モデル創出し，動作の解析を行った。本モデルにより，ローパスフィルタ出力 (V_{IN}) とコンパレータ (CMP1) 出力 V_{CMP1} の位相差 ϕ_{CMP1}，ならびに V_{IN} とアンプ (AMP) 出力 V_{AMP} の位相差 ϕ_{AMP} の周波数依存の設計式が導出可能となる。これらの式により，位相差の回路時定数依存が明確化され，リセットのためのディスチャージ時間を十分に確保しつつ高速動作させるためには，ディスチャージ回路 CMP1 の時定数 T_2 による位相調整が重要であることを明確化した。

提案方式の優位性を確認するために，180nm CMOS プロセスのパラメータを使用してレイアウト設計を行い（図 2(c)），ポストレイアウトシミュレーションにより提案回路の特性を検証した。入力信号周波数を 2.4GHz-2.5GHz で変化させ，AD 回路内のカウンタ周波数を 50MHz とした。ディスチャージを伴うフィルタ出力は，$T_2 = 650ps$ の設定により，リセットに必要な放電動作をしていることが確認でき，さらにカウンタ出力（図 2(c)）も T_2 を同じ値に設定することにより，高分解能化特性が確認できた。



(a)システム構成　(b)受信器回路　(c)ポート番号識別結果

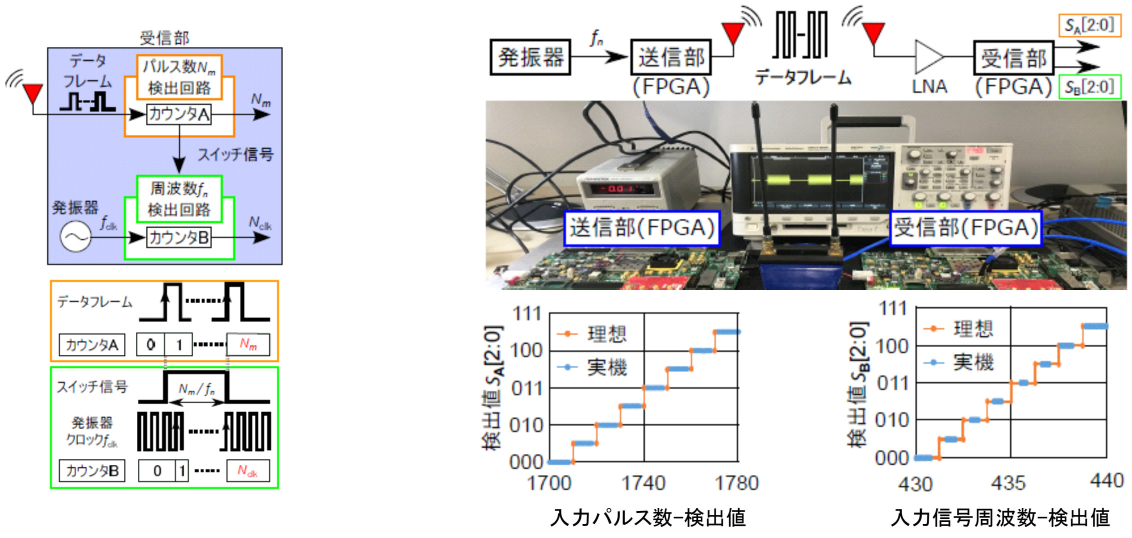
図 2: 受信器回路の高分解能化・高速化

4.3 シングルチャネルーマルチポート制御システム用プロトコル開発

シングルチャネル―マルチポート制御システムに対し，研究開始当初アナログ-デジタル混載型の回路を使用していたが，更なる小型化と設計性向上を目指し，オールデジタルで信号処理可能なプロトコルを考案し，FPGA ボードに搭載して動作特性を検証した。パルス幅 $1/2f_{\mathrm{n}}$ のパルス列 N_{m} 個と無信号区間を送受信データフレームの基本構成とした (図 3(a))。N_{m} と f_{n} を，それぞれ被制御回路でのポート番号 n と制御電圧値 V_{m} に対応させ，受信部内の 2 つの検出回路により f_{n} と N_{m} をフレーム毎に検知する。制御電圧値検出回路は，受信部カウンタ A(図 3(a)) においてフレーム信号内の立ち上がりエッジ数をカウントし，N_{m} を検出する。各制御電圧値に対し，N_{m} に対してマージンを設定し，誤検出を抑制した。ポート番号検出回路は，受信部カウンタ B(図 3(a)) において，周波数 f_{clk} のシステムクロックを用いて f_{n} を検出する。受信フレーム信号内において N_{m} 個のパルス数が検出できる区間を High とするスイッチ信号を生成する。スイッチ信号が High 区間の時間幅は $N_{\mathrm{m}}/f_{\mathrm{n}}$ となり，この区間のクロック数 $N_{\mathrm{clk}} = N_{\mathrm{m}} f_{\mathrm{clk}} \;/f_{\mathrm{n}}$ の関係から周波数 f_{n} を検出する。ポート番号検出のために N_{clk} に対してマージンを設定し，誤検出を抑制した。

FPGA ボードを用いて提案システムの設計・検証を実施した (図 3(b))。パルス数を 1700-1780 の間で分割し，8 つの制御電圧値に対応させた（デジタル値 SA[2:0]）。無線周波数帯域は，430-440 MHz

を 1.25 MHz 毎に分割し，被制御ポート数を 8 とした（デジタル値 S[2:0]）。評価により，パルス数 $N_{\rm m}$ と周波数 $f_{\rm n}$ を検出し，設計したデジタル値 SA[2:0] と SB[2:0] への変換が確認できた (図 3(b))。この構成により，パルス数や周波数設定に関する設計性が向上し，システムフィージビリティの向上につなげた。



(a)受信部回路構成と信号識別機能　　(b)構築システムと評価結果

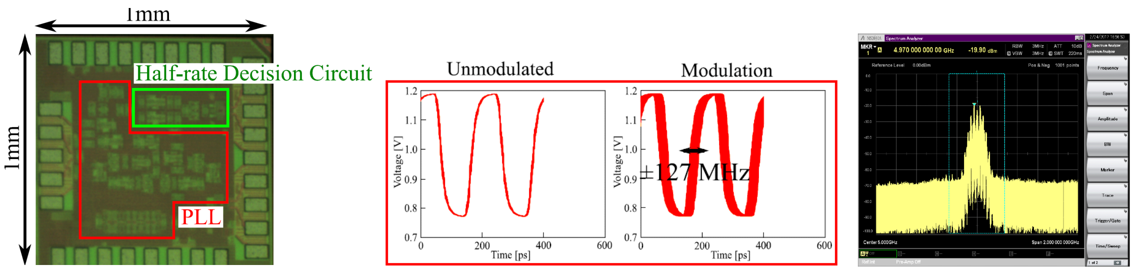
図 3: シングルチャネル―マルチポート制御システムの新プロトコル開発

4.4　シングルチャネル―マルチポート制御システム高速化のための要素回路開発

シングルチャネル―マルチポートシステムの高速化実現にあたり，送信部での信号生成や受信部でのサンプリングに同期回路 (PLL:Phase Locked Loop，CDR: Clock and Data Recovery) はキー部品となる。信号処理速度が高速になるにつれ，一般的には回路に流す電流を大きく設計する必要があり，システム全体の消費電力増大につながるだけでなく，電源系への雑音漏洩による他の回路の誤動作を引き起こす原因となる。これに対し，65nm-CMOS プロセスにより，同期回路をベースとした高速 5GHz 変調回路と，さらなる高速化・低消費電力化にむけた 25Gb/s で動作する低消費電力 CDR を開発し，5GHz-周波数変調回路のシングルチャネル―マルチポート制御システムへの適用可能性ならびに，高速同期回路の低電力化の限界を明確にした。

我々がこれまでに提案してきたラベリング信号伝送システムの回路構成の一部を応用し [4]，25MHz-クロック信号を逓倍し, 中心周波数が 5GHz の変調信号生成回路を開発した。PLL ベースの変調回路において，電圧制御発振器 (VCO) 回路に，変調用制御端子を設け，$25MHz \rightarrow 5GHz$ への逓倍動作と周波数変調が同時に実現可能となる VCO 構成を提案した。65nm-CMOS プロセスで変調回路を設計し，シミュレーションで 5GHz ± 127MHz の動作を確認した。さらに変調回路の試作により，5GHz の変調動作が確認できた (図 4 (a),(b))。

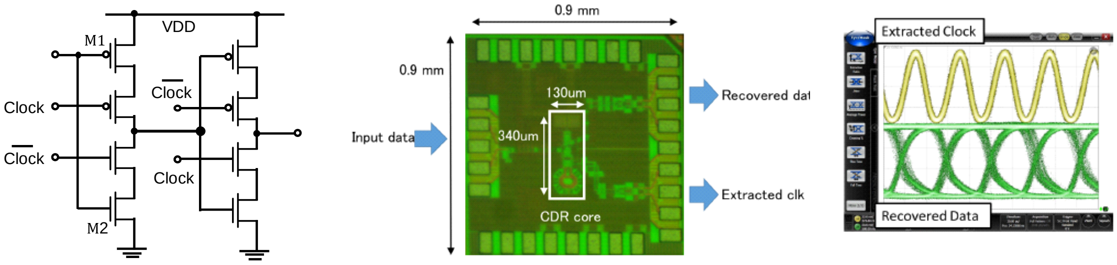
また，シングルチャネル―マルチポート制御システムの高速化・低電力化実現の動作限界の見極めのため， 低電力 25Gb/s-CDR IC を 65nm-CMOS プロセスで試作，評価した。高速回路で一般的に使用される CML(Current Mode Logic) に対し,CMOS 構成で 25Gb/s まで 13mW（従来 96mW）で同期動作可能なことを実証した (図 5)。これにより超高速シングルチャネル―マルチポート制御システム送信部ならびに受信部のサンプリングクロック発生回路への本回路構成が適用可能であることが明らかとなった。



65nm-CMOS　チップ写真　　シミュレーション結果（PLL出力）　　変調信号スペクトル

(a) チップ写真　　(b) 評価結果

図 4: 高速周波数変調回路



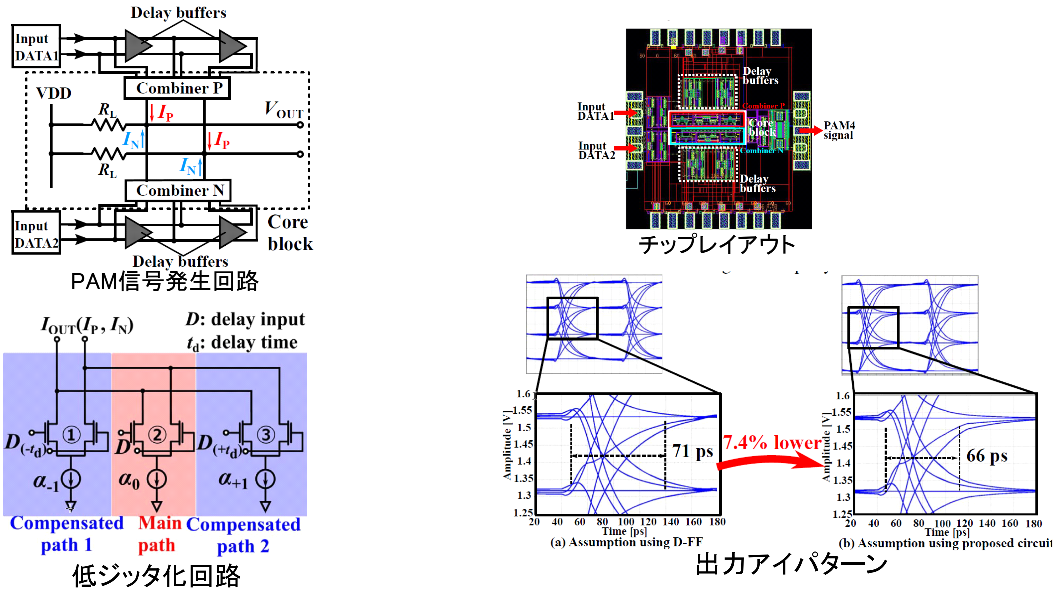
(a)低電力型(CMOS) DFF回路　　(b)開発チップ写真と出力波形

図 5: 低電力 CMOS 同期回路

4.5　シングルチャネル—マルチポート制御システムの多重度拡張の検討

シングルチャネルで複数の情報を伝送するシングルチャネル—マルチポート制御システムにおいて，4 値パルス振幅変調 (PAM4) によるさらなる情報の付加・伝送を検討した。その際，PAM4 システムの回路構成に由来するジッタが問題となることから，より低ジッタの PAM4 送信回路を実現する必要がある。PAM4 信号発生回路において，生成した PAM4 信号に補償信号を重畳し，ジッタを低減することを検討した。ここで重畳するタイミングが問題となることから，タイミング遅延回路で遅延を調整し (図 6(a))，補償動作による低ジッタ化のための基本検討を行った。

補償動作の回路モデルに基づき，最適タイミング設計手法を創出し，180nm CMOS プロセスで回路のレイアウト設計・検証を行った (図 6(a))。補償された PAM4 信号の立上り時間，立下り時間の遅延時間依存を検証し，アイパターンにおいて 20 %のジタ低減が確認でき，設計手法の有効性を確認できた (図 6(b))。



(a)PAM信号発生回路と低ジッタ化回路　　(b)チップレイアウトと評価結果

図 6: データ管理情報アドオン型-PAM4 伝送システム

参考文献

[1] IEEE ISSCC Conference Digest of Technical Papers, pp. 412-414, (2016).

[2] 電子情報通信学会 ソサイエティ大会, C-12-5, (2016).

[3] IEIE JSTS, pp. 904 - 907, Vol. 17 , Num. 6, pp. 733-741, (2017)

[4] 電子情報通信学会 総合大会, A-1-18, (2016).

５．主な発表論文等

〔雑誌論文〕　計2件（うち査読付論文　2件／うち国際共著　0件／うちオープンアクセス　2件）

１．著者名 Toshiyuki Inoue, Kohei Nomura, Ryosuke Noguchi, Natsuyuki Koda, Akira Tsuchiya, and Keiji Kishine	４．巻 19
２．論文標題 FPGA-Based Binary Labeling Signal Transmission System	５．発行年 2019年
３．雑誌名 IEIE JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE	６．最初と最後の頁 276-286
掲載論文のDOI（デジタルオブジェクト識別子） 10.5573/JSTS.2019.19.3.276	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

１．著者名 Hiromu Uemura, Kosuke Furuichi, Natsuyuki Koda, Hiromi Inaba, and Keiji Kishine	４．巻 18
２．論文標題 10-Gb/s Data Frame Generation Circuit with Frequency Modulation in 65-nm CMOS	５．発行年 2018年
３．雑誌名 IEIE JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE	６．最初と最後の頁 238-245
掲載論文のDOI（デジタルオブジェクト識別子） 10.5573/JSTS.2018.18.2.238	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

〔学会発表〕　計15件（うち招待講演　0件／うち国際学会　5件）

１．発表者名 Yudai Ichii, Ryosuke Noguchi, Toshiyuki Inoue, Akira Tsuchiya, Keiji Kishine
２．発表標題 Suitable-Compensation Circuit Design for a PAM4 Transmitter in 180-nm CMOS
３．学会等名 16th International SoC Design Conference (ISOCC 2019)（国際学会）
４．発表年 2019年

１．発表者名 Sanshiro Kimura, Atsuto Imajo, Toshiyuki Inoue, Akira Tsuchiya, Keiji Kishine
２．発表標題 Frequency Discriminator Using a Simple AD Converter for Interface Systems
３．学会等名 16th International SoC Design Conference (ISOCC 2019)（国際学会）
４．発表年 2019年

１．発表者名
Kenta Nishiguchi, Toshiyuki Inoue, Akira Tsuchiya, Kazunori Ogohara, Keiji Kishine

２．発表標題
Optimization Technique of Memory Traffic for FPGA-Based Image Processing System

３．学会等名
16th International SoC Design Conference (ISOCC 2019)（国際学会）

４．発表年
2019年

１．発表者名
今城篤人・井上敏之・木村山紫郎・西口健太・土谷　亮・岸根桂路

２．発表標題
シングルチャネルマルチポート制御システムにおける送受信回路デジタル化の検討

３．学会等名
電子情報通信学会総合大会（2020）

４．発表年
2020年

１．発表者名
Toshiyuki Inoue, Ryosuke Noguchi, Akira Tsuchiya, Keiji Kishine, and Hidetoshi Onodera

２．発表標題
Low-Power and High-Linearity Inductorless Low-Noise Amplifiers with Active-Shunt-Feedback　in 65-nm CMOS Technology

３．学会等名
The 61st IEEE International Midwest Symposium on Circuits and Systems (MWSCAS2018)（国際学会）

４．発表年
2018年

１．発表者名
Ryosuke Noguchi, Atsuto Imajo, Toshiyuki Inoue, Akira Tsuchiya, and Keiji Kishine

２．発表標題
A 25-Gb/s Low-Power Clock and Data Recovery with an ActiveStabilizing CML-CMOS Conversion

３．学会等名
The 25th IEEE International Conference on Electronics Circuits and Systems (ICECS 2018)

４．発表年
2018年

１．発表者名
今城篤人，野口凌輔，井上敏之，土谷亮，岸根桂路

２．発表標題
シングルチャネルシステム実現に向けた周波数識別回路の検討

３．学会等名
電子情報通信学会総合大会

４．発表年
2019年

１．発表者名
木村山紫郎，井上敏之，野口凌輔，土谷亮，岸根桂路

２．発表標題
キャリア周波数識別の高分解能化を目指したディスチャージ遅延回路の検討

３．学会等名
電気関係学会関西連合大会

４．発表年
2018年

１．発表者名
Ryosuke Noguchi, Kosuke Furuichi, Hiromu Uemura, Toshiyuki Inoue, AkiraTsuchiya, Keiji Kishine,Hiroaki Katsurai, Shinsuke Nakano, Hideyuki Nosaka

２．発表標題
A 25-Gb/s 13mW Clock and Data Recovery Using C2MOS D-Flip-Flop in 65nm CMOS

３．学会等名
The 2018 International Symposium on VLSI Design, Automation and Test (2018 VLSI-DAT)（国際学会）

４．発表年
2018年

１．発表者名
野口凌輔，香田夏幸，野村幸平，土谷亮，井上敏之，岸根桂路

２．発表標題
100-Gb/s低電力光通信トランシーバ用CML-CMOSレベル変換回路の検討

３．学会等名
電子情報通信学会総合大会

４．発表年
2018年

〔図書〕　計0件

〔産業財産権〕

〔その他〕

－

6．研究組織

	氏名 （ローマ字氏名） （研究者番号）	所属研究機関・部局・職 （機関番号）	備考
研究協力者	土谷　亮 (Tsuchiya Akira)		
研究協力者	井上　敏之 (Inoue Toshiyuki)		
研究協力者	香田　夏幸 (Koda Natsuyuki)		
研究協力者	野口　凌輔 (Noguchi Ryousuke)		
研究協力者	小野寺　秀俊 (Onodera hidetoshi)		