

令和 2 年 6 月 11 日現在

機関番号：37111

研究種目：若手研究(B)

研究期間：2017～2019

課題番号：17K12657

研究課題名（和文）フリップフロップの記憶保持特性を利用したトランジスタ特性ばらつきセンサ

研究課題名（英文）Process Variation Estimation using Flip-Flop Retention Characteristics

研究代表者

西澤 真一（Nishizawa, Shinichi）

福岡大学・工学部・助教

研究者番号：40757522

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：集積回路の製造ばらつきを補正するためには個々のチップのばらつき量を測定する必要がある。専用のばらつき測定回路を追加する事は簡便な測定を実現できるがチップコストの増加につながる。本研究では製造ばらつき測定にフリップフロップの記憶保持特性を利用する。集積回路は機能テストのためにスキャンチェーンを持ち、フリップフロップのデータの入出力が可能である。スキャンチェーンをばらつき量測定に利用する事で、ばらつき測定回路を追加する事無くばらつき量の測定を可能にする。提案手法を適用したチップを試作し評価した結果、ばらつき量の推定が可能である事を確認した。

研究成果の学術的意義や社会的意義

集積回路は今日の情報化社会を支える基幹部品であり、高性能化、省電力化、低価格化が強く望まれている。そのため集積回路の製造プロセスの微細化が急激に進められてきたが製造工程の複雑化によって製造プロセスに起因するトランジスタ特性ばらつきが問題となっている。ばらつき量はチップごとの異なるため、個々のチップのばらつき量を評価する事で電源電圧および基板電圧を調節しばらつきを補償する事が可能である。ばらつき量の測定のために測定回路を追加する事は集積回路のコストを増大させる課題がある。本技術は既存の構造をばらつき量推定に利用する事で、追加コスト無く個々のチップのばらつき量の推定を可能にする。

研究成果の概要（英文）：Extraction method of process variation has been proposed. Retention characteristics of DFF is newly introduced to the process variation estimation since it has a good sensitivity to the balance of p_{fet} and n_{fet}. Proposed technique can utilize scan-chains designed for scan-tests, thus this technique has an ability to extract the amount of process variation without adding extra test purpose circuit. Test structures are implemented into silicon chips and result shows the proposed technique can estimate global variation shift from measured data.

研究分野：集積回路

キーワード：フリップフロップ 記憶保持特性 ばらつき評価回路

様式 C-19、F-19-1、Z-19 (共通)

1. 研究開始当初の背景

集積回路はその高性能化，低消費エネルギー化，低価格化が強く求められている．製造プロセスの微細化によってこれらの要求を達成してきたが，複雑化する製造プロセスに起因するトランジスタ特性ばらつきが拡大し問題となっている．この対策として，電源電圧制御および基板電圧制御によるトランジスタ特性補償技術が注目されている．

トランジスタ特性を適切に補償するためにはばらつき量を適切に推定する必要がある．出荷前テストによって個々の動作特性を適切に診断する必要がある．しかし，従来行われている製品出荷前のテストでは，回路を構成する PMOS・NMOS トランジスタのばらつき量を個別に診断することが不可能である．PMOS・NMOS トランジスタの動作特性を個別に評価する専用のオンチップ診断回路が提案されているが，専用回路を追加する事はチップ面積を増加し，製造原価を押し上げる問題がある．

2. 研究の目的

提案者は，集積回路中の記憶素子の記憶保持特性から PMOS・NMOS トランジスタの動作特性の診断を可能にする手法を提案する．フリップフロップを構成するトランジスタの強弱関係が，データを保持可能な最低電源電圧(最低記憶保持電圧)に影響する．トランジスタ特性のばらつき量と最低記憶保持電圧のシミュレーション結果を図 1 に示す．ばらつき量に応じて，最低記憶保持電圧が変化する．そこで，最低記憶保持電圧とトランジスタの強弱関係(閾値電圧)の関係を解明する事で，最低記憶保持電圧の測定値からトランジスタの動作特性を診断する．外部からフリップフロップの記憶保持値を確認する必要があるが，それは図 2 に示す既存のスキャンテストの機能を利用できる．従って，本研究では専用回路を利用せずにプロセスばらつき量を診断する技術を確認する事が目的である．

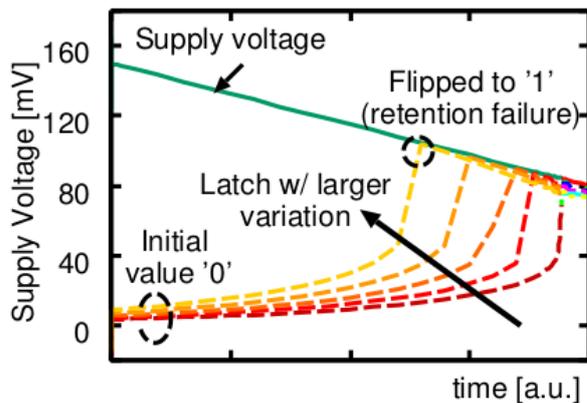


図 1：トランジスタ特性ばらつきと最低記憶保持電圧の関係

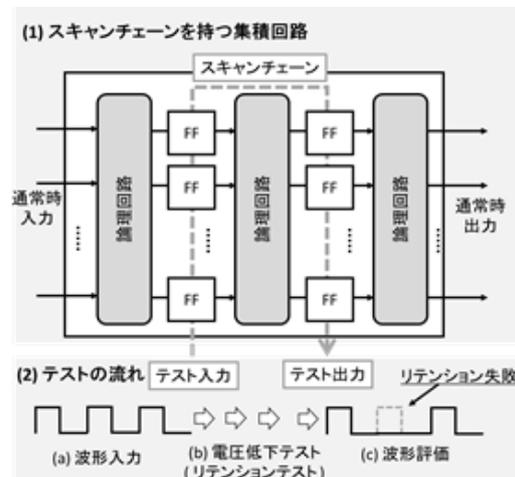


図 2：(1)スキャンチェーン.(2) スキャンチェーンを利用した最低記憶保持電圧評価

3. 研究の方法

プロセスばらつきの主要因がトランジスタの閾値電圧ばらつきであると仮定し，閾値電圧ばらつき量をフリップフロップの最低記憶保持電圧から推定する．

(1) 2017 年度

回路シミュレーションを利用して，閾値電圧ばらつき量と最低記憶保持電圧の関係を評価した．最低記憶保持電圧は PMOS・NMOS トランジスタの駆動力の比に依存する事が確認された．一方で最低記憶保持電圧だけでは PMOS・NMOS トランジスタの閾値電圧ばらつき量を個別に推定する事が難しい事が明らかになった．そのため最低記憶保持電圧とリング発振回路の発振周波数と組み合わせる事でばらつき量の推定が可能である事がわかった．回路シミュレーションを用いて幅広い閾値電圧ばらつきの範囲において推定を行った結果を図 3 に示す．最大誤差は 3mV であった．

モンテカルロ法と回帰分析を組み合わせる事でフリップフロップのワーストケース遅延とトランジスタ群のゲートサイズの定式化を行うシステムを開発し，プロセスばらつきに強靱なフリップフロップを自動的に設計するシステムを提案した．図 4 の様に繰り返し回帰分析を行う事で最適なゲート幅を持つフリップフロップを実現できた．

(2) 2018 年度

ゲート幅の異なるフリップフロップ群によるばらつき推定法を提案し測定コストの削減を試みた。2017 年度では単一のフリップフロップを用いてばらつき量の推定を行ったが、最低記憶保持電圧の評価に時間がかかるためテストの占有コストが大きい問題があった。そこでゲート幅を調節したフリップフロップ群を用いることで、測定コストを 1/20 程度に削減可能なプロセスばらつき推定法について検討を行った。

(3) 2019 年度

リング発振器の発振周波数に代えて、回路のリーク電流を用いてばらつき量の推定を行う事で専用回路の削減を試みた。フリップフロップの最低記憶保持電圧とリング発振器の発振周波数を組み合わせてばらつき量の推定を行っていたが、専用のリング発振器が必要であり面積コストがある。さらなる面積コストの削減のため、回路のリーク電流を利用する。リーク電流の測定は IDDQ テストで実施されているため、専用の回路および専用の測定を必要とせずプロセスばらつき量の推定が可能となった。つまり、ほぼ既存の技術を水平展開する事で別目的であるプロセスばらつき量の推定が可能となった。

4. 研究成果

フリップフロップの最低記憶保持電圧はプロセスばらつき量を測定する指標として十分活用できる事がわかった。それは最低記憶保持電圧が PMOS・NMOS トランジスタの駆動力の比によって決定されるためである。一方で、PMOS・NMOS トランジスタの閾値電圧ばらつき量を個別に推定するには、最低記憶保持電圧だけでは不十分である事も明らかになった。リング発振器の発振周波数と組み合わせる事でばらつき量の推定が可能となった。リング発振器に代わり回路のリーク電流を利用することも可能であり、その場合専用の回路を利用せずに既存の技術(スキャンテスト, IDDQ テスト)を利用することでばらつき量の推定が可能である事が明らかになった。

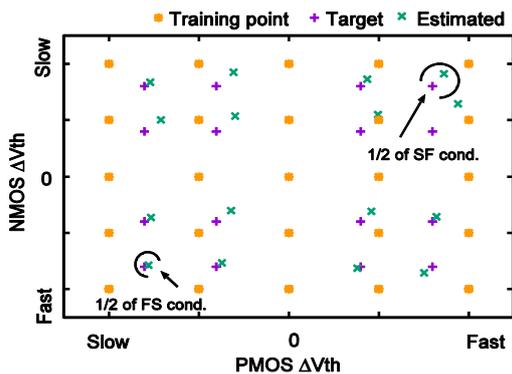


図 3：回路シミュレーションによる閾値電圧ばらつき量の推定結果。

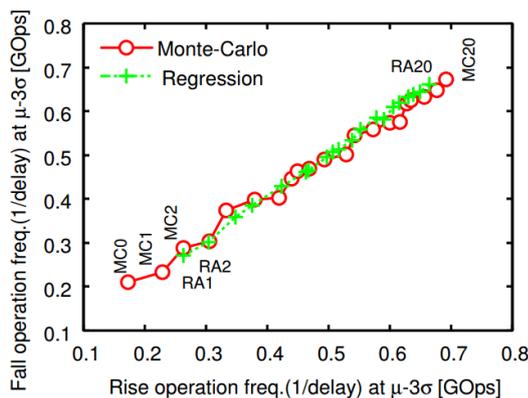


図 4：モンテカルロ法と回帰分析を組み合わせ、最適なゲート幅を持つ

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 NISHIZAWA Shinichi、ONODERA Hidetoshi	4. 巻 E101.A
2. 論文標題 Design Methodology for Variation Tolerant D-Flip-Flop Using Regression Analysis	5. 発行年 2018年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 2222 ~ 2230
掲載論文のDOI（デジタルオブジェクト識別子） https://doi.org/10.1587/transfun.E101.A.2222	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計3件（うち招待講演 0件／うち国際学会 3件）

1. 発表者名 Takuma Konno, Shinichi Nishizawa and Kazuhito Ito
2. 発表標題 Process Variation Estimation using A Combination of Ring Oscillator Delay and FlipFlop Retention Characteristics
3. 学会等名 International Conference on Microelectronic Test Structures (国際学会)
4. 発表年 2018年

1. 発表者名 Shinichi Nishizawa and Hidetoshi Onodera
2. 発表標題 Process Variation Aware D-Flip-Flop Design using Regression Analysis
3. 学会等名 International Symposium on Quality Electronic Design (国際学会)
4. 発表年 2018年

1. 発表者名 Shinichi Nishizawa ¹ , and Kazuhito Ito
2. 発表標題 Process Variation Estimation using An IDDQ Test and FlipFlop Retention Characteristics
3. 学会等名 International Conference on Microelectronic Test Structures (国際学会)
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----