

令和 2 年 7 月 1 日現在

機関番号：12608

研究種目：若手研究(B)

研究期間：2017～2019

課題番号：17K12659

研究課題名(和文) 一般同期式回路における投機実行を利用した柔軟な近似演算回路設計技術

研究課題名(英文) Design of a General-Synchronous Circuit for Approximate Computing using Speculative Xxecution

研究代表者

佐藤 真平 (Shimpei, Sato)

東京工業大学・工学院・助教

研究者番号：80782763

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：ムーアの法則の終焉が予測されているが、規模計算機システムからエッジデバイスなど多くの分野において集積回路の演算性能向上への要求は高いままである。近似演算(Approximate Computing)はその要求を解決するひとつのアプローチである。本研究は、一般同期方式回路を用いて、投機実行により近似演算を行う回路設計技術に取り組んできた。その成果として、一般同期式回路において投機実行を行う設計手法を開発し、投機実行を行わない回路と比べて26%の性能向上を達成した。また、近似演算への適用可能性を確認した。これらの成果をISCAS、およびIEICE学術論文誌にて報告した。

研究成果の学術的意義や社会的意義

これから社会基盤となるアプリケーションの発展には集積回路の性能向上が不可欠である。これまでの集積回路の性能向上は製造プロセスの微細化による性能向上によるところが大きかった。しかし、その微細化の限界が予測されており、これからは異なるアプローチによる性能向上が必要となる。その一つが近似演算という、正確な演算を行わずに演算速度と低消費電力の達成を目指すアプローチである。例えば、AI等で用いられる演算は必ずしも正確な演算をする必要はない。アプリケーションのアルゴリズムのレベルなど様々な段階において近似演算のアプローチが試みられており、本研究では近似演算を実現する集積回路の設計手法について取り組んだ。

研究成果の概要(英文)：The end of Moore's Law is predicted, but the demand for the performance improvement of digital circuits is still high. Approximate Computing is one of the solutions for this demand. This study is a circuit design method to realize approximate computing on general-synchronous circuits using speculative execution. As an achievement of this work, a design method of speculative execution in a general-synchronous circuit is developed. A circuit designed by this method achieves 26% higher performance compared to a conventional circuit. And, it is examined that an adoption of this method to approximate computing. We reported our achievement to the international conference ISCAS and an IEICE transaction.

研究分野：集積回路設計

キーワード：集積回路設計 近似演算 Approximate Computing 一般同期式回路

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

ムーアの法則にしたがい半導体の集積密度は 18 ヶ月から 24 ヶ月で倍になるという驚異的な進歩を続けている。これは、製造技術の向上による集積回路の微細化に依るところが大きい。集積回路の微細化は、集積密度の向上のみならず、動作周波数やレイテンシといった回路性能の向上にも大きく貢献している。しかし近年、集積回路の製造技術は微細化の壁に達しつつあり、ムーアの法則は 2030 年頃に終焉するという予測がある。これに伴い、微細化による回路性能の向上は限界に近づきつつある。

今後も演算性能の向上への要求は依然として高いままである。例えば、スーパーコンピュータなどの大規模計算機システムの分野においては、並列化による演算性能の向上が達成されている。それにより 10 ペタフロップスを超える演算性能に到達しており、今後はエクサフロップス級の計算機システムの開発が課題となっている。並列化による演算性能向上も、システムレベルにおいては故障率や消費電力の制約があり、またアプリケーションにおける本質的な並列度にも限りがあるため、単に台数を増やすというアプローチでは達成が困難であり、並列化以外のアプローチによる演算性能向上の達成が求められる。一方で、自動運転や IoT の分野においては、例えばカメラから得られた映像をもとに人や物を認識するといった処理は厳しい電力制約の中で高い演算性能を必要とする。より高度な機能を実現するには現在の集積回路の性能では不十分であり、より高性能な集積回路の実現が求められる。このように、様々な分野において演算性能の向上の要求があり、これを達成するためには集積回路の設計レベルから性能向上を実現するアプローチが必要である。

演算性能向上の要求に対する 1 つの解決として近似演算(Approximate Computing) が注目されている。3 次元グラフィックスや自動運転、機械学習における処理では厳密な演算精度を必要としない場合がある。このようなアプリケーションに対して近似演算を用いることで計算時間や消費電力を改善することができる。近似演算は厳密な演算精度を必要としないアプリケーションにおけるさらなる演算性能向上のためには必要不可欠な技術である。

近似演算を実現する手法としては、ソフトウェア、アーキテクチャなど様々なレベルからのアプローチがある。しかし、それらの研究の多くは特定のアプリケーションを対象とし、機能的に演算精度を落とすことで近似演算を実現している。今後、さらなる計算速度向上と低消費電力化を実現するためにはアプリケーションの演算特性を考慮し、回路設計のレベルから近似演算を実現する必要がある。

2. 研究の目的

本研究のゴールは、アプリケーションの特性に基づき、回路設計レベルで近似演算を実現する技術の確立である。そのために、従来のような機能的に演算精度を落とした回路を用いるというアプローチではなく、時間的に演算精度を落とす回路を用いるというアプローチをとる。この目標達成に向けて、大きく 2 つの研究課題を掲げる。

(1) 回路設計レベルにおける投機実行を用いた近似演算技術の実現

研究代表者は、一般同期式回路における投機実行に関する研究に取り組んでいる。図 1 に示すように投機実行を実現するために回路の一部のフリップフロップを多重化し、タイミングエラーへの耐性を持たせることで短いクロック周期で回路を動作させる。この技術を応用し、タイミングエラーが発生しても回路を動作させ続けることで近似演算を実現する。これにより、高速な回路動作を実現し、演算性能の向上を狙う。

このように回路の動作原理としてはすでに近似演算が実現可能な段階まで研究が進んでいるが、実用的な近似演算のためには演算精度の保障という課題がある。提案する近似演算方式は、タイミングエラー訂正機能を用いることで正しい演算結果を得ることができる。そのため、要求される演算精度が達成できない場合は、演算結果を訂正することで精度を保障できる。どこまでの誤りが許容されるかはアプリケーションによって異なり、訂正する機能を持たせる必要がない場合も考えられる。本研究ではアプリケーションにより要求される精度に適した回路を設計する手法を開発する。

(2) 近似演算のためのアプリケーション特性の解析手法の実現

近似演算においては、低消費電力を達成することも重要である。提案する回路方式による近似演算では、回路の機能的には正しい演算が可能な回路が実装されるため、機能省略による低消費電力化の達成が困難である。したがって、アプリケーションのアルゴリズム的なアプローチで消費電力を抑える必要がある。

例えば、演算器に同じような値の入力が続く場合、回路の内部状態の変化が少なく想定よりも高速に、低消費電力で動作すると考えられる。したがって投機実行を用いた近似演算では演算

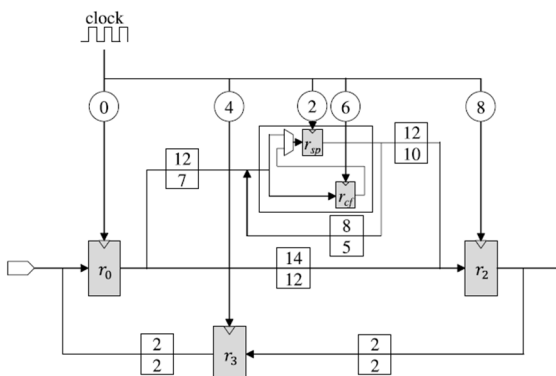


図 1 投機実行を可能とする一般同期式回路

器へ入力される値の系列を解析し、演算の順序をスケジューリングすることで性能向上、低消費電力化が得られることが考えられる。近似演算を行う回路の最適化のために、アプリケーションを解析し適切な演算のスケジューリングを行う手法を開発する。本研究では、新しい近似演算の実現方式の実現を目指すもので、近似演算が可能な新たなアプリケーションの発見を目指すものではない、したがってアプリケーションとしては画像処理や機械学といったすでに近似演算で典型的に用いられているものを対象とする。

3. 研究の方法

(1) 回路設計レベルにおける投機実行を用いた近似演算技術の実現

すでに進行中の研究である投機実行が可能な一般同期式回路をペースに近似演算を行う一般同期式回路を実現する。一般に、あるアプリケーションに対して回路を合成する場合はハードウェアリソースの最適化のために演算器などの共通のモジュールは共有化する。提案する手法は、正しい回路動作をさせることが可能な回路で実装される。したがって、近似演算を行うか行わないかを選択的に機能させることができる。また、近似演算を行う場合は、値を訂正する機能を持たせるか、その機能を持たせないかを選択的に機能させることができる。共有化されたモジュールにおいても適宜必要な機能で回路を動作させることが可能である。演算精度を保障する上で値を訂正する必要がある場合は、そのための特別な機構が必要となり検討をすすめる。

提案する近似演算は時間的にその機能を実現するため、回路を動作させるクロック周期の設定が重要である。一般同期式回路のクロック周期は制約グラフを用いることで求めることができる。本研究では近似演算のための制約を加えた制約グラフを導入し、クロック周期を決定する。

(2) アプリケーションの特性解析（機械学習）

機械学習の一種である深層学習は近似演算に関する研究で頻繁に用いられるアプリケーションのひとつである。また、深層学習の推論で用いられる演算は、学習によって得られた重みを用いた積和演算が主であり、重みは定数として扱われるため、2入力の演算の片方は常に同じ値が用いられることになる。また、いくつものニューロンモデルが多層にわたり結合される構造を持つために回路を合成するにあたりそれらの共有化が容易である。このような特徴を有するため、近似演算を実現するアプリケーションとして1年目は深層学習を用いる。

アプリケーションの特性解析において注目するのは演算器へ入力される値の系列の変化である。入力される値の変化が小さければ回路の状態変化が少なくなり、高速に消費電力を抑えて動作することが予測される。アプリケーションの実行時に値の変化のデータを収集し解析する。その結果を利用して演算順序をスケジューリングしRTLレベルでハードウェアの最適化を行う。

(3) アプリケーションの特性解析（画像処理）

演算の順序をスケジューリングする手法を確立する。また、用いるアプリケーションをフィルタなどの画像処理のアプリケーションに変える。これは、提案する手法が近似演算に広く使える手法であるかを確認するためである。

(4) PPGA を用いた評価実験

まずは、シミュレーションによる評価を行い研究を進める。次に、FPGAを用いた評価実験を積極的に進める。シミュレーションペースの評価では、理想的な状況下での評価を行うことができるが、実際に集積回路としてチップに実装する場合は物理的な制約が生じる。そのような制約下でも回路設計手法およびアプリケーション解析手法が有用であることを示すためにFPGAで実装し回路面積や消費電力も含めた全体的な評価を行う。

4. 研究成果

本研究の成果は以下の通りである。

1. 投機実行を行う一般同期式回路の設計手法

2. 投機実行を行う一般同期式回路の近似演算への適用の検討

一般同期式回路は、単一のクロック周期のクロック信号を用い、フリップフロップへの入力タイミングを適切に設定する同期回路である。従来の単相クロック同期回路ではクリティカルパス遅延がクロック周期を決定する要因であるが、一般同期式回路ではクリティカルサイクルと呼ばれる、回路中の閉路によってクロック周期が決まる。クリティカルパスによって決まるクロック周期よりも小さいクロック周期を設定することができる。投機実行を行う一般同期式回路では、動的なゲート遅延の変化を利用して、パスの最大遅延よりも小さい遅延で回路を駆動させる。タイミングエラーが発生せずに回路が動作すれば、より高速に演算が行われる。タイミングエラーは多重化したフリップフロップによって検出する。エラーは、回路の動作を停止させ訂正する。クロック周期を小さくすることで高速に回路を動作させることが期待されるが、エラー率が上昇すると回路の停止が頻発し、計算に要するサイクル数が増加するという、クロック周期とエラー率がトレードオフの関係にある。同時に、フリップフロップを多重化させることで回路面積が増加してしまう。本研究では、一般同期回路におけるクロック信号のスケジューリングと多重化させる箇所の選択を効果的に組み合わせることで面積オーバーヘッドを抑えた設計手法を達成した。本手法によって設計されたベンチマーク回路では、単相クロック同期回路として設計した

回路と比較して、1.3%の面積増加で26%の性能向上を達成した。これについて、国際会議およびIEICE論文誌にて報告した。また、この手法の近似演算への適用を検討し国内研究会にて報告した。

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 SATO Shimpei, SASSA Eijiro, UKON Yuta, TAKAHASHI Atsushi	4. 巻 E102.A
2. 論文標題 A Low Area Overhead Design Method for High-Performance General-Synchronous Circuits with Speculative Execution	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 1760 ~ 1769
掲載論文のDOI（デジタルオブジェクト識別子） https://doi.org/10.1587/transfun.E102.A.1760	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計4件（うち招待講演 0件 / うち国際学会 1件）

1. 発表者名 Shimpei Sato, Eijiro Sassa, Yuta Ukon, Atsushi Takahashi
2. 発表標題 A Low Area Overhead Design for High-Performance General-Synchronous Circuits with Speculative Execution
3. 学会等名 IEEE International Symposium on Circuits and Systems (ISCAS '19) (国際学会)
4. 発表年 2019年

1. 発表者名 佐々栄治郎, 佐藤真平, 高橋篤司
2. 発表標題 一般同期性能を向上させる遅延最適化に関する検討
3. 学会等名 電子情報通信学会技術研究報告 VLD2018-72
4. 発表年 2019年

1. 発表者名 右近祐太, 佐藤真平, 高橋篤司
2. 発表標題 演算器の変レイテンシ化による処理性能と回路面積のトレードオフに関する評価
3. 学会等名 電子情報通信学会技術研究報告 VLD2017-26
4. 発表年 2017年

1. 発表者名 佐藤真平, 右近祐太, 高橋篤司
2. 発表標題 典型的な回路を用いた近似演算における入力系列の演算精度への影響の調査
3. 学会等名 電子情報通信学会技術研究報告 VLD2016-95
4. 発表年 2017年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考