

令和 2 年 6 月 15 日現在

機関番号：12102

研究種目：若手研究(B)

研究期間：2017～2019

課題番号：17K14653

研究課題名（和文）新規前駆体熱酸化手法によるSiC絶縁膜界面制御技術の開発とトランジスタ応用

研究課題名（英文）Tailoring the dielectric-SiC Interface using a new oxidation procedure with precursors and its application to MOSFETs

研究代表者

岡本 大 (Okamoto, Dai)

筑波大学・数理工学系・助教

研究者番号：50612181

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：本提案においては、SiO₂/SiC界面欠陥をさらに低減するため、Geを含んだ前駆体層を熱酸化する手法を提案し、その効果を調査することを目的として研究を行った。堆積法によりGeを含んだ前駆体を精密に制御し、Geを含んだSiO₂膜を形成する実験を行った。この酸化膜を用いてMOSキャパシタの作製を試みたが、十分界面準位密度を低減できた素子を作製するには至らなかった。一方で、当初の研究計画通り、ホール効果測定などによる界面評価についても並行して注力した。類似サンプルであるp型素子に対してホール効果測定を初めて適用し、チャンネル正孔輸送機構の解明につながるデータを得た。

研究成果の学術的意義や社会的意義

当初目指していたGeを導入したSiC nチャンネルMOSFETが実現できていれば、産業界から注目を集め、実用化研究への展開が期待できると想定していた。当初の目的は達成できなかったが、その代わりに、SiCのpチャンネル素子に対して、チャンネル移動度を律速するメカニズムおよび負バイアス時の信頼性を学術的に明らかにすることができた。これらの成果は、新しいインバータ回路方式として期待されている相補型インバータへの応用や、nチャンネルSiC MOSFETの負バイアス時のしきい値変動を抑制するための知見として、今後産業界から注目を集めるものと考えられる。

研究成果の概要（英文）：In this study, a new method of thermally oxidizing a precursor layer containing Ge was proposed to further reduce SiO₂ / SiC interface defects. Experiments were conducted to form a SiO₂ film containing Ge by precisely controlling the precursor containing Ge by thermal deposition. MOS capacitors were fabricated with this oxide, but it was not possible to fabricate a device with a sufficiently reduced interface state density. On the other hand, this study also aimed to discuss the channel mobility evaluations, such as Hall effect measurements. We applied the Hall effect measurement to p-channel SiC devices for the first time, and obtained some important data for understanding the channel hole transport mechanisms.

研究分野：半導体工学

キーワード：シリコンカーバイド 炭化珪素 MOSFET チャンネル移動度 パッシベーション

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

本研究は、次世代パワーデバイスとして期待されている、シリコンカーバイド(SiC)パワーMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) の特性改善を目指したものである。電車やハイブリッド自動車などに用いられる電力変換装置(インバータ)には、従来はSiパワーデバイスが用いられてきたが、研究開始当初は、新たな化合物半導体であるSiCを用いた低損失パワーデバイスが注目を集めてきている状況にあった。SiCパワーデバイスを電力変換回路に適用すれば、電力損失を大幅に低減できる。例えば、東京メトロ銀座線でのSiC実証試験では、回生電力の増加分も含めて、消費電力39%減が達成されている。しかし、実用化が進んでいたSiC MOSFETにおいても、その性能を十分に発揮できている訳ではなかった。その最大の問題点は、SiO₂/SiC界面に存在する高密度の界面準位(欠陥)に起因する、低いチャネル移動度である。日、米、伊、西、英、豪、独などのグループにより研究開発が行われていたが、有効な解決策は存在せず、市販品のチャネル移動度はバルク値の1/20以下であった。代表者の岡本は、研究開始以前の2010年にSiO₂/SiC界面にP原子を導入することで界面準位が劇的に低減し、チャネル移動度が従来法の約3倍に向上することを発見していた。また、2014年には、B原子の導入により、P導入を超えるチャネル移動度が実現できることを発見していた。一方で、これらの異原子を過剰に導入すると絶縁性が悪化することが指摘されており、異原子層の厚さは薄く制御しなければならないという注意点があると考えられていた。P, B導入法は熱拡散により異原子導入を行う方法であるため、P, B含有層の膜厚制御が難しく、高移動度が得られる高濃度条件では絶縁性が悪化することが課題であった。

2. 研究の目的

そこで本研究課題においては、上述の問題を解決するための新たな手法として界面Ge導入法を提案し、高性能SiC MOSFETを試作・実証することを目的とした。これは、SiO₂/SiC界面にGeを導入するというものである。GeO₂のポアソン比はSiO₂よりも大きく、O-Ge-O結合角はフレキシブルであり界面歪みを緩和しやすいため、界面準位低減・移動度向上効果があることを期待した。このGe導入法では、SiC基板上に堆積したSi/SiGe前駆体を熱酸化する新手法を採用する。MBE(Molecular Beam Epitaxy)装置によってSiGe前駆体の膜厚・組成比を精密に制御することで、界面数nm以内へのGe局在化が可能であるため、絶縁性を犠牲にすることなく、界面準位を効果的に低減できると予想した。よって、本研究ではGeを導入したMOSFETを試作し、その欠陥解析や移動度解析を行うことを目的とした。また、上述の研究課題は、成功すれば大きなインパクトがあるものの、リスクの高いテーマであると考えられた。よって、研究が想定通りに進まなかった時の対処として、類似サンプルに対しての電気測定による詳細なトラップ解析とチャネル移動度解析を行うことも目的とした。

3. 研究の方法

(1) n型4H-SiC(0001)Si面を用いて、MOSキャパシタを作製した。SiCウェハ上に前駆体として、種々の膜厚および組成比を有するSiGe層をMBE法により堆積した。その前駆体を熱酸化させゲート酸化膜を形成するために、ドライ酸化を900°Cから1250°Cの範囲で行った。ゲート電極および裏面電極としてAlを蒸着し、MOSキャパシタの作製を行った。50通り以上の条件に対してサンプル作製を行い、作製したMOSキャパシタを用いて、容量電圧(C-V)特性を確認した。また、一部のサンプルに対しては、SIMS(Secondary Ion Mass Spectrometry)測定を行い、界面付近のGe濃度の確認を行った。

(2) 研究が想定通りに進まなかった場合に測定する類似サンプルとして、異なるアニール条件によりpチャネル4H-SiC MOSFETとMOSゲートvan-der-Pauw素子を作製した。1200のドライ酸化により、約50nmのゲート酸化膜を形成した。酸化後アニール(POA)として、NOアニールまたはWet再酸化アニールを行った。ゲート電極としてn⁺ポリSiを形成した。印加磁場を0.5Tとして、ホール効果測定をMOSゲートvan-der-Pauw素子に対して行った。また、このサンプルに対して高速緩和なし法を用いて、室温でしきい値電圧変動を測定し、しきい値変動に関する信頼性についての議論を行った。

4. 研究成果

(1) 図1にSIMSにより測定したSiO₂/SiC界面付近のGe濃度を示す。当初の狙い通り、Geを界面付近に局在化することができていることが分かる。ここで示した図は、条件出しにより、最も界面付近への局在化がうまくできた例である。この酸化膜を用いてMOSキャパシタを作製し、そのC-V特性の周波数依存性を調べた結果を図2に示す。周波数を変えることによって、C-V特性に大きな周波数分散が生じていることが分かるが、このことは界面準位を低減できていない事を示している。この実験をGe濃度や前駆体の膜厚、組成、熱酸化の条件などを変えたあらゆるサンプルに対して実施したが、界面準位密度の低減を確認することはできなかった。X線光電子分光で界面の結合状態を確認したところ、GeO_xピークが現れておらず、Ge-Geピークが現れていることが明らかとなった。このことは、GeO₂が還元されてGeとなっていることを示唆する結果であり、Ge導入は界面準位密度の低減には効果がないことを示すものであった。これを受け、研究期間の後半は、研究が想定通りに進まなかった時の対処を実行することとした。

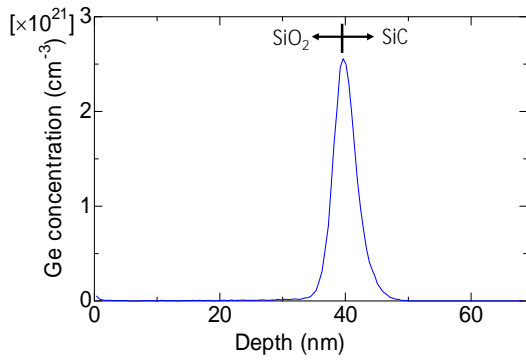


図1 SIMSにより測定した界面 Ge 濃度分布

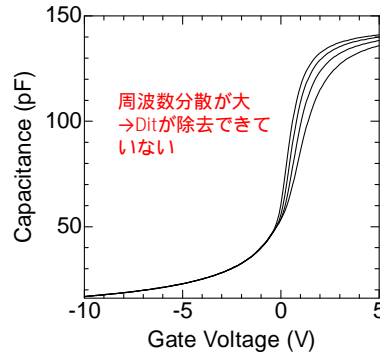


図2 C-V 特性の周波数依存性

(2) 種々のアニールにより作製した SiC pMOSFET に対して、まずホール測定でチャネル移動度の解析を行った。SiC pMOSFET に対してホール移動度を求めたのは本研究が初めてである。図3に NO アニールにより作製したサンプルに対するホール効果移動度を示す。ホール効果移動度は、窒化時間の増加とともに減少することが分かる。一方、図4に示す wet サンプルに対するホール移動度については、アニール条件によって値が変化しなかった。したがって、界面付近の SiC 中に導入された窒素原子が散乱源となり、チャネル移動度を制限していると考えられる。これらの結果は、新回路方式である相補型インバータを実用化するうえで、pMOSFET を作製する際に有用な基礎的なデータとなると期待される。

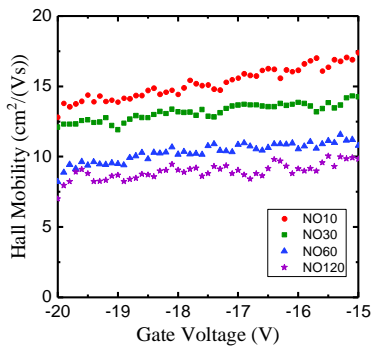


図3 NO アニール素子のホール移動度

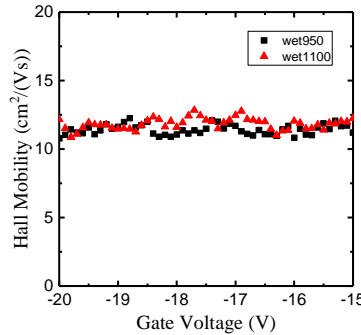
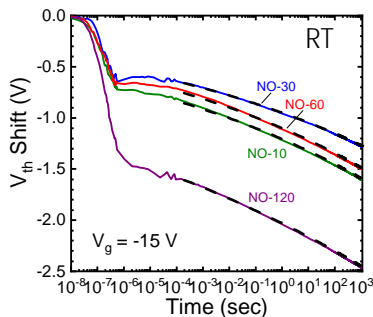


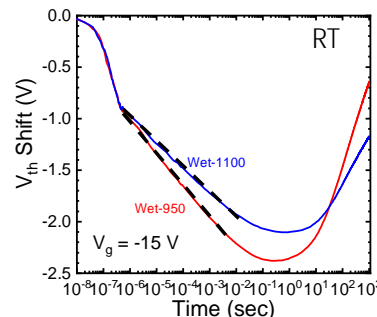
図4 Wet アニール素子のホール移動度

また、同じサンプルを用いて、高速緩和なし法により、SiC MOSFET に負バイアスを印加した時のしきい値電圧変動を算出した。図5の NO サンプルのしきい値電圧変動に関して、 $10^{-4} \sim 10^3$ 秒の曲線に注目すると、べき関数によってフィッティングすることができる($\Delta V_{th} \propto t^{0.04}$)。これは窒化したゲート酸化膜をもつ p チャネル Si MOSFET の欠陥生成を伴う NBTI モデルと類似している。図6の wet サンプルでは早い時間に負のしきい値電圧変動、遅い時間に正のしきい値電圧変動をしていることが分かる。負のしきい値電圧変動はドナー型界面準位のため、正のしきい値電圧変動は wet アニールによって形成される CO_3 を介してプロトンが酸化膜内を動くためであると考えられる。また、対数関数によってフィッティングすることができる($\Delta V_{th} \propto \ln(t)$)が、新しいトラップの生成がない p チャネル Si MOSFET の NBTI に類似している。このことより、wet サンプルにおけるしきい値電圧変動の原因は、新しいトラップの生成を伴わない正孔捕獲によるものと推測される。これらの結果をさらに詳細に解析することにより、市販 SiC MOSFET において問題となっているしきい値電圧シフトの原因を解明することにつながることを期待される。



$$\Delta V_{th} \propto -t^{0.04}$$

図5 NO サンプルのしきい値電圧シフト



$$\Delta V_{th} \propto -\ln(t)$$

図6 Wet サンプルのしきい値電圧シフト

5 . 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計9件（うち招待講演 0件 / うち国際学会 4件）

| |
|--|
| 1 . 発表者名 D. Okamoto, H. Nemoto, X. Zhang, X. Zhou, M. Somenati, M. Okamoto, S. Harada, T. Hatakeyama, N. Iwamuro, H, Yano |
| 2 . 発表標題 Threshold Voltage Instability in p-channel 4H-SiC MOSFETs Investigated by Non-relaxation Method |
| 3 . 学会等名 International Conference on Silicon Carbide and Related Materials 2019 (国際学会) |
| 4 . 発表年 2019年 |

| |
|---|
| 1 . 発表者名 X. Zhang, D. Okamoto, M. Sometani, S. Harada, N. Iwamuro, H. Yano |
| 2 . 発表標題 Different Behaviors of Interface Traps for p-type 4H-SiC MOS Capacitors with Wet and Nitrided Gate Oxides |
| 3 . 学会等名 International Conference on Silicon Carbide and Related Materials 2019 (国際学会) |
| 4 . 発表年 2019年 |

| |
|--|
| 1 . 発表者名 X. Zhou, D. Okamoto, X. Zhang, M. Sometani, M. Okamoto, S. Harada, N. Iwamuro, H. Yano |
| 2 . 発表標題 Accurate Channel Mobility Extraction and Scattering Mechanisms in 4H-SiC p-Channel MOSFETs |
| 3 . 学会等名 International Conference on Silicon Carbide and Related Materials 2019 (国際学会) |
| 4 . 発表年 2019年 |

| |
|--|
| 1 . 発表者名 周星炎, 岡本大, 張旭芳, 染谷満, 岡本光央, 畠山哲夫, 原田信介, 岩室憲幸, 矢野裕司 |
| 2 . 発表標題 pチャネル4H-SiC MOSFETのチャネルドリフト移動度の導出と散乱機構の解明 |
| 3 . 学会等名 先進パワー半導体分科会第6回講演会 |
| 4 . 発表年 2019年 |

| |
|--|
| 1. 発表者名 坂田大輝, 岡本大, 染谷満, 岡本光央, 原田信介, 畠山哲夫, 根本宏樹, 張旭芳, 岩室憲幸, 矢野裕司 |
| 2. 発表標題 高速緩和なし法によるpチャンネル4H-SiC MOSFETのしきい値電圧変動評価 |
| 3. 学会等名 先進パワー半導体分科会第6回講演会 |
| 4. 発表年 2019年 |

| |
|--|
| 1. 発表者名 岡本 大, 周 星炎, 張 旭芳, 染谷 満, 岡本 光央, 畠山 哲夫, 原田 信介, 岩室 憲幸, 矢野 裕司 |
| 2. 発表標題 SiC pチャンネルMOSFETの正孔輸送機構の解析 |
| 3. 学会等名 第25回電子デバイス界面テクノロジー研究会 |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 岡本 大, 染谷 満, 坂田 大輝, 張 旭芳, 松谷 優汰, 畠山 哲夫, 岡本 光央, 原田 信介, 矢野 裕司, 岩室 憲幸 |
| 2. 発表標題 On-the-flyチャージポンピング法によるSiC MOSFET 負バイアスストレス時の界面トラップ生成解析 |
| 3. 学会等名 第67回応用物理学会春季学術講演会 |
| 4. 発表年 2020年 |

| |
|--|
| 1. 発表者名 X. Zhou, D. Okamoto, T. Hatakeyama, M. Sometani, S. Harada, X. Zhang, N. Iwamuro, H. Yano |
| 2. 発表標題 Mobility limiting mechanisms in p-channel 4H-SiC MOSFETs investigated by Hall-effect measurements |
| 3. 学会等名 12th European Conference on Silicon Carbide and Related Materials (ECSCRM) (国際学会) |
| 4. 発表年 2018年 |

| |
|---|
| 1. 発表者名 周星炎, 岡本大, 畠山哲夫, 染谷満, 原田信介, 岡本光央, 張旭芳, 岩室憲幸, 矢野裕司 |
| 2. 発表標題 Hall効果測定によるpチャネル4H-SiC MOSFETのチャネル輸送機構の解明 |
| 3. 学会等名 先進パワー半導体分科会第5回講演 |
| 4. 発表年 2018年 |

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

| | 氏名 (ローマ字氏名) (研究者番号) | 所属研究機関・部局・職 (機関番号) | 備考 |
|--|---------------------------|-----------------------|----|
| | | | |