

令和 2 年 6 月 15 日現在

機関番号：14303

研究種目：若手研究(B)

研究期間：2017～2019

課題番号：17K14667

研究課題名（和文）低電力スーパーコンピュータの高信頼性設計法の提案

研究課題名（英文）Radiation-hardened Design for Low-power Supercomputers

研究代表者

古田 潤 (Furuta, Jun)

京都工芸繊維大学・電気電子工学系・助教

研究者番号：30735767

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：本研究では組み合わせ回路の遅延時間によってフリップフロップで生じた放射線起因のエラー（ソフトエラー）の除去効果を重イオンの照射実験を用いて実測にて確認を行った。その結果、組み合わせ回路の遅延時間がクロック周期の大部分を占める480MHzの動作周波数の時には500kHzの動作周波数と比較して2倍から4倍のエラー耐性を実現することを確認した。また、ガードゲート構造を利用した新しい耐放射線フリップフロップの提案を行った。重イオンの照射実験の結果、マスターラッチのエラー耐性が100倍に向上することを確認した。

研究成果の学術的意義や社会的意義

従来のソフトエラー対策では全てのフリップフロップにエラー対策を施すために、過剰な対策かつ回路の消費電力の増加が極めて大きくなっていった。しかし本研究結果により、組み合わせ回路の遅延時間が大きいフリップフロップのエラーはその遅延時間によりエラーの伝播が阻害されることを示した。この組み合わせ回路の遅延時間による除去効果を考慮してソフトエラー対策を施すことで、全てのフリップフロップにエラー対策を施した場合と同等のソフトエラー耐性を実現しつつ消費電力を抑えることが可能となる。

研究成果の概要（英文）：We measured single event upsets (SEUs) in a 65 nm FDSOI process by heavy ion irradiation tests. SEU rates on a latch on a flip-flop depend on clock frequency and delay time of a combinational logic since SEU on slave latches cannot propagate through the combinational logic before clock signal turn to "1". SEU rates at 480 MHz are 2x - 4x smaller than those at 500 kHz. We also proposed radiation-hardened flip-flop which is based on guard gate structure. Proposed flip-flop achieves 100 times higher soft error resilience.

研究分野：デジタル回路

キーワード：ソフトエラー 重イオン フリップフロップ

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

世界最高峰の演算能力を持つ京コンピュータは稼動時に 3 万世帯相当もの電力を消費する。京コンピュータでは電源電圧を下げることで消費電力抑制を行なっている。近年では Green500 と呼ばれるエネルギー消費効率の良いスーパーコンピュータのランク付けも行われ、演算能力と消費電力の両立に注目が集まっている。スーパーコンピュータのもう一つの課題は放射線による誤動作、ソフトエラーである。宇宙から飛来する中性子が LSI に衝突すると電子正孔対を生成する。この電荷によってトランジスタの出力が一時的に反転し、フリップフロップ (FF) や SRAM の記憶データが反転する。一般的な家電製品では数十年に 1 回程度しか生じず、再起動により復旧可能であるため、ソフトエラーは問題とならない。しかし 9 万の LSI で構成される京コンピュータでは数分に 1 回発生する計算となり、100 倍の耐性を実現してようやく 1 日無故障動作が実現可能となる。次世代スーパーコンピュータの開発には演算能力の向上の他に、低電圧動作による消費電力抑制技術、ソフトエラー対策技術による高信頼性設計を達成しなければならない。

2. 研究の目的

本研究の目的ではスーパーコンピュータに最適なソフトエラー対策方法の提案である。既存のソフトエラー対策では記憶素子であるフリップフロップ全体を 3 重化するなどの処置が行われる。しかしフリップフロップで生じるソフトエラーは次段のフリップフロップに伝播しなければ誤動作とはならない (図 1)。フリップフロップ間に存在する組み合わせ回路の遅延時間が大きいほどフリップフロップのエラーが伝播する確率は減少するため、組み合わせ回路の遅延時間が大きい箇所のフリップフロップでは 3 重化などの完璧なエラー対策でなく、部分的なソフトエラー対策でも同等のエラー率を達成することが可能である。特にフリップフロップを構成するスレイブラッチで生じるソフトエラーは発生タイミングが遅く、フリップフロップがデータを保存するタイミングであるクロック信号の立ち上がりに近い。そのため、組み合わせ回路の遅延時間がクロック周期の半分以上を占める場合では必ずエラーが伝播しない。本研究ではこの組み合わせ回路の遅延時間によるエラー除去効果を確認するとともに、図 2 のように組み合わせ回路の遅延時間に最適なソフトエラー耐性フリップフロップの提案を行う。

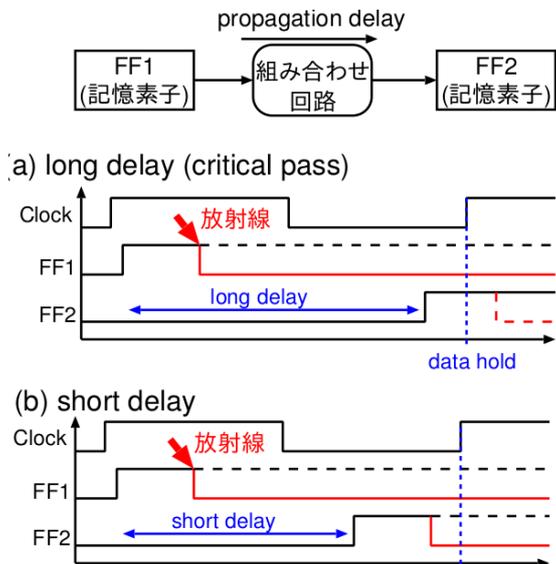


図 1 組み合わせ回路の遅延時間によるエラーの除去効果。

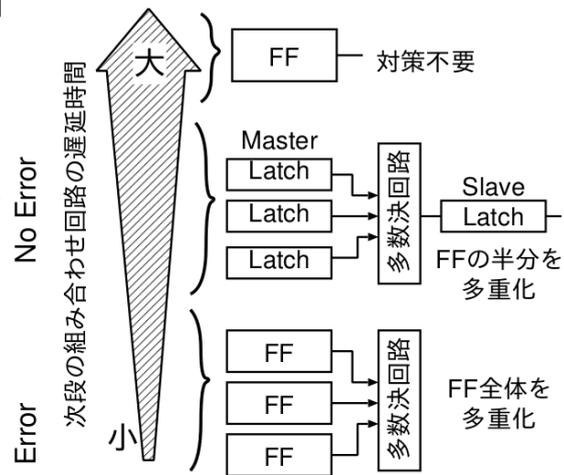


図 2 組み合わせ回路の遅延時間に適したソフトエラー対策の例

3. 研究の方法

本研究では 65nm FDSOI プロセスを用いて回路を設計し、重イオンビームを照射することでそのソフトエラー率の測定を行った。まず組み合わせ回路の遅延時間によるエラーの除去効果を測定するために、フリップフロップとバッファからなる組み合わせ回路を設計し、クロック周期を変更することで組み合わせ回路の遅延時間とクロック周期の割合を変更し、エラー率の変化を測定した。組み合わせ回路の遅延時間がクロック周期の半分以上を占める場合では、エラーの除去効果が強く発生し、エラー率が減少することを確認した。

次にスレイブラッチを変更せず、マスターラッチのみにソフトエラー耐性を持つ耐放射線フリップフロップの提案及び設計を行った。提案する耐放射線フリップフロップは Feedback Recovery FF (FRFF) と名付けた。FRFF ではスレイブラッチからマスターラッチに値を戻す構造

となっており、値が戻ってくるまでの遅延時間を利用したローパスフィルターとなっている。この構造は従来回路であるガードゲート構造を利用しているものの、遅延を確保する部分をスレイブラッチの構造を利用している点で既存回路と大きく異なる。FRFF では面積や消費電力の増加が6%以下と極めて小さい。3重化では面積、消費電力ともに3倍となるため、極めてコストの小さい対策であるといえる。

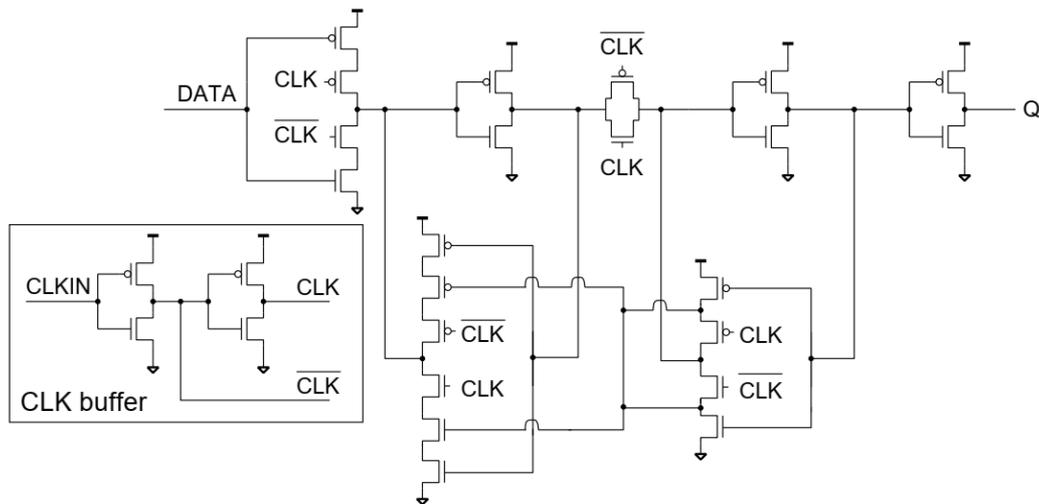


図 3 提案する耐放射線フリップフロップ (FRFF)。スレイブラッチから値を戻すための構造を追加している。

4. 研究成果

まず組み合わせ回路の遅延時間によるエラーの除去効果を実測にて確認した結果を図 4 に示す。測定対象として、マスターラッチにのみエラー耐性を持たせた 2 種類のフリップフロップ (FF1, FF2) を用意した。動作周波数を 480MHz と高速にして組み合わせ回路の遅延時間を相対的に大きくした場合には 500kHz と低速動作させた場合よりも Cross Section の値 (エラー率に相当) が約 1/2 から 1/4 と減少する結果となった。従来の研究成果ではクロック周波数が高くなるほど組み合わせ回路で生じる放射線の影響によってエラー率が増加する結果となっているが、本測定では組み合わせ回路でのエラーの増加よりも遅延時間による除去効果が高いことが確認できた。遅延時間による除去効果を利用した放射線対策の有効性を本測定結果から示すことができた。

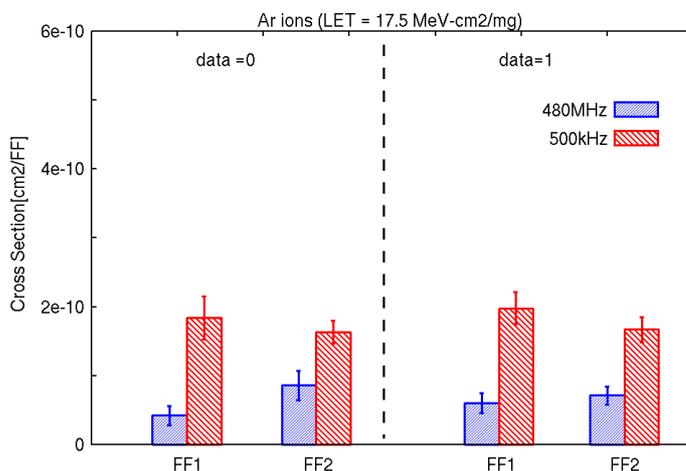


図 4 組み合わせ回路の遅延時間によるエラー除去効果の測定結果。

次に提案する耐放射線フリップフロップである FRFF のソフトエラー率測定結果を図 5 に示す。Master latch が保持状態である CLK = 1 の場合には、通常のフリップフロップと比較して 2 桁もエラー率が減少している。ガードゲート構造のフリップフロップと比較しても十分なエラー耐性の向上量となった。一方でエラー耐性を付与していない Slave latch が保持状態では通常の FF と同等のエラー率となった。この結果より提案する耐放射線フリップフロップは組み合わせ回路の遅延時間が十分に大きい場合に通常のフリップフロップよりも高いエラー耐性を実現できることを確認した。

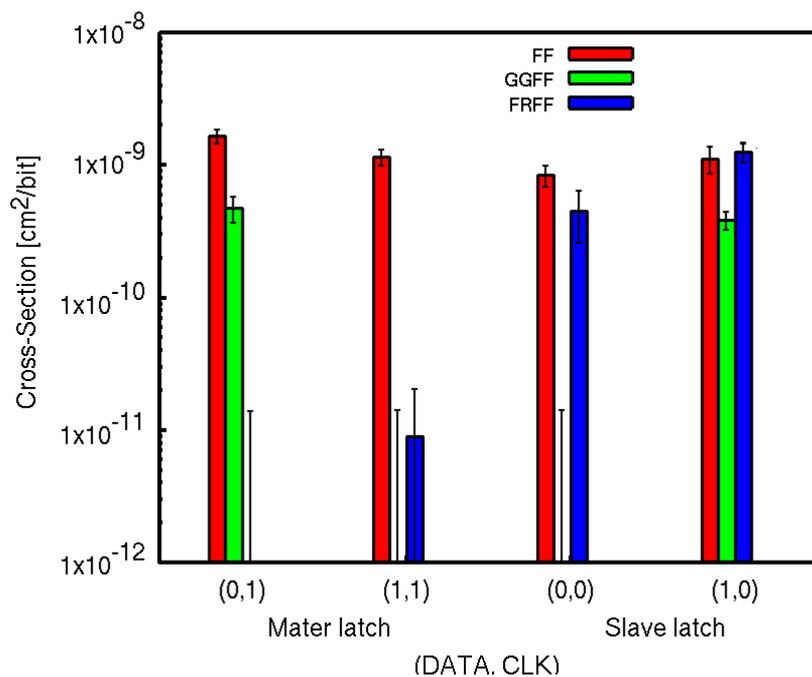


図 5 提案する耐放射線フリップフロップのソフトエラー耐性測定結果。

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 K. Yamada, M. Ebara, K. Kojima, Y. Tsukita, J. Furuta, and K. Kobayashi	4. 巻 1
2. 論文標題 Radiation-Hardened Structure to Reduce Sensitive Range of a Stacked Structure for FDSOI	5. 発行年 2019年
3. 雑誌名 IEEE Transactions on Nuclear Science	6. 最初と最後の頁 1-1
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TNS.2019.2908722	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計2件（うち招待講演 0件 / うち国際学会 2件）

1. 発表者名 J. Furuta, K. Kojima, and K. Kobayashi
2. 発表標題 Evaluation of Heavy-Ion-Induced SEU Cross Sections of a 65 nm Thin BOX FD-SOI Flip-Flops Based on Stacked Inverter
3. 学会等名 The conference on Radiation and its Effects on Components and Systems（国際学会）
4. 発表年 2018年

1. 発表者名 J. Furuta, Y. Tsukita, K. Yamada, M. Ebara, K. Kojima, and K. Kobayashi
2. 発表標題 Impact of Combinational Logic Delay for Single Event Upset on Flip Flops in a 65 nm FDSOI Process
3. 学会等名 IEEE International Reliability Physics Symposium（国際学会）
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 （ローマ字氏名） （研究者番号）	所属研究機関・部局・職 （機関番号）	備考
---------------------------	-----------------------	----