

令和 2 年 6 月 7 日現在

機関番号：12601

研究種目：若手研究(B)

研究期間：2017～2019

課題番号：17K14684

研究課題名(和文) 極低消費電力無線センサノードを実現するリング型周波数シンセサイザの研究

研究課題名(英文) Research on Ultra-Low Power Ring-Oscillator Based Frequency Synthesizer for Wireless Sensor Nodes

研究代表者

徐 祖樂 (Xu, Zule)

東京大学・大学院工学系研究科(工学部)・特任講師

研究者番号：50778925

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：周波数シンセサイザの極低消費電力と低位相雑音の両立に研究の主眼を置く。DTC-based injection-lock PLLとSPD-based PLLを提案して実測した。実測結果を踏まえ、ロック範囲補正付きDTC-and-SPD-based fractional-N PLLを提案して試作した。2.8-ps rmsジッタと0.45-mW消費電力達成を見込んでおり、極低消費電力と低位相雑音の両立が可能とした。また、PLLの広帯域化と高速起動について考案して提案した。位相検出器とspur低減手法に関する新たな発想もでき、小面積ADCと低spur dual-loop PLLも開発した。

研究成果の学術的意義や社会的意義

周波数シンセサイザ(PLL)について、低位相雑音にしながら従来リング型PLLの数10-mW以上定常消費電力をsub-mWレベルまで低減できた。広ループ帯域幅でリング発振器位相雑音を抑えるため、その効果、ノイズの抑制だけではなく、PLLの起動時間も大幅に短縮可能となった。逐次比較高速起動手法を加え、間欠動作に合わせて更なる低消費電力化が可能となる。他の提案した広帯域発振器、新規位相検出器とspur抑制手法も含め、本研究で創出した技術は、極低消費電力IoT無線機に应用可能と考える。将来の大規模センサネットワークの普及に役に立つことを期待できる。

研究成果の概要(英文)：The main objective is to achieve both extremely low power consumption and low phase noise of a frequency synthesizer (PLL). DTC-based injection-lock PLL and SPD-based PLL were proposed, fabricated, and measured. Based on these results, we proposed and prototyped a DTC-and-SPD-based fractional-N PLL with lock range correction. It expects to achieve 2.8-ps rms jitter and 0.45-mW power consumption. It is possible to achieve both extremely low power consumption and low phase noise. We also proposed a wideband oscillator, a fast startup method, an ADC-based phase detector, and a spur-reduction dual-loop PLL.

研究分野：回路設計

キーワード：周波数シンセサイザ 無線機 IoT

1. 研究開始当初の背景

Internet-of-things (IoT) の大量導入に伴い、世界のセンサノード数が 2025 年に一兆個を超えると予測されている。センサネットワークを大規模化されつつあり、インフラ、交通、農業、気象などへ応用することが期待されている。それを実現する鍵となるのは、極低消費電力かつ小型な無線センサノード集積回路である。センサノードの低消費電力化をするには、電力の半分以上を占める無線機の消費電力を削減するのが重要である。無線機の中では、約 75% の電力は周波数シンセサイザ (PLL) が消費する。通信時のみ動作させ、通常に停止させる「間欠動作」が平均消費電力を減らすのに有効な手段であるが、その上で PLL の数 10-mW 定常消費電力と数 10- μ s 起動時間をさらに低減さなければならない。また、IoT 通信規格が複数あり、一つの PLL で各周波数帯に対応できることが求められている。

2. 研究の目的

本研究では、上記の背景から、無線センサノードに向けた PLL を考案して新規集積回路を創出する。主な研究目的は、低消費電力と低位相雑音の両立である。PLL の消費電力は基本的に位相雑音 (またはジッタ) に正比例の関係があり、消費電力低減の一方、IoT 通信規格満たす必要がある。このトレードオフ関係を探究し、最適な回路構造・技術を模索して提案する。また、一つの PLL で低消費電力用途の IoT 無線帯域 0.3 – 3.0 GHz をすべて対応することを目標とする。最後に、センサノードの間欠動作に向けた高速起動手法も考案する。

3. 研究の方法

まずは、PLL の発振器タイプを検討した。LC 型発振器は位相雑音が低い、可変周波数範囲が狭く、上記の周波数帯域に対応できないと考えられる。そしてインダクタの面積が大きいという欠点もある。一方、リング型発振器は、幅広い周波数帯に対応でき、面積も 5 倍以上小さいというメリットがあるが、位相雑音が高いという課題がある。本研究では、広帯域と小面積を求め、リング型発振器をベースとして PLL を設計する。PLL 自身が負帰還ループであるため、このループによって発振器の高い位相雑音を抑制する技術を提案する。リング発振器型低雑音極低消費電力 PLL を実現するために下記の段階に沿って研究を進めていた。

1) アーキテクチャの検討と検証

研究目的に合わせて可能な限りに回路構成を簡潔にするという原則で PLL のアーキテクチャを検討した。リング発振器の位相雑音を抑えるためにループ帯域幅を広げる一方で、位相検出器による帯域内雑音が増えるということが分かる (図 1)。それに加え、従来の type-II PLL の帯域幅がいわゆる Gardner's limit に限られ、より広く設定できない。これらの課題に対し、injection-lock PLL (図 2) と sampling-phase-detector (SPD)-based type-I PLL を検討した (発表成果[1])。後者と比べ、前者は reference spur が高い、環境変動にセンシティブという欠点がある。また、従来の type-I PLL ではほとんど integer-N に限られ、周波数分解能が足りず、無線応用に不向きという課題がある。なぜなら、SPD のロック範囲が狭いからである。これらの課題に対し、本研究では、後者を踏まえ、新たなロック範囲補正回路が組み込まれた fractional-N SPD-based PLL の提案に至った (図 3)。Matlab/Simulink を用いて PLL の位相雑音と基本動作を検証した (発表成果[2])

2) 各ブロック回路の低消費電力化・低雑音化の考案、PLL の試作と評価

前述の injection-lock PLL と SPD-based PLL について、TSMC 65-nm CMOS プロセスで、発振器や DTC など各回路の低消費電力化と低雑音化を行い、全体回路を設計し、集積回路を試作して評価した。

3) 広帯域化・起動の高速化の提案と検証

リング発振器設計の最適化に工夫し、0.3 – 3 GHz に対応可能とした。また、周波数逐次比較手法による起動の高速化について、シミュレーションでループ動作を確認した。

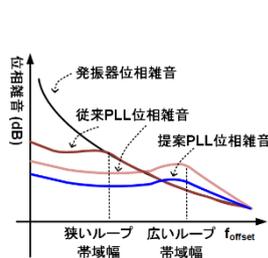


図 1. PLL のループ帯域幅と位相雑音

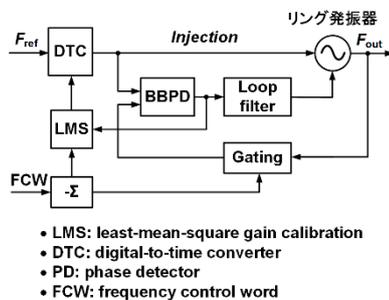


図 2. 提案した injection-lock PLL

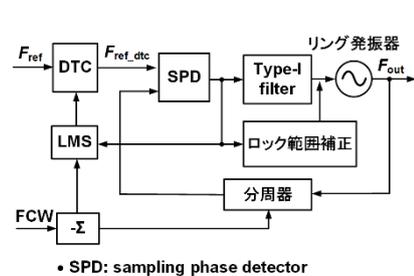


図 3. 提案した SPD-based PLL

4. 研究成果

1) SPD-based type-I PLL の解析、設計および実測結果

10-bit A/D 変換器を用いた SPD-based type-I デジタル PLL を提案し、ループ設計を解析し、TSMC CMOS 65-nm プロセスで試作した。約 20-MHz ループ帯域幅の設定を可能としたため、リング発振器の位相雑音を大幅に抑制できた。SPD が他種類の位相検出器より時間/電圧変換利得が高いため、帯域幅内ノイズをより低消費電力で抑えることができる。これらのメリットによって、PLL 全体の消費電力と位相雑音の低減が可能となった。チップ実測した結果、50-MHz 参考周波数、2.0-GHz 出力周波数において、rms ジッタが 2.0 ps、消費電力が 3.1 mW である。発表論文の中では、ノイズとループ帯域幅のトレードオフ関係を明らかにし、よりシンプルなループ遅延補償手法も提案した。チップ写真と測定した位相雑音を図 4 に示す。性能比較を図 5 に示し、世界トップレベルの性能を達したということが分かる。しかしながら、消費電力が 3.1 mW で、「極低」とは言えない。そのうち、リング発振器が 2.0 mW 程度、A/D 変換器が 0.5 mW 程度、デジタル制御部が 0.6 mW 程度掛かる。余分な部分をさらに除いて消費電力を下げる必要があると考えていた。また、本 PLL はまだ integer-N に限られ、無線向けの fractional-N 型にするには、前述の DTC などの回路ブロックを加える必要がある。

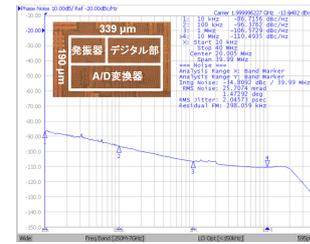


図 4. SPD-based type-I PLL チップ写真と測定した位相雑音

Type	This work	[23] ISSCC 14	[6] ISSCC 15	[24] JSSC 10
	Type-I	Type-II BB	Type-I	Type-II
CMOS (nm)	65	40	45	65
Ref., Out (MHz, GHz)	50, 2.0	26, 2.4	22.6, 2.4	26, 0.8
RMS jitter (ps)	2	3.29	0.97	22
	(10k-40M Hz)	(10k-40M Hz)	(1k-200M Hz)	
Power (mW)	3.1	6.4	4	3.2
Area (mm ²)	0.064	0.013	0.015	0.05
FoM (dB)	-229.1	-221.6	-234.1	-208.1
Ref. Spur (dBc)	-65	-75	-65	-52

図 5. SPD-based Type-I PLL 性能比較

2) Injection-lock fractional-N PLL の設計と実測結果

消費電力とジッタのバランスを取るもう一つの有望な技術は injection lock である。本研究では、DTC-based fractional-N injection-lock PLL を提案して設計した (図 2)。DTC を用いることで従来の DSM 型 fractional-N PLL の高周波量子化ノイズを避けることが可能である。また、PLL ループがロックした後、injection lock パスだけで周期的エッジ注入によってリング発振器の位相雑音をクリアすることができる。その結果、低消費電力化と低位相雑音化が可能となる。位相検出器の部分では、10-bit A/D 変換器を除いて代わりに 1-bit の BBPD を利用した。TSMC CMOS 65-nm プロセスで試作した。チップ実測した結果、100-MHz 参考周波数、1.075-GHz 出力周波数において、rms ジッタが 0.92 ps、消費電力が 3.83 mW、reference spur が -42 dBc である。チップ写真と測定した位相雑音を図 6 に示す。性能比較は図 7 に示し、世界トップレベルの性能を達したということが分かる。しかしながら、前述の同じ原因で消費電力がまだ「極低」ではないということも分かる。また、injection-lock 技術では、reference spur が高く、注入タイミングも動作環境に影響される傾向があるため、無線応用に適用しにくいということも分かった。

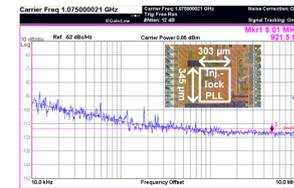


図 6. Inj.-lock fractional-N PLL チップ写真と測定した位相雑音

	This work	Lin	Lee	Deng
		CICC 18 [6]	ISSCC 18 [4]	ISSCC 15 [3]
CMOS tech. (nm)	65	65	28	65
Fractional-N?	Yes (DTC)	Yes (DTC)	Yes (Interp. TDC)	Yes (soft inj.)
Ref. freq. (MHz)	100	100x2*	80	380
Out. freq. (GHz)	1.0875	0.97	2.056	1.5222
Area (mm ²)	0.1	0.12	0.0043	0.05
Int. rms jitter (ps)	0.94	1.2	2.13	3.5
	(10k-10MHz)	(10k-10MHz)	(10k-100MHz)	(1k-100MHz)
Power (mW)	3.83	2.5	6.95	3
FoM (dB)*	-234.7	-234.4	-225	-224.2

図 7. Inj.-lock fractional-N PLL 性能比較

3) DTC-and-SPD-based fractional-N PLL の

上記の検討・実測結果を踏まえ、図 3 に示すような極消費電力 fractional-N PLL を提案した。前述の SPD-based type-I PLL の利点を活かして消費電力と位相雑音のよいバランスを取ってある。9-bit 極低消費電力化した DTC を利用して fractional-N 型の構成をさせ、SPD の狭いロック範囲の課題に対し、新規な補正回路を提案した。フィルタの部分は、従来の charge pump やデジタルではなく、スイッチキャパシタの構成によって低消費電力と小面積が可能となる。従来のリング発振器は、ラッチサイズと段数を増やすほど消費電力が増加するため、本研究では、容量フィードバック 2 段差動リング発振器を設計した。TSMC CMOS 65-nm プロセスで試作し、チップ評価する予定である。ループ解析とシミュレーションの結果、20-MHz 参考周波数、2.4-GHz 出力周波数において、2.8-ps rms ジッタと 0.45-mW 消費電力を見込んでいる。低位相雑音と極低消費電力の達成を予想する。解析した位相雑音と試作したチップのレイアウトを図 8 に示す。

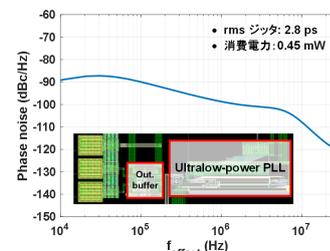


図 8. 極低消費電力 PLL の解析した位相雑音とチップレイアウト

ループ解析とシミュレーションの結果、20-MHz 参考周波数、2.4-GHz 出力周波数において、2.8-ps rms ジッタと 0.45-mW 消費電力を見込んでいる。低位相雑音と極低消費電力の達成を予想する。解析した位相雑音と試作したチップのレイアウトを図 8 に示す。

4) 広帯域と高速起動の考案

当初、計画として 0.6 – 6 GHz の周波数帯域を目指したが、IoT 無線通信における低消費電力用途のみの帯域に満たせば十分ということが分かり、300 MHz、920 MHz、および 2.4 GHz 帯に対応するように目標を 0.3 – 3 GHz へ変更した。電流方式の 4-bit coarse tuning と 4-bit medium tuning、および容量方式の 5-bit fine tuning のように、デジタルコントロール発振器を Renesas SOTB 65-nm プロセスで設計した。回路のレイアウトを図 9 に示す。シミュレーションした結果、可変周波数範囲が 0.5 – 3 GHz、消費電力が 3 GHz において 0.4 mW、位相雑音が 3 GHz において -85 dBc/Hz@1MHz である。2 分周器を付けたら出力周波数が 0.3 GHz までも対応可能である。

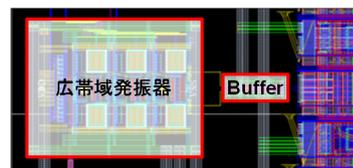


図 9. 試作した広帯域低消費電力発振器

PLL の高速起動について、10 MHz 程度のループ帯域幅を有することで、fine tuning の部分は 1 μ s 以内にロックすることができる。Coarse tuning の部分は、周波数の変化が大きく、ループの非線形により、ロックが遅いまたはロック不能の可能性がある。Coarse tuning を加速するために周波数を逐次比較してロックさせる手法を考案した。例えば、50-MHz 参考周波数、8-bit 逐次比較の場合、ロック時間が 160 ns となり、従来ループの数 μ s ロック時間より大幅に短縮することが分かる。Simulink で検証したループ起動動作を図 10 に示す。ループ全体が 1 μ s 以内にロック可能ということが分かる。ただし、一般的に DTC ゲイン校正回路 (図 2 と図 3 の LMS) が安定するまで時間が数 10 – 数 100 μ s まで掛かり、この部分の時間を短縮しなければならない。また、参考周波数を生成する水晶発振器の起動時間は数 ms も掛かる。近年、高速起動手法が提案されたが、それでも数 10 μ s 掛かるというのが現実である。この二つの課題について、今後、研究続けるべきである。

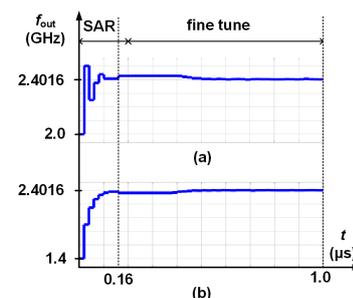


図 10. 初期周波数 (a) 2.0 GHz と (b) 1.4 GHz の場合の逐次比較高速起動検証結果

5) 位相検出器としての multi-bit ADC と spur 低減手法

上記の研究内容を踏まえ、本研究では位相検出器と spur 低減手法も発想でき、集積回路を試作して実測した。

まずは、1-bit の BBPD は精度が不足しており、PLL の起動時間、起動時の周波数可変範囲、および LMS 校正に大きく影響していることが分かった。本研究を進めていた同時に位相検出器としての小面積 A/D 変換器も考案して TSMC CMOS 65-nm プロセスでチップを試作した。0.0053 mm² コア面積、4-bit 程度有効ビットという性能を達成した。(発表成果[3])

また、DTC の非線形性によって fractional spur が生じるというのが、近年の fractional-N PLL の基本課題である。この課題のものと原因は、非線形性による spur が出力まで PLL の通倍数で増幅されるということである。2019 年、国際会議 ISSCC にてこの通倍関係を解消する triple-loop PLL が提案された。解消する鍵がループの中で分周器ではなくミキサーを用いるというのが分かった。これに基づいて、我々は dual-loop PLL という新たなアーキテクチャを提案して試作して実測した。測定した結果、3.2 – 3.8 GHz 出力周波数において、worst-case fractional spur が -69 dBc である。(発表成果[4][5])

発表成果 (査読あり)

- [1] **Z. Xu**, A. Firdausi, M. Miyahara, K. Okada, and A. Matsuzawa, "Type-I Digital Ring-Based PLL Using Loop Delay Compensation and ADC-Based Sampling Phase Detector", *IEICE Trans. Electronics*, Vol.E102-C, No.7, pp.520-529, Jul. 2019.
- [2] **Z. Xu**, T. Kawahara, "A Saturating-Integrator-Based Behavioral Model of Ring Oscillator Facilitating PLL Design", *IEICE Trans. Electronics*, Vol.E100-C, No.4, pp.370-372, Apr.2017.
- [3] N. Ojima, **Z. Xu**, T. Iizuka, "A 0.0053-mm² 6-Bit Fully-Standard-Cell-Based Synthesizable SAR ADC in 65nm CMOS", *IEEE NEWCAS*, pp. 1-4, Munich, Germany, Jun. 2019.
- [4] M. Osada, **Z. Xu**, T. Iizuka, "A 3.2-to-3.8GHz Calibration-Free Harmonic-Mixer-Based Dual-Feedback Fractional-N PLL Achieving -66dBc Worst-Case In-Band Fractional Spur", pp. 1-2, *IEEE VLSIC*, Virtual, Jun. 2020.
- [5] T. Iizuka, **Z. Xu**, M. Osada, "Fractional Phase Locked Loop Circuits and Phase Locked Loop Circuit Devices", Japan Patent Application No. 2019-192731.

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 Zule Xu, Anugerah Firdauzi, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa	4. 巻 E102-C
2. 論文標題 Type-I Digital Ring-Based PLL Using Loop Delay Compensation and ADC-Based Sampling Phase Detector	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Electronics	6. 最初と最後の頁 520 ~ 529
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 XU Zule, KAWAHARA Takayuki	4. 巻 E100.C
2. 論文標題 A Saturating-Integrator-Based Behavioral Model of Ring Oscillator Facilitating PLL Design	5. 発行年 2017年
3. 雑誌名 IEICE TRANSACTIONS on Electronics	6. 最初と最後の頁 370 ~ 372
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/transele.E100.C.370	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計2件（うち招待講演 0件 / うち国際学会 2件）

1. 発表者名 Masaru Osada, Z. Xu, Tetsuya Iizuka
2. 発表標題 A 3.2-to-3.8GHz Calibration-Free Harmonic-Mixer-Based Dual-Feedback Fractional-N PLL Achieving -66dBc Worst-Case In-Band Fractional Spur
3. 学会等名 IEEE VLSIC 2020（国際学会）
4. 発表年 2020年

1. 発表者名 Naoki Ojima, Zule Xu, and Tetsuya Iizuka
2. 発表標題 A 0.0053-mm ² 6-bit Fully-Standard-Cell-Based Synthesizable SAR ADC in 65 nm CMOS
3. 学会等名 IEEE NEWCAS 2019（国際学会）
4. 発表年 2019年

〔図書〕 計0件

〔出願〕 計1件

産業財産権の名称 フラクショナル位相同期回路および位相同期回路装置	発明者 飯塚哲也、徐祖楽、 長田将	権利者 同左
産業財産権の種類、番号 特許、No. 2019-192731	出願年 2019年	国内・外国の別 国内

〔取得〕 計0件

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----