

令和 2 年 7 月 13 日現在

機関番号：37301

研究種目：挑戦的研究(萌芽)

研究期間：2017～2019

課題番号：17K18783

研究課題名(和文)ALICE増強における究極的超高帯域データ収集システムの要素開発

研究課題名(英文)Component development for ultimate high band-width data acquisition system for future nuclear and high-energy experiments

研究代表者

田中 義人(Tanaka, Yoshito)

長崎総合科学大学・工学研究科・教授

研究者番号：30269089

交付決定額(研究期間全体)：(直接経費) 5,000,000円

研究成果の概要(和文)：CERN LHCのALICE実験のTPC検出器高度化(GEM-TPC)や、J-PARC重イオン計画等の将来の高輝度高エネルギー原子核衝突実験に必須となる、超高帯域オンラインデータ即時処理システムの開発を行った。本システムは、Intel/AlteraのArria10 大型FPGAをベースとし、一般的PCによるデータ処理速度を大幅に上回る、ノードあたり80Gbpsにて検出器のADCデータを読み込み、処理することが可能である。FPGA上にはペDESTAL除去、コモン・モードノイズ除去、電子クラスタ識別などの処理を連続的に行うアルゴリズムを搭載し、CERN実験施設において実機による動作確認に成功した。

研究成果の学術的意義や社会的意義

近年の高エネルギー物理学実験では、検出器と加速器の性能向上により検出器が吐き出すデータの流量が数テラbpsを超える。特に原子核実験では、イベントあたりの粒子密度も大きく、従来からあるハードウェア・トリガによるイベントの取捨選択は最早不可能である。従って、検出器データを全て取り込み、高度な解析アルゴリズムを連続的に適用し解析するシステムが必須となる。本研究はこのような解析システムを、FPGA等の量産が確立された民生部品の組み合わせによって構築し、大規模なアクセラレーションを行うための要素技術を確立した。この技術は今後の実験技術並びに原子核物理学に大きな躍進をもたらすであろう。

研究成果の概要(英文)：We developed a very-high bandwidth continuous online data processing system for the upgraded GEM TPC detector of the ALICE experiment at CERN LHC and also future high energy high luminosity nuclear experiments such as J-PARC heavy ion project. The developed system is based on Intel/Altera large scale FPGA Arria10, and data input throughput reaches 80 Gbps per node which is much faster than normal computers can have. We implemented pedestal subtraction filter, common mode noise reduction filter, and clustering algorithm inside FPGA, and successfully tested at CERN experiment facility together with the actual TPC detector and its front-end system.

研究分野：電子工学

キーワード：高エネルギー原子核衝突実験 粒子検出器 データ収集系 TPC アクセラレーション FPGA クォーク・グルーオン・プラズマ ALICE

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。

## 1. 研究開始当初の背景

欧州原子核研究機構(CERN)の大型ハドロン衝突型加速器(LHC)における大型原子核実験施設の一つである ALICE 実験は、鉛原子核同士の衝突により史上最高温度の「非閉じ込めクォーク物質」を生成し、その性質を解明し、強い相互作用が織りなす系の本質的理解を深めることを目的とする。2010 年から累計 6 年にわたり史上最高エネルギーによる原子核衝突実験データを蓄積・解析し、衝突により創った極限状態物質の流体的膨張、阻止能をはじめとする多様な発見を通じ、非閉じ込めクォーク物質の存在とその性質を明らかにした。それらの測定が進むにつれ、より精密な測定を多角度から行うためには、量子色力学のカイラル対称性の破れによる質量獲得機構に依存せず、高温下でも安定したプローブである、 $c$ 、 $b$  といった重クォークを積極的に用い、これらを低運動量まで測定することが必須であることが、次第にわかってきた。しかし、生成量が通常のクォークに比べて 2 桁小さい重クォークの測定は容易ではなく、検出器の大幅な高速化が必要であった。本研究開始の 3 年程前、連携研究者らによる TPC(Time Projection Chamber) アップグレード検討チームは、その手段として、MWPC(Multi-Wire Proportional Chamber)に代えて GEM(Gas Electron Multiplication)を電子増幅機構とした新型 TPC の実現に向け、R&D を開始した[1]。これにより TPC は従来の 500 Hz 程度のイベントレートからその 100 倍である 50 kHz まで耐えうるものとなる。研究開始当初、これらの R&D が全て終了し、GEM-TPC の建造段階に入っていた。しかし、ここで問題となるのが、その生成するデータ量である。50 万チャンネルを超える ADC(5 MHz, 10 bit)が生成するデータ量は 3.5 TB/s を超える。このデータレートで何カ月もの間全データを記録することは技術的には可能であるがコストの面で到底不可能であった。また、特に原子核衝突のように単位ラピディティ当たりの粒子数密度が 2000 を超えるような高粒子密度環境では、従来のハードウェア・トリガによって、低運動量の重クォーク起源のハドロンを検出することはほぼ不可能である。このため、TPC のデータをすべて一旦連続的にトリガレスにて取得し、即時解析し、大幅なデータ削減をするよりほかない。

ALICE 実験は当初このような大きな課題を抱えていた例であったが、同様に J-PARC で計画されている重イオン実験、ドイツ GSI 研究所の FAIR 加速器計画における重イオン実験等、今後の多くの中高エネルギー原子核実験は、より稀なプローブ・現象を追究する流れとなっており、同様の問題に直面することは明白であった。

我々はこの ALICE のデータ収集装置を例として、大規模オンラインデータ処理の問題を解決することが今後の実験物理学にとって重要であると認識し、本研究課題を開始した。

## 2. 研究の目的

本研究の目的は、ALICE TPC をはじめとした、今後の大規模物理学実験において必要不可欠となる、新型超広帯域トリガレス連続読み出しデータ収集システムの基礎技術開発を行うことである。これは即ち、検出器データを全てオンラインで即時処理する、究極的 DAQ への挑戦である。本システムでは、FPGA(Field Programmable Gate-Array)と GPU(Graphic Processing Unit)や CPU といった異種の処理装置を融合させ、ノードあたり 100 Gbps 程度のデータ処理能力を目指す。

## 3. 研究の方法

本研究では、ハイエンド FPGA を積極的に用いた新型データ収集システムの基礎となる技術開発を行った。FPGA は昨今産業・通信・金融における需要のため急速に発展しており、通常の CPU が苦手とする高スループット・並列処理を得意とする。現在最高度の製品は単体で数十 GB/s のデータ処理を可能とし、本研究の用途に相応しい。とりわけ、近年の FPGA は多くの高速 SERDES(Serializer/Deserializer)を有し、検出器データを直接受信し、比較的単純なフィルタ処理を行うのに最適である。FPGA で処理されたデータを、高速バスにより GPU および CPU に転送し、より複雑な解析、例えばトラッキング処理を行うのが、本システムの基本構想となる。

本研究の準備段階より ALICE で共同開発してきた Intel/Altera 社の Arria10 FPGA を搭載する PCI Express カードを、計算機に組み込み、この FPGA に搭載するファームウェアの開発を行い、動作の確認を行った。この PCI Express カードは、私たちの主目的である GEM-TPC 検出器に限らず、ALICE 実験次々世代検出器、更に ALICE 以外の LHC の実験(LHCb)においても活用されるため、我々はこれを Common Readout Unit (CRU)ボードと名付けた。この CRU ボードを PC に組み込み、CRU ノードとした。図 1 にこれらを用いた増強後 TPC のデータ処理の流れを示す。

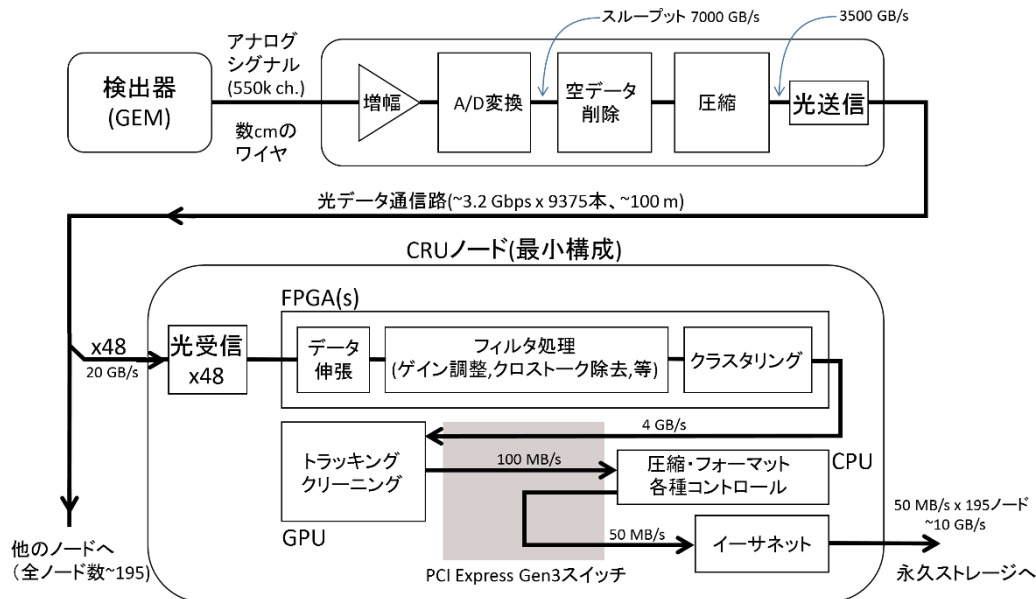


図1: ALICE における CRU を用いたデータ処理の流れ

TPC において、CRU は検出器近傍に搭載された 9375 器の前段回路から送られる総計 3.5TB/s のデータを途切れなく受け取り、55 万チャンネルのデジタル化された検出器波形データを処理する。FPGA によりデジタル・シグナル処理を施し、さらに時間・空間方向への相関を探索する。次に GPU により粒子飛跡の 3 次元再構成を行う。PCI Express Gen3 バスを搭載する一般的なサーバ型 PC に、最新 FPGA と GPU を結合することで、演算処理を高度に並列化し、ノードあたり 80~160 Gbps 程度のデータスループットを達成することを目標とした。これは一般的な PC が処理できる速度の 10 倍以上である。

本研究では、このシステムの中で特に重要な、CRU ボードの FPGA に搭載するファームウェアの開発に特に焦点を絞った。このファームウェアには、様々な信号処理アルゴリズム、多数光リンクのプロトコル処理、データ圧縮、PCI Express インターフェースなどの基礎要素が含まれる。加えて、本研究は既存 CPU コードを含む様々なアルゴリズムの FPGA 化という、計算機科学としての研究要素を含む。

開発したファームウェアを FPGA に搭載し、別グループが開発している ADC 等を搭載した前段読出し回路と結合し、データが連続的処理可能であることを確認する作業を行った。その後、テスト運用・評価を行い、量産に向けた要素開発を終了した。

#### 4. 研究成果

ALICE 実験における TPC のデータのオンライン処理の実現を最初のターゲットとして、FPGA によるデジタル信号処理アルゴリズムの設計を中心に開発を進めた。TPC は、約 55 万チャンネルもの ADC を有し、このデータをコストも考慮しながら如何に少ない FPGA で処理可能かを見積もる事が最初の課題であった。シミュレーションおよびコスト・バランスの検討により、Arria10 FPGA を搭載した CRU ボード一基につき、最大 1600 チャンネルの ADC データを処理可能であることがわかった。これにより、FPGA 一基あたりの入力スループットは 80 Gbps となり、必要な FPGA の数は 360 となる。データ入力は FPGA が有する SERDES を用い、この上に CERN GBT プロトコルを搭載し、4 Gbps の光ファイバ 20 本によって並列に行う。この入力を FPGA により 25%程度即ち 20 Gbps にまでオンライン圧縮し、PCI Express Gen3 バスを介して CPU に送信することとした。

ハードウェア記述言語 (VHDL) による開発を開始し、SERDES を用いた検出器データの取得、ADC のペダスタル値の除去、電子クラスタの発見および特徴量の算出、PCI Express へのデータの受け渡し、などを行う種々のアルゴリズム等を実装した。実装したアルゴリズムについてまとめたものが、表 1 である。全アルゴリズムの初期バージョンの実装が 2018 年までに完了した。

これらの実装状況と将来計画に関して、2018 年 2 月には、原子核実験以外の分野の研究者も招いて研究会「異種デバイス高速結合型高密度情報処理システムの展望」を開催した。本会議では琉球大学・長崎大学・東京大学・佐賀大学・原子力研究開発機構の情報処理および原子核実験研究者ら 10 名が参加し、異分野間での技術情報の交換に成功した[2]。

表 1: CRU FPGA に実装したデジタルデータ処理アルゴリズム

データ処理アルゴリズム	処理の内容
データ・ソーティング	GBT よりシリアルにて入力されるデータを、検出器の実際のジオメトリに並べ替える、1600-to-1600(10bit)の巨大ルーティングマトリクス
ペDESTAL除去	ADC 毎で異なるペDESTAL値を除去する
コモン・モード除去	1600 チャンネルの ADC に共通した、コモンモードノイズの強度を計算し、削除する
クラスタリング	TPC のガス中に発生した電子シグナルは、増幅によって時間的方向 (ADC サンプル方向) 及び位置方向の二次元空間に広がりを持つため、これを発見し、その特徴量 (重心位置、強度) に変換することで、大幅にデータを圧縮する
データ・パッキング	上記すべての処理を施され特徴量化されたデータを規程のフォーマットにまとめ、PCI Express に送信する

また、これらの実装例をふまえ、他の実験計画への応用可能性等を日本物理学会にて 2019 年 3 月に発表・議論し、同月には、ALICE FoCal プロジェクトでの応用可能性について筑波大学で開かれた国際研究会で連携研究者が発表・議論を行った。

2019 年度には開発したアルゴリズムの統合化、テスト、さらなる機能向上へ踏み込んだ。2019 年度初頭、他チームが我々と平行して開発した TPC 検出器およびその読み出し回路が CERN にてほぼ完成したため、CRU ボードを計算機筐体に組み込み、これまでに開発したデジタル・シグナル処理モジュールの幾つかを搭載したファームウェアを動作させるテストを行った。検出器上に配置した、ADC と光送信機から成る前段読み出し回路から、本 FPGA ボードにデータを送信し、最終的に PCI ExpressGen3 バスを介して一連のデータの読み出しに成功した。

一方、ALICE 実験が現在計画中である前方カロリメータ等の新たな検出器や、J-PARC 等における高輝度原子核実験において必要となるデータ処理システムにおいても、今回開発した技術の活用可能性を検討した。特に、今回実装した電子クラスタを識別するクラスタリング・アルゴリズムは、大量のデータを一旦メモリに蓄積しスキャンする方式をとっているが、これを FPGA に実装すると、一般的な FPGA ボードでは周辺 DRAM へのバンド幅が小さすぎ、搭載が難しいことが判明した。カロリメータ等のデータの即時解析においても、検出器チャンネルのエネルギー分布から局所最大を見つける際に同様な問題に直面するとみられる。

研究の終盤では上記のクラスタリングにおける問題点の解決策として、最近発表された HBM(High Band-width Memory)を搭載した FPGA 技術に着目し、その可能性を検討するために研究会を開催した[3]。

本研究により、FPGA を大規模検出器データに用いるための要素技術がほぼ完成し、動作確認するまでに至り、将来の実験における応用への展望が確かなものとなった。

#### 参考文献

- [1] “Technical Design Report for the Upgrade of the ALICE Time Projection Chamber” CERN-LHCC-2013-020/ALIDE-TDR-016, Mar. 3, 2014.
- [2] “異種デバイス高速結合型高密度情報処理システムの展望”，於長崎，Feb. 7, 2018, <https://indico.cern.ch/event/691936/>
- [3] “ミニワークショップ：次世代物理実験に向けた広帯域データ収集・処理システム”，於琉球大学田町オフィス（キャンパス・イノベーションセンター東京），Mar. 16, 2020, <https://indico.iist.nias.ac.jp/event/216/>

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計2件（うち招待講演 1件 / うち国際学会 1件）

1. 発表者名 大山健、荻野雅紀、田中義人、浜垣秀樹、郡司卓、佐甲博之
2. 発表標題 LHC Run3に向けた高度化後ALICE-TPCの連続読み出し型データ収集システム
3. 学会等名 日本物理学会
4. 発表年 2019年

1. 発表者名 Ken Oyama
2. 発表標題 FPGA accelerated HPC for Experimental Physics
3. 学会等名 HEART2019: International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (招待講演) (国際学会)
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
連携研究者	大山 健  (Oyama Ken)  (10749047)	長崎総合科学大学・大学院工学研究科・教授    (37301)	
連携研究者	浜垣 秀樹  (Hamagaki Hideki)  (90114610)	長崎総合科学大学・新技術創成研究所・特命教授    (37301)	